

# Al<sub>2</sub>O<sub>3</sub> 高 *k* 栅介质的可靠性\*

杨 红 康晋锋 韩德栋 任 驰 夏志良 刘晓彦 韩汝琦

(北京大学微电子所, 北京 100871)

**摘要:** 利用反应溅射方法制备了等效氧化层厚度为 3.45nm 的 Al<sub>2</sub>O<sub>3</sub> 栅介质 MOS 电容, 研究了 Al<sub>2</sub>O<sub>3</sub> 作为栅介质的瞬时击穿和恒压应力下的时变击穿等可靠性特征。击穿实验显示, 样品的 Al<sub>2</sub>O<sub>3</sub> 栅介质的等效击穿场强大小为 12.8MV/cm。在时变击穿的实验中, Al<sub>2</sub>O<sub>3</sub> 栅介质表现出类似于 SiO<sub>2</sub> 的软击穿现象。不同栅压应力作用的测试结果表明, 介质中注入电荷的积累效应是引起软击穿的主要因素, 其对应的介质击穿电荷  $Q_{BD}$  约为 30~60C/cm<sup>2</sup>。

**关键词:** 高 *k* 栅介质; 可靠性; 时变击穿

**EEACC:** 2560

中图分类号: TN386

文献标识码: A

文章编号: 0253-4177(2003)09-1005-04

## 1 引言

随着半导体器件尺寸的缩小, SiO<sub>2</sub> 栅氧化层的厚度也需要相应地减薄。然而, 当 SiO<sub>2</sub> 栅氧化层厚度减薄到 1.5nm 以下时, 显著的量子直接隧穿效应将导致不可接受的栅泄漏电流密度<sup>[1]</sup>。同时超薄栅介质层的可靠性<sup>[2]</sup>也将成为严重的问题。在保持栅介质等效厚度不变的情况下, 如果采用高 *k* 栅介质材料替代二氧化硅, 就可以通过增加栅介质层的物理厚度降低栅泄漏电流。在众多的高 *k* 栅材料中, Al<sub>2</sub>O<sub>3</sub> 由于具有好的热稳定性、大的禁带宽度、与 Si 有大的能带偏移和好的热力学稳定性等一系列优点<sup>[3~6]</sup>, 成为当前重点研究的高 *k* 栅介质材料之一。

目前, 关于高 *k* 栅介质制备工艺和电学性质的研究已有很多<sup>[3, 7, 8]</sup>, 但对其可靠性问题的研究尚不充分。为此, 我们开展了高 *k* 材料 Al<sub>2</sub>O<sub>3</sub> 栅介质可靠性的研究。在制备 MOS 电容样品的基础上, 讨论了 Al<sub>2</sub>O<sub>3</sub> 栅介质瞬时击穿、不同电压应力下的时变击穿等可靠性特征。

## 2 实验

实验利用反应溅射形成 Al/Al<sub>2</sub>O<sub>3</sub>/Si 的 MOS

电容样品。具体的实验步骤为: 选用电阻率为 5~10Ω·cm, 掺杂浓度为  $2 \times 10^{15} \text{ cm}^{-3}$  的 p-Si(100) 的衬底, 先利用热硫酸加双氧水 H<sub>2</sub>SO<sub>4</sub>: H<sub>2</sub>O<sub>2</sub>=1:1 的混合溶液清洗衬底硅片 20min, 去离子水冲洗后在稀释的氢氟酸溶液中(HF: H<sub>2</sub>O=1:10)处理 20s, 除去 Si 衬底表面的自然氧化层; 然后立即装入淀积系统, 利用直流反应磁控溅射方法在室温淀积形成 Al<sub>2</sub>O<sub>3</sub> 介质层。淀积的工作气体为 O<sub>2</sub>: Ar=2:1, 溅射沉积时间为 2min。该样品在 800°C N<sub>2</sub> 气氛中退火 5min 以改善 Al<sub>2</sub>O<sub>3</sub> 的漏电流特性; 最后利用剥离工艺在 Al<sub>2</sub>O<sub>3</sub> 介质层上形成金属 Al 电极。MOS 电容面积是 100μm × 100μm。

实验中使用 HP4156B 半导体参数分析仪测量样品的电流-电压(*I-V*)特性, 使用 Keithley590 电容测试仪在 1MHz 频率下, 测量样品的电容-电压(*C-V*)特性。

## 3 实验结果和讨论

图 1 为 MOS 电容的高频( $f = 1\text{MHz}$ ) *C-V* 曲线。从 *C-V* 曲线提取的饱和积累层电容值 107pF, 可得 MOS 电容的 Al<sub>2</sub>O<sub>3</sub> 栅介质等效氧化层厚度(EOT)为 3.45nm(没有考虑量子化效应校正)。*C-V* 曲线在平带电压附近存在一平台的结果表明在平带电压处具有高的界面态密度。

\* 国家重点基础研究专项经费资助项目(No. G20000356)

2002-11-08 收到, 2003-01-06 定稿

©2003 中国电子学会

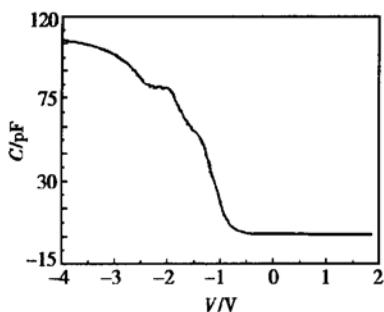


图 1 MOS 电容的高频  $C$ - $V$  曲线 ( $f = 1\text{MHz}$ ) EOT = 3.45nm

Fig. 1  $C$ - $V$  curve of MOS capacitor at the high frequency ( $f = 1\text{MHz}$ ) The equivalent oxide thickness is about 3.45nm.

图 2 示出了  $\text{Al}_2\text{O}_3$  作为栅介质的 MOS 电容样品的  $J$ - $V$  曲线。图中显示出不对称的漏电流特征，在负偏压(栅注入)情形下，漏电流密度为  $J = 7.4298 \times 10^{-2} \text{A/cm}^2$  @  $-2\text{V}$ ，在正偏压(衬底注入)情形下，漏电流密度很小( $J = 1.9763 \times 10^{-6} \text{A/cm}^2$  @  $2\text{V}$ )。我们分析认为，负偏压下泄漏电流较高的原因部分可归结为工艺过程中在  $\text{Al}/\text{Al}_2\text{O}_3$  界面形成的界面污染。

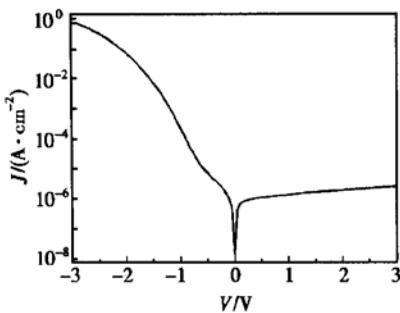


图 2 MOS 电容的  $J$ - $V$  特性曲线

Fig. 2  $J$ - $V$  characteristic of MOS capacitor

图 3 示出了电容的瞬态击穿特性(扫描电压从  $0\text{V}$  到  $-20\text{V}$ )。图中显示在  $V_g = -5.3\text{V}$  处，栅的泄漏电流密度有量级上的变化，这说明  $\text{Al}_2\text{O}_3$  栅介质在此电压下发生击穿，相应的等效击穿场强：

$$\begin{aligned} E &= V_{\text{ox}}/\text{EOT} = (V_g - \varphi_{\text{ms}})/\text{EOT} \\ &= [V_g - (\varphi_{\text{Al}} - \frac{kT}{q} \ln(\frac{N_A}{n_i}))]/\text{EOT} \\ &= -12.8 \text{MV/cm} \end{aligned}$$

该击穿场强大小和已经报道的  $10\text{nm}$   $\text{SiO}_2$  栅介质的击穿场强<sup>[9]</sup>相近。考虑到本文制备的  $\text{Al}_2\text{O}_3$  栅介质的等效厚度为  $3.45\text{nm}$  ( $< 10\text{nm}$ )，因此可以认为其

抗击穿能力要优于  $\text{SiO}_2$  介质。

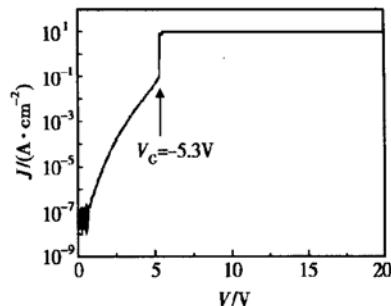


图 3 MOS 电容击穿特性 图中箭头所示的  $V_g = -5.3\text{V}$  处发生了瞬时击穿，等效击穿场强  $E = -12.8 \text{MV/cm}$ 。

Fig. 3 Breakdown characteristic of MOS capacitor the instantaneous breakdown occurs at  $V_g = -5.3\text{V}$  The equivalent breakdown electric field is  $-12.8 \text{MV/cm}$ .

为了了解  $\text{Al}_2\text{O}_3$  栅介质的击穿特征，我们对其时变击穿特性进行了测量分析。图 4 给出了在  $V_g = -4\text{V}$  恒压应力下(等效场强  $E = (V_g - \varphi_{\text{ms}})/\text{EOT} = -9.0 \text{MV/cm}$ )  $\text{Al}_2\text{O}_3$  栅介质的泄漏电流随时间变化曲线。图中曲线表现出了典型的软击穿或预击穿

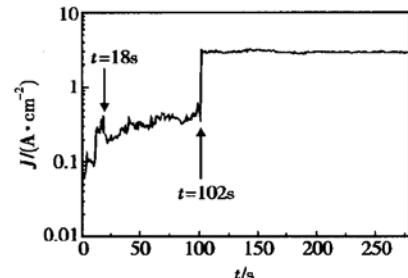


图 4 电压应力  $V_g = -4\text{V}$  的  $J$ - $t$  图  $t = 18\text{s}$  时表现出软击穿特性； $t = 102\text{s}$  时介质击穿，击穿电荷  $Q_{\text{BDI}} = 32.7 \text{C/cm}^2$ 。

Fig. 4  $J$ - $t$  curve under constant voltage stress ( $V_g = -4\text{V}$ ) The capacitor shows its soft breakdown characteristic at  $t = 18\text{s}$ . The breakdown occurs at  $t = 102\text{s}$  and the breakdown charge is  $32.7 \text{C/cm}^2$ .

特征<sup>[10]</sup>，其中在  $t = 18\text{s}$  处(如图中粗箭头所示)首先表现出软击穿的特征，而在  $t = 102\text{s}$  时(图中细箭头所示)发生了明显的软击穿，电流密度从  $0.4030 \text{A/cm}^2$  跳变到  $3.1516 \text{A/cm}^2$ 。图 5 示出  $t = 102\text{s}$  发生明显软击穿后测试的高频  $C$ - $V$  特性曲线，结果表明， $\text{Al}_2\text{O}_3$  栅介质发生软击穿后，仍然保持较好的介电特性，但电容值从  $102\text{pF}$  下降到  $68\text{pF}$ ，这与传统的  $\text{SiO}_2$  栅介质的软击穿特性非常相似。

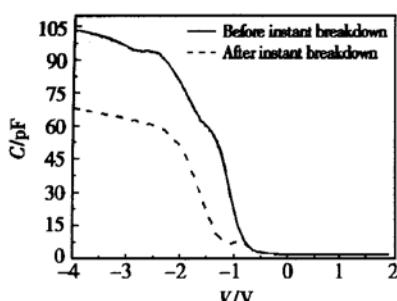


图 5 MOS 电容发生瞬时击穿前后高频 C-V 特性比较 图中瞬时击穿后仍有电容特性,与传统的  $\text{SiO}_2$  的软击穿特性相类似。

Fig. 5 Comparison of C-V curve of MOS capacitor between pre instant-breakdown and post-instant-breakdown. The capacitor characteristic remains after the instant-breakdown. It is similar to the traditional soft breakdown characteristic of  $\text{SiO}_2$  MOS capacitor.

图 6 表示在  $V_g = -5\text{V}$  的应力下(等效场强是  $E = (V_g - \varphi_{ms}) / \text{EOT} = -11.9\text{MV/cm}$ )  $\text{Al}_2\text{O}_3$  栅介质的时变击穿特性,其中观察到多步击穿现象,这是典型的软击穿特征<sup>[11]</sup>。由于所加的电压应力非常接近介质的击穿电压( $-5.3\text{V}$ ),因此,应力施加后很快就发生了软击穿现象。

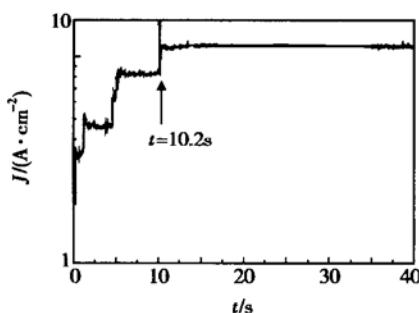


图 6 电压应力  $V_g = -5\text{V}$  的  $J-t$  图 图中电流出现四个台阶;  $t = 10.2\text{s}$ (箭头所示) 介质击穿,击穿电荷  $Q_{BD2} = 61.5\text{C}/\text{cm}^2$ 。

Fig. 6  $J-t$  curve of MOS capacitor under the constant voltage stress ( $V_g = -5\text{V}$ ) There are four steps of current. Dielectric breakdown happens(as thin arrow) at  $t = 10.2\text{s}$ . The breakdown charge is about  $61.5\text{C}/\text{cm}^2$ .

利用积分公式  $Q_{BD} = \int_0^{t_{BD}} J_{inj} dt$  分别计算  $E = -9.0\text{MV/cm}$  ( $V_g = -4\text{V}$ ) 和  $E = -11.9\text{MV/cm}$  ( $V_g = -5\text{V}$ ) 时,发生明显的软击穿特征所对应的击穿电荷  $Q_{BD}$ 。施加应力电场  $E = -9.0\text{MV/cm}$ ,  $t = 18\text{s}$  时刻(如图 4 细箭头所示)表现出软击穿特性,

在  $t = 102\text{s}$  时发生介质击穿,相应的击穿电荷为:  $Q_{BD1} = 32.9\text{C}/\text{cm}^2$ ; 施加应力电场  $E = -11.9\text{MV/cm}$ , 如图 6 的电流-时间( $J-t$ )图出现四个台阶,并在  $t = 10.2\text{s}$  时发生了介质击穿,对应的击穿电荷  $Q_{BD2} = 65.1\text{C}/\text{cm}^2$ 。这说明在  $\text{Al}_2\text{O}_3$  栅介质中注入电荷的积累是造成  $\text{Al}_2\text{O}_3$  栅介质发生软击穿的主要原因。

## 4 结论

本文研究了等效氧化层厚度为  $3.45\text{nm}$  的  $\text{Al}_2\text{O}_3$  栅介质 MOS 电容的可靠性特征。该 MOS 电容的等效击穿场强大小为  $12.8\text{MV/cm}$ ,这个数值和已经报道的氧化层厚度为  $10\text{nm}$  的  $\text{SiO}_2$  的击穿场强相近。时变击穿特性测试表明,介质中注入电荷积累是引起  $\text{Al}_2\text{O}_3$  栅介质发生软击穿的主要因素,其相应的介质击穿电荷值  $Q_{BD}$  约为  $30\sim 60\text{C}/\text{cm}^2$ 。同时,  $\text{Al}_2\text{O}_3$  栅介质中存在典型的多步击穿的软击穿特征,与  $\text{SiO}_2$  的软击穿特性相同;不同栅压应力下击穿时间不同,栅压应力越大,击穿时间越小,击穿电荷量越小,这一点与  $\text{SiO}_2$  的击穿特性相同。我们的实验结果有助于更好地研究  $\text{Al}_2\text{O}_3$  栅介质特性及与其相关的物理问题。同时,实验结果表明  $\text{Al}_2\text{O}_3$  是一种具有良好发展前景的高  $k$  栅材料。

## 参考文献

- [1] Lo S H, Buchanan D A, Taur Y, et al. IEEE Electron Device Lett, 1997, 18: 209
- [2] Degraeve R, Pangon N, Kaczer B, et al. Tech Digest of VLSI Symp(IEEE, Piscataway, 1999), 1999: 59
- [3] Chin A, Liao C C, Lu C H, et al. Device and reliability of high- $k$   $\text{Al}_2\text{O}_3$  gate dielectric with good mobility and low dit. 1999 Symposium on VLSI Technology Digest of Technical Papers, 1999: 135
- [4] Buchanan D A. Scaling the gate dielectric: Materials, integration, and reliability. IBM J Res Develop, 1999, 43(3): 245
- [5] Wilk G D, Wallace R M, Anthony J M. High- $k$  gate dielectrics: Current status and materials properties considerations. J Appl Phys, 2001, 89(10): 15
- [6] Kingon A I, Maria J P, Streiff S K. Alternative dielectrics to silicon dioxide for memory and logic devices. Nature, 2000, 406(31): 1032
- [7] Kang Jinfeng, Liu Xiaoyan, Wang Wei, et al. Epitaxial growth of  $\text{CeO}_2$  films on Si(100) substrate and its electrical properties.

- Chinese Journal of Semiconductors, 2001, 22(7) : 870[ 康晋锋,  
刘晓彦, 王玮, 等. CeO<sub>2</sub> 高  $k$  栅介质薄膜的制备工艺及其电  
学性质. 半导体学报, 2001, 22(7) : 870]
- [ 8 ] Zhu Huiwen, Zhao Bairu, Liu Xiaoyan, et al. Fabrication and elec-  
trical properties of titanium oxide by thermally oxidizing titani-  
um on silicon. Chinese Journal of Semiconductors, 2002, 23(4) :  
341
- [ 9 ] Liu Hongxia, Hao Yue. Experimental research on breakdown  
characteristics of thin gate oxide. Chinese Journal of Semiconduc-  
tors, 2000, 21(2) : 150(in Chinese)[ 刘红侠, 郝跃. 薄栅氧化层  
击穿特性的实验研究. 半导体学报, 2000, 21(2) : 150]
- [ 10 ] Miranda E, Sune J, Rodriguez R, et al. Soft breakdown  
conduction in ultrathin(3~5nm) gate dielectrics. IEEE Trans  
Electron Devices, 2000, 47(1) : 82
- [ 11 ] Crupi F, Neri B, Lombardo S. Pre-breakdown in thin SiO<sub>2</sub>  
films. IEEE Electron Device Lett, 2000, 21(6) : 319

## Reliability of Al<sub>2</sub>O<sub>3</sub> High $k$ Dielectric\*

Yang Hong, Kang Jinfeng, Han Dedong, Ren Chi, Xia Zhiliang, Liu Xiaoyan and Han Ruqi

(Institute of Microelectronic, Peking University, Beijing 100871, China)

**Abstract:** The MOS capacitor with Al<sub>2</sub>O<sub>3</sub> dielectric of 3.45nm equivalent oxide thickness (EOT) is fabricated by reactive sputter. The reliability characteristics of Al<sub>2</sub>O<sub>3</sub> dielectric are investigated in the terms of time zero breakdown and TDDB. The breakdown experiments determine that the equivalent breakdown electric field of Al<sub>2</sub>O<sub>3</sub> dielectric is 12.8MV/cm. In the TDDB experiments, the Al<sub>2</sub>O<sub>3</sub> dielectric shows the soft breakdown characteristic like SiO<sub>2</sub>. The results of experiments for various gate voltage stress indicate that the charge which inject dielectric is the major factor of soft breakdown, and the dielectric breakdown charge  $Q_{BD}$  is 30~60C/cm<sup>2</sup>.

**Key words:** high  $k$  gate dielectric; reliability; time-dependent dielectric breakdown

**EEACC:** 2560

**Article ID:** 0253-4177(2003)09-1005-04

\* Project supported by the Special Funds for Major State Basic Research Projects (No. G20000356)