

用于调制频率合成器的 5bit 4 阶误差反馈调制器设计

张海清 李文宏 林蔚然 曾晓洋 章倩苓

(复旦大学专用集成电路与系统国家重点实验室, 上海 200433)

摘要: 针对频率合成器的高速数据调制应用, 采用误差反馈结构, 设计了一个用于直接 $\Delta\Sigma$ 调制频率合成器的 5bit 4 阶 $\Delta\Sigma$ 调制器。该结构能简化多 bit 量化器的设计, 不会对调制输入信号产生采样延迟。通过在传递函数中引入两个极点, 获得了比多环路级联结构更好的系统噪声性能。在电路实现上, 采用 CSD 方法实现滤波器的系数相乘, 并通过对系数共同项的优化, 减少了系统的硬件消耗和功耗, 取得了好的系统性能。

关键词: 误差反馈; 多 bit 量化; $\Delta\Sigma$ 调制器; CSD; 频率合成器

EEACC: 1230; 1250; 2570D

中图分类号: TN432

文献标识码: A

文章编号: 0253-4177(2003)11-1200-06

1 引言

随着 Bluetooth 和 homeRF 等无线移动通信系统的发展, 对低成本、低功耗的无线射频接收器的研究也日益广泛。与常规的基于混频器的频率调制方法相比, 锁相环(PLL)频率合成器的反馈除数比进行直接 $\Delta\Sigma$ 调制的方法更适用于低功耗便携式无线移动通信系统^[1,2]。若采用数字预补偿滤波器则能进一步消除 PLL 环路对调制带宽的限制^[2]。

在 $\Delta\Sigma$ 调制器的实现上, Riley^[1]采用了单 bit 量化器的单环路结构, Perrott^[2]采用了多 bit 量化器的多环路级联结构(MASH)。与单 bit 量化相比, 多 bit 量化有更好的稳定性和更理想的噪声整形特性, 在频率合成器的直接 $\Delta\Sigma$ 调制等全数字应用中, 不会有量化器转换特性非线性的问题, 从而能取得更好的系统性能。但对 MASH 结构, 它产生的高频输出的 bit pattern 分布范围宽, 从而对后面频率合成器的鉴频鉴相器动态范围提出了更严格的要求, 同时也使频率合成器更易受衬底噪声的影响^[3]。

针对频率合成器直接 $\Delta\Sigma$ 调制应用, 我们采用一种新的 $\Delta\Sigma$ 调制器实现结构—误差反馈结构, 设计了一个 5bit 4 阶 $\Delta\Sigma$ 调制器。它有着与单环路结构相同的优于 MASH 结构的噪声整形性能。在调制用频率合成器的全数字 $\Delta\Sigma$ 调制器实现中, 它具有比单环路结构更为简单的优点。另外对于频率合成器的 GMSK 直接调制应用, 它对输入发射数据不会产生相位延迟, 从而更有利与数据的后继处理。

2 调制器结构设计

2.1 系统要求

$\Delta\Sigma$ 分数-N 频率合成器的工作原理是通过 $\Delta\Sigma$ 调制器用低精度的整数除法器进行分数除法比内插, 以实现高的频率分辨率。同时 $\Delta\Sigma$ 调制噪声整形所产生的高频噪声, 可以通过 PLL 环路来滤除。如果将发送数据与信道选择信号一起送入 $\Delta\Sigma$ 调制器对反馈除法比进行控制, 就可以实现频率合成器的直接 $\Delta\Sigma$ 调制发射。我们的设计主要是针对 2.4GHz

张海清 男, 1972 年出生, 博士研究生, 主要研究方向为射频电路设计与频率合成器。

李文宏 男, 1968 年出生, 博士, 主要研究方向为 VLSI 设计。

林蔚然 女, 1978 年出生, 硕士研究生, 主要研究方向为 PLL 设计与相位噪声。

2002-11-29 收到, 2003-04-06 定稿

© 2003 中国电子学会

无线移动通信系统的频率合成器直接 $\Delta\Sigma$ 调制应用。系统要实现 1MHz 的调制速率, 选用的参考频率为 32MHz, 根据系统噪声性能要求, 需选用 4 阶 $\Delta\Sigma$ 调制器^[2]。除法比的最大可变范围为 64~95, 可实现的多模除法器的控制位宽度为 5bit。因而 $\Delta\Sigma$ 调制器的量化器也为 5bit。频率分辨率要求为 ±60kHz^[8], 这对应于 $\Delta\Sigma$ 调制器的输入为 11bit。

2.2 噪声传递函数

图 1 为误差反馈结构示意图。11bit 的输入与经过环路滤波器 H 整形后的反馈噪声信号相加, 得到 15bit 的量化器输入值, 此值的高 5 位就是我们所需的 $\Delta\Sigma$ 调制器输出, 而低 10 位再加上 1bit 符号位(即输入的最高位)即为量化误差的负值, 它通过 H 进行整形后再反馈到输入端进行误差消除。正如引言中所述, 误差反馈结构不会对输入信号引入采样延迟, 整形滤波器的设计更简单。对多 bit 量化的情况, 不需要加入特定的限幅电路^[4]。

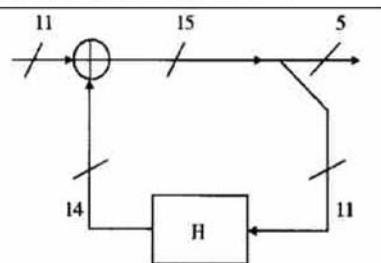


图 1 误差反馈结构示意图

Fig. 1 Error feedback structure

对于高阶调制器, 当量化器量化电平级数增加时, 系统有更大的输入范围、更好的稳定性能和更小的量化台阶^[4]。另外, 5bit 的量化器对量化噪声的压缩可以比单 bit $\Delta\Sigma$ 调制器高 43dB 以上^[5]。

与 MASH 结构相比, 误差反馈结构可以通过环路滤波器的正确设计来获得所需的噪声传递函数。为了减少 MASH 结构中产生的高频整形噪声能量, 使频率合成器环路有更好的噪声性能, 我们在误差反馈结构的噪声传递函数中加入两个单位圆内的极点, 得到如下的 4 阶噪声传递函数 H_{ntf} :

$$H_{\text{ntf}} = \frac{(1 - Z^{-1})^4}{1 - Z^{-1} + 0.5Z^{-2}} \quad (1)$$

相应的环路滤波器传递函数为:

$$H = \frac{3Z^{-1}(1 - 0.5Z^{-1})(1 - \frac{4}{3}Z^{-1} + \frac{2}{3}Z^{-2})}{1 - Z^{-1} + 0.5Z^{-2}} \quad (2)$$

图 2 给出了所得的噪声传递函数与阶数相同的 MASH 结构的噪声传递函数幅度响应结果。可以看到前者的幅度响应在中高频处比后者低。对于直接调制应用, 它将产生更小的邻近信道干扰, 从而可以降低频率合成器的发射噪声要求。MASH 结构虽然对低频噪声有更好的整形效果, 但其输出的 bit pattern 比误差反馈结构分布更广, 从而使频率合成器对衬底噪声更为敏感; 另外, 更宽的 bit pattern 需要占用更大的多模除法器的除数比, 这将会限制频率合成器高速数据调制的可用动态范围^[2,3]。

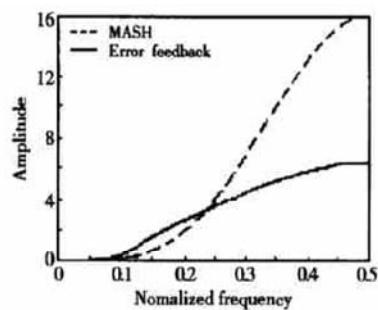


图 2 噪声传递函数幅度响应

Fig. 2 Noise transfer function

但在噪声传递函数中加入极点也带来了一个缺点, 就是调制器的环路滤波器成为 IIR 结构, 同时还有滤波器系数相乘的实现问题。

解决这个问题的一个方法是对系数进行调整使之成为 2 的幂指数形式, 从而可以用移位和加法操作来实现系数相乘。但这会使滤波器的噪声整形性能变差。另一个方法是用 CSD (canonic signed digit) 方法来实现, 下面将看到这种方法在本文中取得了良好的效果。

2.3 系统仿真

针对上面分析, 用 MATLAB 进行了系统级仿真验证。输入为 0.87, 并在输入加入了一个幅度为 0.005 的随机噪声源用于高频震颤。仿真的点数为 32768。

图 3 给出了误差反馈结构与 MASH 结构调制器输出的快速傅里叶变换(FFT)结果比较。图 3 (a)、(b) 分别为两者的调制器输出频谱。可以看出这与图 2 所示的幅度响应相符合。MASH 结构的低频噪声性能更好; 而对误差反馈结构, 受加入的两个极点的影响, 在中高频率处的噪声能量比 MASH 结构

低,且增加比较平缓.图3(c)、(d)分别表示输出经过低通滤波后的结果,低通滤波器为butterworth滤波器,截止频率为100kHz,阶数为2阶,以模拟频率合成器环路的滤波特性.经频率合成器环路滤波

后,误差反馈结构在中高频段的噪声随频率增加而下降,且比MASH结构的噪声能量低.而对于MASH结构,必须采用阶数更高的PLL环路才能进一步减少其中高频噪声能量.

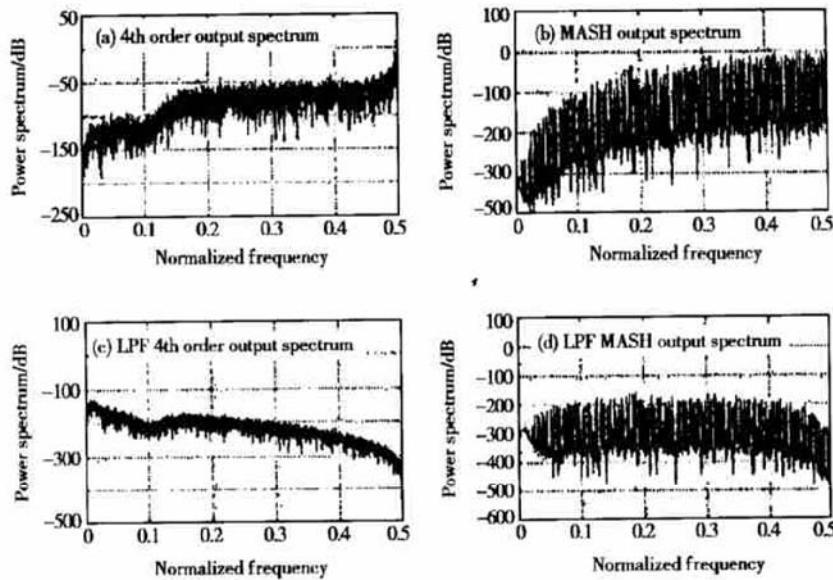


图3 误差反馈结构与MASH结构的输出频谱比较 (a), (b) 调制器输出; (c), (d) 滤波输出

Fig. 3 Output spectra for error feedback and MASH (a), (b) Modulator output; (c), (d) Filtered output

图4进一步给出了误差反馈结构的时域仿真输出结果.图4(a)为量化器的误差输出,可以看出量化误差近似为分布在(-1, +1)之间的随机噪声.图4(b)为调制器结果的输出,其输出范围在[-4, 6]之间,只占总量化器量化电平[-15, 15]的三分之一.这样可以保证频率合成器用作调制发射时 $\Delta\Sigma$ 调制器不会限制预补偿后的高速调制数据的动态范围^[2].

3 调制器实现

误差反馈结构的一个最大优点是实现简单,特别是量化器的设计,另外它不会对输入信号产生采样延迟.

3.1 量化器的实现

调制器的数据流是以补码形式表示的.如图1所示,输入为带符号的11bit数(第11位为符号位),其范围在(-1, +1)之间,量化误差的输出为

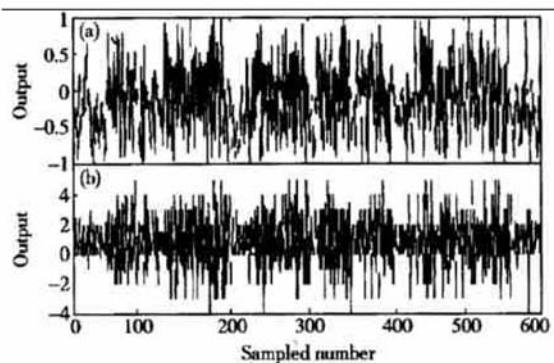


图4 调制器时域输出 (a) 误差输出; (b) 调制器输出

Fig. 4 Modulator output stream (a) Error output; (b) Modulator output

(-1, +1)之间的随机数,由量化器输入的低10bit和最高符号位组成.对于调制器的输出,当量化器输入为正值时,直接高5位输出;当量化器输入为负值时,调制器的输出需要加1.此功能一般可以用全加器来实现,但出于硬件和功耗的考虑,我们可以用图5所示电路完成.

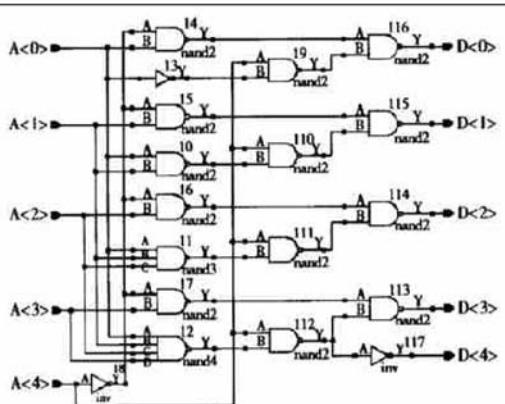


图 5 量化器设计图

Fig. 5 Schematic of quantizer

3.2 环路滤波器的实现

滤波器的传递函数可以表示为(3)式的形式, 它由一个 I 型直接式的二阶 IIR 滤波器规范节和一个二阶 FIR 滤波器串联而成。由于滤波器有非 2 次幂系数乘法运算, 为了保证调制器的噪声性能, 下面我们采用 CSD 的方法来实现。

$$H = \left| \frac{(1 - \frac{4}{3}Z^{-1} + \frac{2}{3}Z^{-2})}{1 - Z^{-1} + 0.5Z^{-2}} \right| (3Z^{-1}(1 - 0.5Z^{-1})) \quad (3)$$

CSD 方法^[6,7]是实现 FIR 滤波器系数相乘非常有效的方法之一。它是将滤波器系数表示成 CSD 形式, 这种系数表示的非零位数最少, 从而可以用最少的移位和相加运算来实现系数相乘。同时, 通过系数表示的共同项之间的优化, 可以进一步减少硬件的消耗。它还有一个优点是这样表示的系数有更小的截断误差^[6]。

对于 IIR 规范节的 CSD 实现, 在下面的推导中将看到, 不仅可以对其零点部分和极点部分分别进行 CSD 表示, 而且还可以对它们进行综合考虑, 实现其共同项的抵消与优化, 从而达到更佳的系统性能和更少的硬件消耗。

先考虑零点部分, 如果令输入为 y' , 输出为 y , 则其传递函数为:

$$y(z) = (1 - \frac{4}{3}z^{-1} + \frac{2}{3}z^{-2})y'(z) \quad (4)$$

将其系数表示为 CSD 码形式, 如表 1 所示。第一行为二阶 IIR 零点的第一个系数表示, 第二行表示的系数经过了一个采样延迟, 第三行表示的系数经过了两个采样延迟。

表 1 滤波器系数的 CSD 表示

Table 1 CSD representation of coefficients of filter

a_1	a_{10}	a_{11}	a_{12}	a_{13}	a_{14}	a_{15}	a_{16}	a_{17}	a_{18}	a_{19}	a_{110}	a_{111}
1	1											
-4/3	1		1	1	1	1	1	1	1	1		
2/3		1		1	1	1	1	1	1	1	1	1

注: 空白处为 0

对照表 1, 取其圈内的两项为共同项, 并令

$$w = y'[-1] - y'[-2] \gg 1 \quad (5)$$

其中 $y'[-i] \gg j$ 表示 y' 经过 i 个延迟并右移 j 位后的输出。

从而可得到输出的时域表示为:

$$y = (y' - w) - (w \gg 2 + w \gg 4 + w \gg 6 + w \gg 8 + w \gg 10) \quad (6)$$

对极点部分进行与零点部分相同的处理, 令输入为 x , 输出为 y' , 有

$$y'(z) = \frac{1}{1 - z^{-1} + 0.5z^{-2}}x(z) \quad (7)$$

其时域表示为:

$$y' = x + w \quad (8)$$

将(8)式代入(6)式中可得:

$$y = x - (w \gg 2 + w \gg 4 + w \gg 6 + w \gg 8 + w \gg 10) \quad (9)$$

从上式可以看到当将 IIR 的两部分结合起来后, 零点和极点的第一个共同项抵消掉了, 宽 bit 的 y' 不会在 y 中出现(为了防止相加产生溢出, y' 将要比 x 高 2bit), 这样 y 就可以用与 x 相同的位数来表示而不会影响结果的精度, 并且节省一次加法运算。

系统实现的结构框图表示如图 6 所示。从结构实现结果可以看出, IIR 部分常规实现需要 16 个全加器(要实现 11bit 的精度, 每个系数相乘需 6 个全加器), 而 CSD 实现只需 7 个全加器。电路的硬件消耗有很大的减少。

3.3 结果验证

根据上面的实现方法, 我们进行了 RTL 级的设计与仿真验证, 输入信号为“01101110110”, 对应信号大小为 0.87(满幅度为 1)。仿真的点数为 32768。图 7 为仿真输出的 FFT 分析频谱图。对没有经过低通滤波的输出(见图 7(a)), 量化噪声在低频时为 -88dB。经过频率合成器环路低通滤波后(见图 7(b)), 在整个频段上最高的量化噪声为 -92dB,

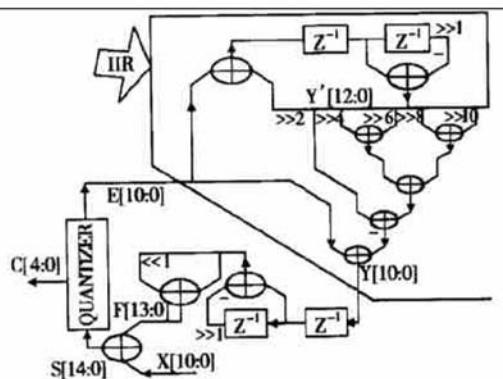


图 6 调制器 CSD 实现

Fig. 6 CSD implementation of modulator

在频率大于 3MHz 以上时, 量化噪声低于 -142dB. 此结果能很好地满足系统发射的噪声要求^[2,8].

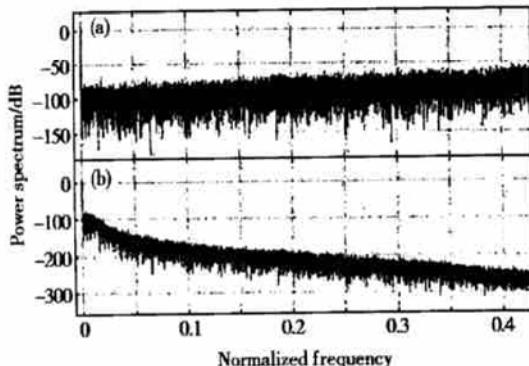


图 7 调制器输出频谱 (a) 调制器输出; (b) 滤波输出

Fig. 7 Output spectrum (a) Modulator output; (b) Filtered output

图 8(a) 为量化噪声的 11bit 输出, 随机分布在 (-1024, 1023) 之间, 接近 $\Delta\Sigma$ 调制器的量化白噪声的理论近似^[4], 因而保证了调制器好的噪声整形性能. 图 8(b) 为调制器输出, 从图中可以看出, 输出基本落在 [-2, 4] 之间, 偶尔有几个在 5 或 -3 上, 这与前面系统仿真的结果一致.

4 结论

本文设计了一个用于直接调制用频率合成器的 5bit 4 阶误差反馈 $\Delta\Sigma$ 调制器. 误差反馈方法的使用简化了的量化器的设计. 在噪声整形传递函数中加

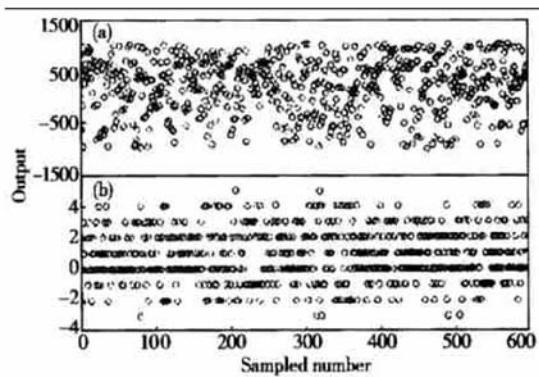


图 8 调制器时域输出 (a) 误差输出; (b) 调制器输出

Fig. 8 Modulator output stream (a) Error output; (b) Modulator output

入两个极点使系统取得了比 MASH 结构更好的噪声性能, 降低了频率合成器环路滤波的要求. 采用 CSD 方法实现调制器中环路滤波器的系数相乘, 并通过系数共同项的优化, 减少了硬件消耗, 以一定的字长实现了更高的电路精度. RTL 仿真结果表明调制器在整个频段上的最高量化噪声为 -92dB, 在大于 3MHz 的频带内量化噪声小于 -142dB.

参考文献

- [1] Riley T A D, Copeland M A. A simplified continuous phase modulator technique. *IEEE Trans Circuits and Syst II*, 1994, 41(5): 321
- [2] Perrott M H. Techniques for high data rate modulation and low power operation of fractional-N frequency synthesizers. PhD Dissertation, 1997
- [3] Rhee W, Song B S, Ali A. A 1.1-GHz CMOS fractional-N frequency synthesizer with a 3-b third-order $\Delta\Sigma$ modulator. *IEEE J Solid-State Circuits*, 2000, 35(10): 1453
- [4] Norsworthy S R, Schreier R, Temes G C. Delta-sigma data converters. IEEE Press, 1996: 75
- [5] Ju P, Vallancourt D. Quantization noise reduction in multibit oversampling $\Delta\Sigma$ converters. *Electron Lett*, 1992, 28(6): 1162
- [6] Hartley R I. Subexpression sharing in filters using canonic signed digit multipliers. *IEEE Trans Circuits and Syst II*, 1996, 43(10): 677
- [7] Hartley R I. Optimization of canonic signed digit multipliers for filter design. *Proc IEEE Int Symp Circuits and Systems*, 1991: 1992
- [8] <http://grouper.ieee.org/groups/802/11/index.html>

Design of 5-Bit Fourth-Order Modulator with Error Feedback for Modulated Frequency Synthesizer Application

Zhang Haiqing, Li Wenhong, Lin Weiran, Zeng Xiaoyang and Zhang Qianling

(ASIC & System State Key Laboratory, Fudan University, Shanghai 200433, China)

Abstract: A 5bit fourth-order $\Delta\Sigma$ modulator is designed for the application of high-speed data direct $\Delta\Sigma$ modulation of frequency synthesizer. A new structure—error feedback structure is adopted to facilitate the design of the multi-bit quantizer. This structure also has an advantage that there is no sampling delay introduced into the input signal, which is very useful for this application. By adding two poles into the transfer function, better noise performances compared with that of the MASH structure are achieved. CSD method is used for the implementation of the multiplication of coefficients of digital filter. Adoption of this method and its common sub-expression sharing give an important reduction of hardware and power dissipation. Good system performance is obtained.

Key words: error feedback; multi-bit quantization; $\Delta\Sigma$ modulator; CSD; frequency synthesizer

EEACC: 1230; 1250; 2570D

Article ID: 0253-4177(2003)11-1200-06

Zhang Haiqing male, was born in 1972, PhD candidate. His research interests is in RFIC and frequency synthesizer design.

Li Wenhong male, was born in 1968, PhD. He is engaged in research on VLSI design.

Lin Weiran female, was born in 1978, master candidate. Her research interests is in PLL design and phase noise reseach.