

基于制作离散性对策的高性能 CMOS DAC^{*}

于雪峰 石 寅

(中国科学院半导体研究所, 北京 100083)

摘要: 基于 CMOS 器件的离散性机理及误差消除对策, 研究了高速、高精度嵌入式 CMOS 数/模转换器(DAC)IP 核的设计与实现。采用行、列独立译码的二次中心对称电流源矩阵结构, 优化了电流源开关电路结构与开关次序; 利用 Cadence 的 Skill 语言独立开发电流源矩阵的版图排序和布线方法。在 $0.6\mu\text{m}$ N 阵 CMOS 工艺平台下, 12-bit DAC 的微分线性误差和积分线性误差分别为 1LSB 和 1.5LSB, 在采样率为 150MHz、工作电源为 3.3V 时的平均功耗为 140mW。流片一次成功, 主要性能指标满足设计要求。

关键词: D/A 转换器; CMOS 混合集成电路; 制作工艺离散性; 中心对称; Skill 语言

EEACC: 2570; 1280; 1265

中图分类号: TN432

文献标识码: A

文章编号: 0253-4177(2003)11-1211-06

1 引言

集成 CMOS 器件的离散性是设计制作高性能 CMOS 数模混合电路的难点之一^[1]。对于支撑信号数字化处理高速发展的关键部件——高性能模/数、数/模转换器的设计制作而言, 这是面临的一个重要障碍。二十世纪八十年代, 研制者曾从制作离散性相对较小的双极晶体管转换器电路着手, 以高均匀性制作工艺并外加各种修正技术来实现独立的高性能转换器电路部件。进入九十年代后, 随着芯片集成度的提高, 尤其是片上系统(SOC)的发展, 研究与常规 CMOS 工艺相兼容的高性能 CMOS 转换器 IP 核在市场需求驱动下成为重要课题。其中, 考虑了制作中随机误差和系统误差而研究免修正的高速、高精度 CMOS 数/模转换器(DAC)的课题十分活跃, 同时亦得到了一些技术成果^[2~7]。

文献[3, 4]采用了电流源矩阵方式实现高速数模转换的方法, 有效提高了 DAC 线性度, 但其动态性能并不理想。为此, 文献[2, 5]提出了二次中心对称的方案, 利用对称来消除系统误差。文献[6]又对

此进行了进一步改进, 使用随机游动策略, 显著改善了 CMOS DAC 的动态特性。

本文在随机游动策略的基础上, 给出了一种自动搜索近似最优的电流源开关次序的方法。在版图绘制过程中, 独立开发了电流源位置计算软件, 并使用 Cadence 的 Skill 语言辅助完成电流源单元的排序和布线工作。本文在国家 863 SOC 专项课题的支持下, 依据国内上华 Foundry $0.6\mu\text{m}$ CMOS 制作工艺的离散性, 设计实现了一个采用二次中心对称电流源矩阵方案的 12-bit 线性下 150M SPS 的高性能 DAC, 实验结果表明基本满足设计要求。

2 高速 CMOS DAC 中的离散性分析及其误差消除对策

至今, 高速、高精度 DAC 结构多采用电流型并行转换方式。由于集成 CMOS 器件特性存在较大的离散性, 加之 CMOS 集成转换器通常是免修正的嵌入式使用, 因此, 在高速并行 CMOS 电流型 DAC 结构上摈弃了传统双极电路 DAC 中采用 R-2R 电阻网络来获得二进制精密权电流的方式, 采用能在一

* 国家高技术研究与发展计划资助项目(编号: 2002AA1Z1200)

于雪峰 男, 硕士研究生, 研究方向为数模混合集成电路设计。

石 寅 男, 研究员, 博士生导师, 研究方向为数模混合集成电路设计。

2002-12-06 收到, 2003-04-24 定稿

© 2003 中国电子学会

定程度上抵消制作中离散性的精确匹配电流源矩阵来实现精密二进制电流源结构。待转换的数字输入信号经译码，控制相应的高速开关，将对应的精密权电流求“和”并导引到负载，实现数模转换。受工艺离散性及周边环境差异的影响，相同尺寸下的电流源单元与参考电流源的电流比值会发生偏差，其结果将影响转换器的重要的微分线性与积分线性指标(DNL、INL)。这种制作中的误差依据其特征大致可分为随机误差和系统误差。

随机误差来源于MOS管的匹配特性。根据MOS管统计模型^[1]，可以导出电流匹配相对精度与MOS管尺寸的关系^[2]：

$$(WL)_{\min} = \frac{1}{2} \left[A_B^2 + \frac{4A_{VT}^2}{(V_{GS} - V_T)^2} \right] \left/ \left(\frac{\sigma_I}{I} \right)^2 \right. \quad (1)$$

其中 A_B 、 A_{VT} 是在特定工艺下提取出的统计参数。对于 $0.6\mu\text{m}$ 标准 CMOS 工艺， $A_{VT} \approx 12\text{mV} \cdot \mu\text{m}$ ， $A_B \approx 0.02\mu\text{m}$ ^[2]。由此可见，增大 MOS 管尺寸可以有效地减小匹配误差，增加过驱动电压 $V_{GS} - V_T$ 能减小 MOS 管尺寸。当电源电压在 $3.3\sim 5\text{V}$ 时，为了保证电流源管和开关管导通时处于饱和状态，选择 $V_{GS} - V_T = 1.2\text{V}$ ，可计算得到 $(WL)_{\min} \geq 50\mu\text{m}^2$ 。

产生系统误差的因素很多，如掺杂浓度，氧化层厚度，电源线上的压降、热效应等。可以近似把系统误差看作是只与位置相关的函数，将电流源单元的电流值作 Taylor 展开，忽略三次以上的项可得

$$i(x, y) = [1 \ x \ x^2 \ x^3] \begin{vmatrix} a_{00} & a_{10} & a_{20} & a_{30} \\ a_{01} & a_{11} & a_{21} & 0 \\ a_{02} & a_{12} & 0 & 0 \\ a_{03} & 0 & 0 & 0 \end{vmatrix} \begin{pmatrix} 1 \\ y \\ y^2 \\ y^3 \end{pmatrix} \quad (2)$$

图 1 是系统误差的示意图，已经作了归一化处理。从(2)式可以看出，奇次方项关于原点对称，偶次方项关于 x 、 y 轴对称。为了有效地削弱系统误差的影响，很多 CMOS DAC 电流源的设计过程中采用了对称结构^[3, 4]。中心对称结构是将一个电流源分成 4 个完全相同的子电流源，关于 x 、 y 轴作对称排列，从而消去了奇次方项，得到

$$i(x, y) = a_{00} + a_{02}x^2 + a_{20}y^2 \quad (3)$$

如果输入 M bit 使用温度计解码(thermometer decode)，则有

$$\begin{aligned} x &= kx_{\text{unit}} \\ y &= ky_{\text{unit}} \\ -\sqrt{2^M} &\leq k \leq \sqrt{2^M} \end{aligned} \quad (4)$$

二次中心对称^[5]则将一个电流源分成 16 个子电流源均匀分布，可以得到

$$i(x, y) = a_{00} + a_{02}[(\sqrt{2^M}x_{\text{unit}} - x)^2 + 2^Mx_{\text{unit}}^2] + a_{20}[(\sqrt{2^M}y_{\text{unit}} - y)^2 + 2^My_{\text{unit}}^2] \quad (5)$$

比较(3)和(5)式可以看出，二次中心对称并没有降低 DAC 的 DNL，但这种方案在一定程度上减少了系统误差的累积，因而改善了 INL。如果 16 个子电流源的电流值相互独立，满足

$$I_k \approx N(I_{\text{unit}}, \sigma_I^2), \quad k = 1, 2, \dots, 16 \quad (6)$$

则得到 MSB 电流源的电流值为

$$\sum_{k=1}^{16} I_k \approx N(16I_{\text{unit}}, 16\sigma_I^2) \quad (7)$$

可见，对单位电流而言，随机误差的均方差减少到了原来的 $1/4$ ，相应地降低了随机误差对 DAC 性能的影响。

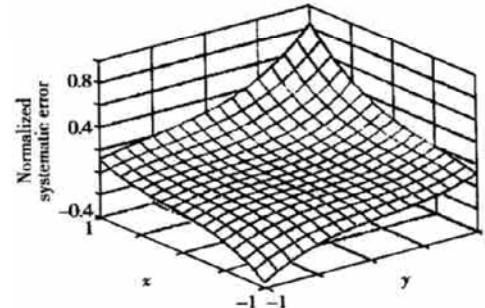


图 1 系统误差示意图

Fig. 1 Sketch of systematic error

χ^2 随机游动策略^[6]可以大大降低系统误差的累积对 INL 的影响。如果给定了 a_{02} 和 a_{20} 的值，可以在 2^M 个电流源的排列中找到最佳的开关排列次序，使 INL 取得最小值。但实际上 a_{02} 和 a_{20} 不确定，一般只需找到近似最优的开关排列次序即可。本文采用了搜索近似最优的方法，(8) 式给出了优化目标。设定 INL 的上限为 $\text{sup}(\text{INL})$ ，对开关次序进行搜索。每计算一步将得到的 INL 与 $\text{sup}(\text{INL})$ 比较，剪去不满足要求的分支，直到得到满意的排列次序为止。

$$\begin{cases} \min \text{INL} \\ \text{INL} = \max_{1 \leq N \leq 2^M} \left| \sum_{k=1}^N I_k - kI_{\text{unit}} \right| \end{cases} \quad (8)$$

3 实施方案与电路结构设计

对于采用矩阵电流源并行转换方式的 CMOS

DAC, 其转换精度取决于电流源矩阵的匹配精度, 其转换速度取决于电流源矩阵译码电路及电流开关所需的组合时间。转换器的动态性能与电流开关时间的一致性相关联。但电流开关不同步时, 转换输出将会产生脉冲尖峰(glich), 影响输出信号的信噪比和无寄生信号的动态范围(SFDR)。因此, 高速、高精度的 CMOS DAC 的实现主要是研究高精度匹配电流源矩阵结构与高速矩阵译码及高速同步电流开关电路结构。

3.1 系统实施方案及电流源结构

在 DAC 设计中, 二进制解码结构电路简单, 有利于提高工作速度, 可是由于工艺离散性的影响, 精度难以保证。为改善 DAC 的精度, 温度计解码的结构是理想的选择, 但其结构复杂、实现困难, 面积和功耗相应较大。为了在面积、功耗和性能等之间取得折衷, 8-bit 以上的电流型 DAC 大多采用了兼有上述两种解码方式的混合式结构。对于所研制的 12 位转换线性目标, 本文选用了 6MSB+4NSB+2LSB 的系统结构。如图 2 所示, 6MSB 用温度计解码, 每个单元由 16 个电流值为 I_{unit} 的单位电流源并联构成, 按照二次中心对称的方式布局; 4NSB 也采用温度计解码, 每个单元由电流值为 I_{unit} 的单位电流源单元构成; 2LSB 分别由电流值为 $I_{unit}/2$ 和 $I_{unit}/4$ 的电流源构成。电流的输出值可表示为

$$I_{OUT} = 16I_{unit} \sum_{k=11}^6 b_k 2^{k-6} + I_{unit} \sum_{k=5}^2 b_k 2^{k-2} + \frac{I_{unit}}{2} b_1 + \frac{I_{unit}}{4} b_0 \quad (9)$$

其中 b_{11} 到 b_0 为输入的数字信号值。

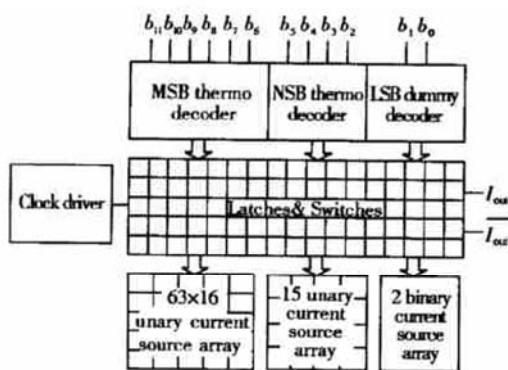


图 2 简化的 DAC 结构框图

Fig. 2 Simplified block diagram of the DAC architecture

3.2 高速译码电路与高速同步开关

用于选通电流源矩阵中所需电流源的译码器的工作速度是影响 DAC 工作速度的重要因素。一方面要求译码器电路工作速度快, 同时亦要求在实际布局布线时连线方便, 引入的寄生效应小。本文中采用了行和列独立译码的方式, 便于布局布线。译码器设计由两级基本门电路构成, 速度快; 并考虑扇出系数, 相应调整了器件的尺寸。2LSB 无需译码, 但考虑到工作中的同步问题, 在 2LSB 的锁存器上加入了延迟同步电路。

同步电流开关是影响 DAC 工作速度的最重要的部件。它的设计有三个要点: (1) 开关的高速恒流性; (2) 开关的过渡阻抗的非突变性, 即不应在开关过程中出现瞬间的高阻态, 以消除电流源流经开关产生高电压噪声, 从而改善转换器的动态性能; (3) 所有开关工作中时间上的同步一致性, 以消除转换过程中的脉冲尖峰。

本文采用了图 3 所示电路结构。图中, M3、M4 构成的差动电流开关, 保证了开关的高速性, 而其电流源 PMOS 晶体管 M1、M2 构成 Cascode 结构方式, 以增大电流源的输出阻抗, 改善电流恒定特性。为了减少控制信号到负载的馈通效应, 降低开关过程中的瞬态尖峰毛刺信号, 本项研究采用了一种有效实用的限幅电路: 增加了串接在两反相驱动器内的 M7、M8 晶体管, 并在它们的栅极上加一较低的偏置电平 V_{bias} , 构成电压限幅电路, 用以限制 M3、M4 栅极高电平的幅值。电流源部分和开关控制部分用模拟电源 AV_{cc} 和数字电源 DV_{cc} 分别供电, 这样减少了数字电路对电流源的干扰。

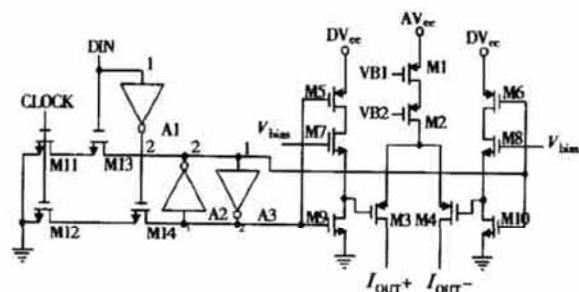


图 3 电流源开关和锁存器电路

Fig. 3 Current switches and latch circuit

电路中为了确保开关同步性, 采用了时钟控制下的锁存器同步发送方式, 待转换的数字输入信号

接入锁存器的 Din 数据端, 由时钟来控制同步发送到电流源开关。开关的过渡阻抗的非突变性要求采用了两反相器亚互锁的方式来实现, 图 3 中反相器 A2 或 A3 产生了大约 0.5ns 左右的延时, 这样避免了电流开关晶体管 M3、M4 在输入信号变化时被同时关断而在输出端产生大的瞬态尖峰。

图 4 为经限幅的同步开关控制的电压波形。为保证图 3 中 M3 和 M4 轮流处于导通和饱和状态, 最小的开关控制电压摆幅为 $V_{GS3,4} - V_{THP} \approx 500\text{mV}$, 考虑到工艺的偏差和负载变化的影响, 留出 500mV 的裕量。当 $V_{bias} = 2\text{V}$ 时, 开关控制电压在 0V 到 1.1V 之间变化。在图 4 中, 两路控制电压在 300mV 左右相交, 以保证在该时刻 M3、M4 均处于导通状态。

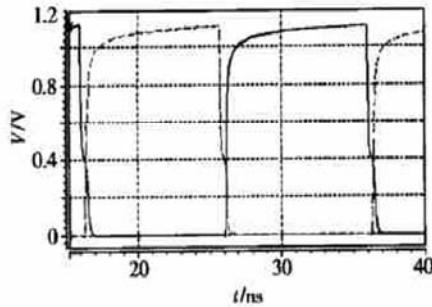


图 4 开关控制电压波形

Fig. 4 Waveform of switch control voltages

4 版图生成

本文 Layout 是基于无锡上华 $0.6\mu\text{m}$ N 阵双层金属布线 CMOS 工艺设计规则。核心的电流源矩阵包含 32×32 个电流源单元, 按照指定的开关次序在版图上实现互连。版图设计工具中没有提供相应功能, 而用手工来完成布局连线费时费力, 还易引入人为的差错。我们借鉴了 Mondriaan^[9]的思想, 在电流源矩阵的版图设计中, 使用编程方法来辅助完成布局和连线工作。

与 Mondriaan 不同, 本工作中独立采用 VC 开发了一个连线位置计算软件, 当输入不同的开关次序, 即可得到相应的连线位置。将此数据输入到 Cadence 的 CIW 环境中。利用 Skill 写成的脚本读入相应数据, 完成电流源单元的绘制和连线工作。这样, 对于选定的开关次序, 可以自动生成相应的电流源矩阵版图, 该版图与常规方式产生的完全一样, 可以进行任一方式的图形编辑, 大大提高了工作效率和

布图的正确性。

实际的电流源矩阵大小为 36×36 , 每边外面 2 层单元作为屏蔽层, 用来降低边缘效应影响。MSB 共有 63×16 个单元, 组成 32×32 阵列。NSB 的 15 个电流源单元被对称地放置在电流源矩阵边沿, 2 个 LSB 电流源分别由 2 个和 4 个标准的电流源单元串联构成。

锁存器和开关排成 10×8 的阵列, 这样有利于保证控制信号和开关信号的同步。时钟驱动电路采用了树状结构, 尽可能减少时钟信号的时延和时间偏差。在布局时, 数字部分与模拟部分分开, 并且加保护环进行隔离。时钟线和电源线用二层铝互联, 电源线适当加宽以减少电源线的电压降对电流源数值的影响。

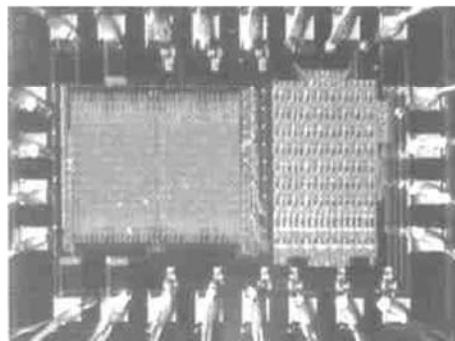


图 5 芯片照片

Fig. 5 Die photo

5 实验结果

图 6、7 中分别为 DAC 的静态特性指标 DNL、INL。它们的测试值如下, DNL 的值为 1LSB, INL 的值为 1.5LSB。动态特性 SFDR 是在 150MHz 的

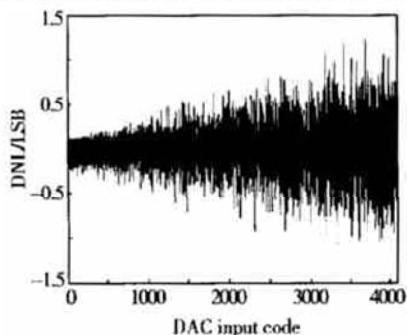


图 6 DNL 性能

Fig. 6 DNL performance

采样率, 输入 5.5MHz 正弦波信号对频谱分析得到的, 如图 8 所示。从图中可以看出, 基频幅值为 -3.6dB, 二次谐波幅值为 -74dB, SFDR 为 70dB。DAC 特性总结见表 1, 与 AD 公司的 12-bit 电流型数模转换器 AD9762 相比, 性能相近。

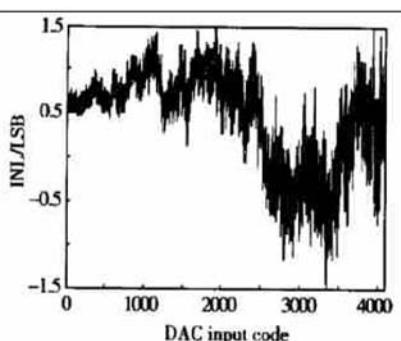


图 7 INL 性能

Fig. 7 INL performance

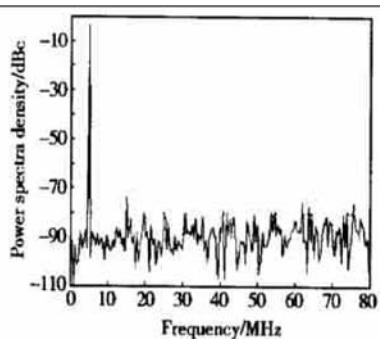


图 8 SFDR 性能

Fig. 8 SFDR performance

表 1 12-bit DAC 性能比较

Table 1 Comparison of the performance of the 12-bit DACs

	本文	AD9762 ^[10]
分辨率	12bit	12bit
采样率	150MHz	125MHz
DNL	1.0LSB	0.75LSB
INL	1.5LSB	1.0LSB
SFDR	70dBc(5.5MHz@150MSPS)	67dBc(5.04MHz@100MSPS)
电源电压	3.3V	2.7~5V
功耗	140mW@150MSPS, 3.3V	190mW@100MSPS, 5V
面积	1.74mm×1.30mm	N/A
工艺	0.6μm 2P2M CMOS N-well	0.6μm 1P 2M CMOS

6 结论

在分析了集成 CMOS 器件的离散性和误差消除对策的基础上, 研究了 150MSPS、12-bit CMOS 数模转换器芯片的设计与实现, 并使用无锡上华 0.6μm N 阵标准 CMOS 工艺一次流片成功。DAC 采用了双中心对称电流源矩阵结构, 设计中对电流源开关次序进行了搜索近似最优化, 提高了芯片的静态和动态性能。在版图绘制过程中, 独立开发了电流源单元位置计算软件, 并使用 Cadence 的 Skill 语言辅助完成电流源单元的排序和布线工作。转换器的微分线性误差和积分线性误差分别为 1LSB 和 1.5LSB。芯片面积为 1.74mm×1.30mm, 平均功耗为 140mW。流片后的芯片实测结果证实了主要参数符合预期设计, 芯片可以在 150MHz 的采样率下正常工作, 在高性能的直接数字频率合成及高速高分辨率显示等重要领域有着广泛的应用前景。

参考文献

- [1] Pelgrom M J M, Duinmaijer A C J, Welbers A P G, et al. Matching properties of MOS transistors. *IEEE J Solid-State Circuits*, 1989, 24(5): 1433
- [2] Bastos J, Marques A M, Steyaert M S J, et al. A 12-bit intrinsic accuracy high-speed CMOS DAC. *IEEE J Solid-State Circuits*, 1998, 33(12): 1959
- [3] Miki T, Nakamura Y, Nakaya M, et al. An 80MHz 8bit CMOS D/A converter. *IEEE J Solid-State Circuits*, 1986, 21(6): 983
- [4] Nakamura Y, Miki T, Maeda A, et al. A 10-b 70-MS/s CMOS D/A converter. *IEEE J Solid-State Circuits*, 1991, 26(4): 637
- [5] Van den Bosch A, et al. A 12bit 200MHz low glitch CMOS D/A converter. *IEEE CICC*, 1998: 249
- [6] Van der Plas G A M, Vandenbussche J, Samsen W, et al. A 14-bit intrinsic accuracy Q2 random walk CMOS DAC. *IEEE J Solid-State Circuits*, 1999, 34(12): 1708
- [7] Bugeja A, Song B S, Rakers P L, et al. A 14-b 100MS/s CMOS DAC designed for spectral performance. *IEEE J Solid-State Circuits*, 1999, 34(12): 1719
- [8] Van den Bosch A, Borremans M A F, Steyaert M S J, et al. A 10-bit 1-GSample/s Nyquist current-steering CMOS D/A converter. *IEEE J Solid-State Circuits*, 2001, 36(3): 315
- [9] Van der Plas G, et al. Mondriaan: A tool for automated layout synthesis of array-type analog blocks. *Proc IEEE CICC*, 1998: 485
- [10] Analog Devices, Inc., Data Sheet: AD9762 12-Bit 125 MSPS TxDAC® D/A Converter, 1996

High-Performance CMOS D/A Converter Based on Offsetting Variations in Processing*

Yu Xuefeng and Shi Yin

(Institute of Semiconductors, The Chinese Academy of Sciences, Beijing 100083, China)

Abstract: The design and implementation of high-speed, high-accuracy embedded CMOS D/A converter(DAC) IP core are presented, which is based on the principle of variations of CMOS devices and the method to offset the errors. It is implemented in a double centroid current-steering architecture with the rows and the columns decoded separately, and the current source switching circuit and the switching sequence are optimized. Cadence Skill language is used to develop the sorting and routing methods of the current source matrix in layout. The 12-bit DAC was integrated in a standard 0.6 μ m N-well CMOS process and the anticipated integral and differential nonlinearity performances are 1LSB and 1.5LSB, respectively. With a supply of 3.3V and sampling rate of 150MHz, the average power consumption is 140mW. The DAC is successfully fabricated and the main specifications meet the expectations.

Key words: D/A converter; CMOS mixed integrated circuit; processing variations; centroid symmetry; Skill language
EEACC: 2570; 1280; 1265

Article ID: 0253-4177(2003)11-1211-06

* Project supported by National High Technology Research and Development Program of China (No.2002AA1Z1200)

Yu Xuefeng male, master candidate. His research field is mixed-signal integrated circuit design.

Shi Yin male, professor and advisor of PhD candidates. His research field is mixed-signal integrated circuit design.