

# 12 位 80MHz 采样率具有梯度误差补偿的 CMOS 电流舵 D/A 转换器实现\*

江金光 何怡刚 吴杰

(湖南大学电气与信息工程学院, 长沙 410082)

**摘要:** 提出了一种 12 位 80MHz 采样率具有梯度误差补偿的电流舵 D/A 转换器实现电路。12 位 DAC 采用分段式结构, 其中高 8 位采用单位电流源温度计码 DAC 结构, 低 4 位采用二进制加权电流源 DAC 结构, 该电路中所给出的层次式对称开关序列可以较好地补偿梯度误差。该 D/A 转换器采用台湾 UMC 2 层多晶硅、2 层金属(2P2M)5V 电源电压、 $0.5\mu\text{m}$  CMOS 工艺生产制造, 其积分非线性误差小于  $\pm 0.9\text{ LSB}$ , 微分非线性误差小于  $\pm 0.6\text{ LSB}$ , 芯片面积为  $1.27\text{mm} \times 0.96\text{mm}$ , 当采样率为 50MHz 时, 功耗为 91.6mW。

**关键词:** D/A 转换器; 梯度误差; 非线性; 匹配; 开关序列; 温度计码; 二进制加权; 数模混合集成电路

**EEACC:** 1265H; 1280; 2570D

中图分类号: TN431.1

文献标识码: A

文章编号: 0253-4177(2003)12-1324-06

## 1 引言

高速、高分辨率 CMOS D/A 转换器是提高视频系统性能必不可少的器件。在该应用系统中, CMOS D/A 转换器由于具备低功耗、输入/输出能同时兼容 TTL 以及外部 CMOS 电路, 可与存储器、数字信号处理芯片集成在一起用于视频系统等诸多优点而得到了广泛的应用<sup>[1~17]</sup>。同时高分辨率视频系统中经常需要采用分辨率超过 8 位、速度超过 50MHz 的 D/A 转换器, 通常应用电阻串以及宽带输出缓冲器驱动低电阻负载型 D/A 转换器可以实现其功能<sup>[1,2]</sup>。尽管其中的无源元件具备良好的线性度, 但由于电路中的宽带输出缓冲器需要采用复杂的设计用于频率补偿以及抑制输出噪声和过冲而使其应用受到了限制。

本文提出了一种 12 位 80MHz 采样率具有梯度误差补偿的电流舵 D/A 转换器实现电路, 采用了 “8+4” 分段式结构, 并在该电路中应用了层次式对称

开关序列取得了较好地补偿梯度误差的效果。该芯片采用台湾 UMC 2 层多晶硅、2 层金属 5V 电源电压、 $0.5\mu\text{m}$  CMOS 工艺生产制造, 其积分非线性误差(INL) 小于  $\pm 0.9\text{ LSB}$ , 微分非线性误差(DNL) 小于  $\pm 0.6\text{ LSB}$ , 芯片中 12 位 DAC 的面积为  $1.27\text{mm} \times 0.96\text{mm}$ , 远小于文献[18] 中 12 位 DAC 的芯片面积。

## 2 基本体系结构

12 位 CMOS 电流舵 D/A 转换器的结构如图 1 所示, 其中高 8 位(MSB)采用单位电流源温度计码 DAC 结构, 低 4 位(LSB)采用二进制加权电流源 DAC 结构, 即采用 “8+4”的分段式结构实现 12 位 DAC。温度计码 DAC 的输出与二进制加权电流源 DAC 的输出和为 12 位 DAC 的总电流输出, 高 8 位 D/A 转换器采用单位电流源矩阵实现, 共需要  $2^8=256$  个单位电流源, 每一单位电流源均受控于二进制-温度计码控制开关信号。当数字输入信号增加

\* 国家自然科学基金资助项目(批准号: 50277010)

江金光 男, 1969 年出生, 博士研究生, 研究方向为信号处理、低电压/低功率模拟集成电路设计等。

何怡刚 男, 1966 年出生, 博士, 教授, 博士生导师, 目前主要从事模拟集成电路、滤波器、故障诊断等领域的研究工作。

吴杰 男, 1957 年出生, 博士, 教授, 博士生导师, 主要从事电路理论的研究工作。

1LSB, 就会增加一电流源从负输出端流出变成从正输出端流出, 从正输出端电流的输出来看, 模拟电压的输出通常随数字输入信号的增加而增加。在图1所示的12位电流舵DAC结构中,  $R_1 = R_2, R_3 = R_4$ , 整个转换器的电源电压为5.0V。图中的 $I_P$ 与 $I_N$ 为由电流源阵列流出电流的总和所产生的两个互补的输出电流,  $V_P$ 与 $V_N$ 为D/A转换器输出的互补电压, 它们的输出范围为 $2.5 \pm 1.25V$ , 因此, DAC的差分输出电压 $V_{DAC} = V_P - V_N = (I_N - I_P)R_1$ 的输出范围为 $\pm 2.5V$ 。Clock为时钟输入信号, 电路中输入信号寄存器主要用来使输入信号同步。

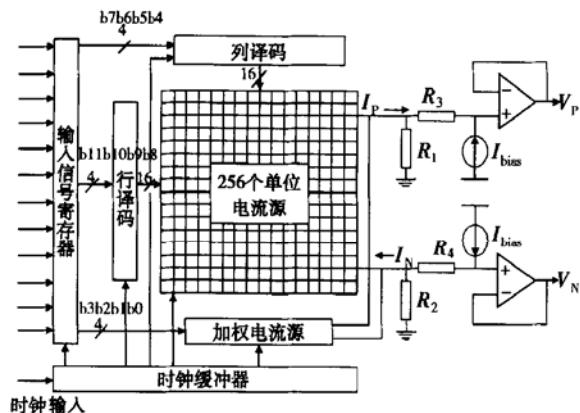


图1 12位温度计码DAC结构图

Fig. 1 12-bit thermometer-decoded DAC structure

设计高位的D/A转换器, 如果全部采用温度计码结构, 例如设计12位的DAC则需要 $2^{12}=4096$ 个单位电流源, 这样一来, 芯片面积会很大, 在设计中是不可取的。和二进制加权电流源相比, 温度计码DAC还具备如下一些优点: 首先是其匹配要求很低, 单位电流源满足50%的匹配精度就足以使其微分线性度误差小于0.5LSB, 其次在中间位转换过程中(00000000-10000000)1位的转换也就是数字输入位增加1, 这时也只有一个电流源开启, 因此, 大大地减少了短时脉冲波形干扰(glitch), 所以温度计码DAC的线性度几乎不受glitch的影响。和二进制加权电流源DAC相比, 温度计码DAC的主要缺点是面积比较大, 因为这种结构DAC的每一位LSB都需要一个单位电流源、一个开关以及一译码电路。综合考虑芯片面积与线性度的关系, 可以采用“8+4”的分段方式<sup>[5]</sup>, 即高8位采用温度计码单位电流源DAC结构, 低4位采用二进制加权电流源DAC结构来实现。

### 3 温度计码单位电流源电路

256个单位电流源矩阵中的每一个单位电流源的构成如图2所示, 每一个单位电流源是流向 $I_P$ 还是流向 $I_N$ 由COL, ROW1和ROW控制。该单位电流源由模拟部分和数字部分组成, 模拟部分包括全差分开关和电流源, 数字部分包括译码逻辑和锁存器, 电路中译码单元等效于一个或与门电路以及一个用于时钟同步的锁存器, 它可以使得所有的电流单元能同时开关。

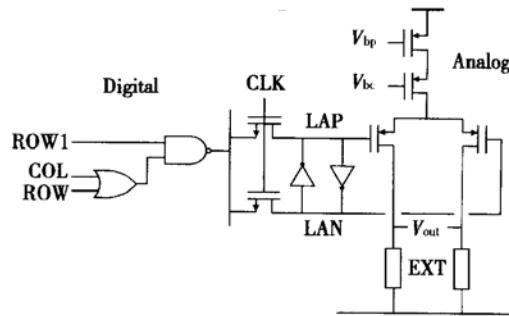


图2 单位电流源原理电路图

Fig. 2 Configuration of unit current source

### 4 层次式对称开关

在单位电流源矩阵构造中, 各单位电流源的输出应完全一致, 然而, 这些电流单元的实际输出并不是完全一致的, 其主要原因可归结为如下几部分: (1) 电源电压加到各单位电流源单元压降不一致而引起的分级误差; (2) 芯片内部温度不一致导致热分布不均所引起的对称误差; (3) 其他类型的随机误差。

单位电流源矩阵中的最终误差分布通常由以上误差的叠加所决定。传统对称开关的误差通常由两部分构成: 一是分级误差, 其次为对称误差, 图3所示的传统对称开关可以补偿单位电流源的分级误差。在该开关序列中, 如果打开这些控制对称处于中心两边的单位电流源的开关, 那么由该电流源所引起的分级误差可以被其对称放置的单位电流源所产生的误差抵消。例如, 如果数字输入为4, 则标号为1, 2, 3, 4的单位电流源会开启, 由单位电流源1, 3所引起的分级误差会被由单位电流源2, 4所引起的分级误差抵消, 但是由这些电流源所产生的对称误差, 该传统式对称开关无法对其进行抵消, 如上例所

示,当数字输入为 4 时,这些单位电流源的对称误差增加了,且无法得到消除,为了抵消以上类型的误差,我们引入了“层次式对称开关”序列。

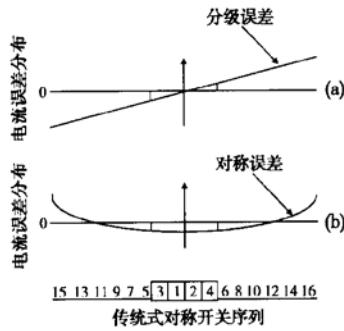


图 3 传统式对称开关误差分布原理图 (a) 分级误差; (b) 对称误差

Fig. 3 Conventional switching schemes (a) Graded error; (b) Symmetrical error

图 4 所示的“层次式对称开关”既可以抑制分级误差,也可以消除对称误差。其抵消误差的原理我们可以从以下的分析清楚看出,同样地输入数字为 4 的二进制码,则单位电流源 1, 2, 3, 4 均被开启,从图 4 的曲线上可以看出由单位电流源 1, 2 所产生的分级误差可以被单位电流源 3, 4 所产生的分级误差抵

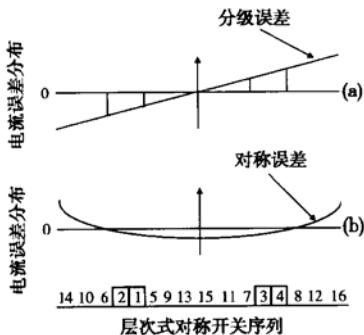


图 4 层次式对称开关误差分布原理图 (a) 分级误差; (b) 对称误差

Fig. 4 Hierarchical symmetrical switching scheme  
(a) Graded error; (b) Symmetrical error

消,同时由单位电流源 1, 3 所产生的对称误差可以被单位电流源 2, 4 所产生的对称误差所抵消。从以上例子,我们也可以归纳出如下结论:因为上例中单位电流源 1, 2 产生的分级误差可以被单位电流源 3, 4 所引起的分级误差抵消,也就是当数字输入增加时,由电流源对所产生的分级误差可以被逐次下来的电流源对所产生的分级误差抵消,而其单位电

流源产生的对称误差可以被逐次下来的单位电流源的对称误差所抵消。

图 3 所示的传统对称开关的误差计算公式可表示成如下形式:

$$\begin{aligned}\epsilon_G(k) &= \frac{2k - N - 1}{2(N - 1)} \times \epsilon \\ \epsilon_S(k) &= \frac{N/2 - (2k - N - 1)}{N - 2} \times \epsilon\end{aligned}\quad (1)$$

式中  $\epsilon_G(k)$  和  $\epsilon_S(k)$  分别表示为第  $k$  个开关所对应的电流源的误差值。考虑到电流源个数  $N$  是 4 的倍数,由分级误差以及对称误差所引起的积分线性误差  $INL_G$  和  $INL_S$  可表示如下:

(1) 传统对称开关:

$$\begin{aligned}INL_G &= |\epsilon_G(1)| \\ INL_S &= \left| \sum_{k=N/4+1}^{3N/4} \epsilon_S(k) \right|\end{aligned}\quad (2)$$

(2) 层次式对称开关:

$$\begin{aligned}INL_G &= |\epsilon_G(1) + \epsilon_G(N/2)| \\ INL_S &= |\epsilon_S(1)|\end{aligned}\quad (3)$$

从以上公式可以看出,传统对称开关中因对称误差所引起的线性误差与单位电流源的个数  $N$  成正比。而在层次式对称开关中,在每一个周期内因电流源产生的误差可以得到抵消,其线性误差的增加可以较好地得到抑制。

在  $n$  位温度计码 DAC 中,其单位电流源的个数为  $N$  ( $N = 2^n$ ),由于单位电流源中管子的不匹配,实际单位电流源所输出的电流值可表示成如下形式:

$$I_j = \bar{I}(1 + \epsilon_j) \quad (4)$$

其中  $\bar{I}$  是该温度计码 DAC 中所有单位电流源的平均值;  $\epsilon_j$  是第  $j$  个单位电流源的值相对于平均电流值偏差,因此有:

$$\begin{aligned}\bar{I} &= \frac{\sum_{j=1}^N I_j}{N} \\ I_{LSB} &= \frac{I(N) - I(0)}{N}\end{aligned}\quad (5)$$

式中  $I_{LSB}$  为  $1LSB$  所对应的串流步长。

在通常的  $n$  位 DAC 设计中,共包括有  $N$  个单位电流源,其中还包括有一个“哑单位电流源”(dummy current cell),在该情况下输入数字为  $K$  ( $0 \leq K \leq N-1$ ) 时的 INL 及 DNL 值如下式所示:

$$INL(K) = \frac{I(K) - I(0)}{I(N-1) - I(0)} \times (N-1) - K \quad (6)$$

$$DNL(K) = \frac{I(K) - I(K-1)}{I(N-1) - I(0)} \times (N-1) - 1 \quad (7)$$

当输入数为  $K$  时, 实际输出电流可以表示为:

$$I(K) = \sum_{j=1}^K I_j + I(0) \quad (8)$$

结合以上各式, 当输入数为  $K$  时, 具有一个“单位电流源”的 DAC 的 INL( $K$ ) 及 DNL( $K$ ) 值如下所示:

$$INL(K) = \frac{\sum_{j=1}^K \epsilon_j + \frac{K}{N-1} \epsilon_N}{1 - \frac{\epsilon_N}{N-1}} \approx \sum_{j=1}^K \epsilon_j \quad (9)$$

$$DNL(K) = \frac{\epsilon_K + \frac{\epsilon_N}{N-1}}{1 - \frac{\epsilon_N}{N-1}} \approx \epsilon_K \quad (10)$$

$n$  位 DAC 的 INL 及 DNL 值如下:

$$INL_{DAC} = \max_{K=1}^{N-1} (|INL(K)|) \quad (11)$$

$$DNL_{DAC} = \max_{K=1}^{N-1} (|DNL(K)|) \quad (12)$$

从以上分析可以知道, 在温度计码 DAC 中, 层次式对称开关序列可以减小其 INL 的误差值, 同时其 DNL 值远远小于 INL 的值。

温度计码 DAC 的层次式对称开关所控制的电流源的误差分布如图 5 所示。

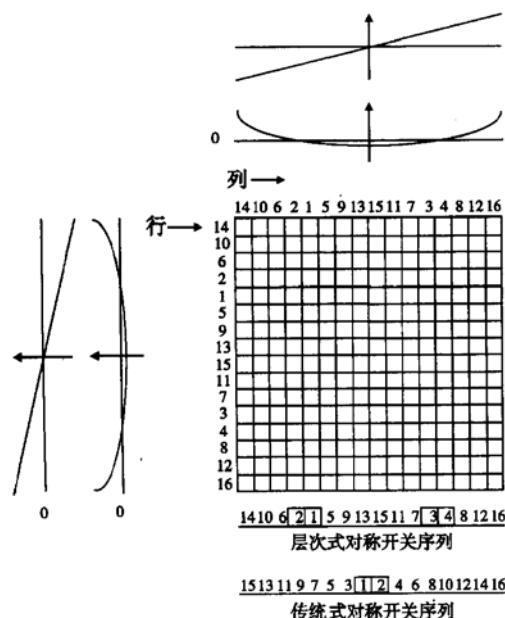


图 5 层次式对称开关所控制的误差分布原理图

Fig. 5 Hierarchical symmetrical switching error scheme

## 5 芯片测试结果及仿真分析

我们已经完成了  $I, Q$ (相位相差 90°) 通道两个 12 位电流舵 DAC 的实际流片, 芯片照片如图 6 所示, 芯片测试结果如表 1 所示。

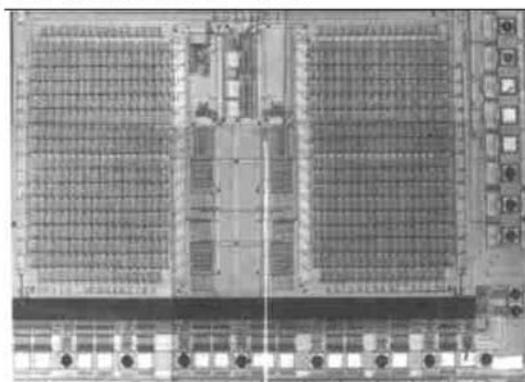


图 6 12 位电流舵 DAC 芯片照片

Fig. 6 Photomicrograph of 12-bit DAC

表 1 12 位电流舵 DAC 芯片测试结果

Table 1 Test result of 12-bit DAC

工艺	0.5μm 2P2M (UMC) CMOS 工艺
精度	12 位
微分非线性误差(DNL)	< ±0.6LSB
积分非线性误差(INL)	< ±0.9LSB
采样率	80MHz
输出范围	2.5V
上升/下降时间(10% ~ 90%)	0.7ns
功耗(50MHz 采样率时)	91.6mW
电源电压	5.0V
芯片面积	1.27mm × 0.96mm

在 12 位 D/A 转换器 INL 值仿真结果中(如图 7 所示, 限于文章篇幅, 仿真图略), 1LSB = 0.6mV, 采样率为 50MHz, 输入信号的频率为 20MHz, 从图中可见, 此时所得到的积分非线性误差(INL) 的值小于 ±0.9LSB。

## 6 结论

本文设计实现了 12 位 80MHz 采样率具有梯度误差补偿的电流舵 D/A 转换器, 该 DAC 采用分段式结构, 其中高 8 位采用温度计码单位电流源 DAC 结构, 低 4 位采用二进制加权电流源 DAC 结构。对其中高 8 位温度计码 DAC 译码部分的“传统式对称开关序列”及“层次式对称开关序列”的梯度误差

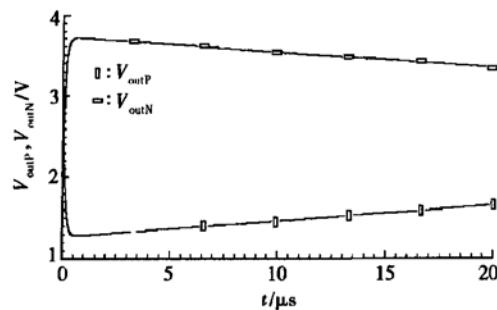


图 7 12 位 DAC 的仿真结果

Fig. 7 Simulation result of 12-bit DAC

补偿原理进行了理论分析,得出了“层次式对称开关序列”具备更优越的补偿 DAC 设计中梯度误差的结论,芯片的测试结果与电路的仿真结果基本吻合。该 DAC 的积分非线性误差(INL) 小于  $\pm 0.9$ LSB, 微分线性误差(DNL) 小于  $\pm 0.6$ LSB, 在 50MHz 采样率的情况下功耗为 91.6mW, DAC 模块的芯片面积为  $1.27\text{mm} \times 0.96\text{mm}$ 。

## 参考文献

- [ 1 ] Miki T, Nakamura Y, Makaya M, et al. An 80-MHz 8-bit CMOS D/A converter. IEEE J Solid-State Circuits, 1986, SC-21(6): 983
- [ 2 ] Pelgrom M J M. A 10-b 50MHz CMOS D/A converter with  $75\Omega$  buffer. IEEE J Solid-State Circuits, 1990, 25(6): 1347
- [ 3 ] Wu Tienyu, Jih C T, Chen J C, et al. A low glitch 10-bit 75-MHz CMOS video D/A converter. IEEE J Solid-State Circuits, 1995, 30(1): 68
- [ 4 ] Kazuhisa N, Yuji G. An 8-b 800-MHz DAC. IEEE J Solid-State Circuits, 1990, 25(12): 1353
- [ 5 ] Lin C H, Bult K. A 10-b, 500-M sample/s CMOS DAC in  $0.6\text{mm}^2$ . IEEE J Solid-State Circuits, 1998, 33(12): 1948
- [ 6 ] Van Der Plas G A M, Vandebussche J, Sansen W, et al. A 14-bit intrinsic accuracy  $Q^2$  random walk CMOS DAC. IEEE J Solid-State Circuits, 1999, 34(12): 1708
- [ 7 ] Cong Yonghua, Geiger R L. Switching sequence optimization for gradient error compensation in thermometer-decoded DAC arrays. IEEE Trans Circuit and Systems-II: Analog and Digital Signal Processing, 2000, 47(7): 585
- [ 8 ] Tuilikainen M P. A 14-bit 1.8-V 20mW  $1\text{mm}^2$  CMOS DAC. IEEE J Solid-State Circuits, 2001, 36(7): 1144
- [ 9 ] Nakamura Y, Miki T, Maeda A, et al. A 10-b 70-MS/s CMOS D/A converter. IEEE J Solid-State Circuits, 1991, 26(4): 637
- [ 10 ] Groeneveld D W J, Schouwenaars H J, Termeer H A H, et al. A self-calibration technique for monolithic high-resolution D/A converter. IEEE J Solid-State Circuits, 1989, 24(6): 1517
- [ 11 ] Schoeff J A. An inherently monotonic 12bit DAC. IEEE J Solid-State Circuits, 1979, SC-14(12): 904
- [ 12 ] Bugeja A R, Song B S. A self-trimming 14-b 100-MS/s CMOS DAC. IEEE J Solid-State Circuits, 2000, 35(12): 1841
- [ 13 ] Bujeja A R, Song B S, Rakers P L, et al. A 14-b 100-MS/s CMOS DAC designed for spectral performance. IEEE J Solid-State Circuits, 1999, 34(12): 1719
- [ 14 ] Tesch B J, Garcia J C. A low glitch 14-b 100MHz D/A converter. IEEE J Solid-State Circuits, 1997, 32(9): 1465
- [ 15 ] Fournier J M, Senn P. A 130-MHz 8-b CMOS video DAC for HDTV application. IEEE J Solid-State Circuits, 1991, 26(7): 1073
- [ 16 ] Xu Yang, Min Hao. High speed current domain CMOS D/A converter design. Chinese Journal of Semiconductors, 2000, 21(6): 597(in Chinese) [徐阳, 闵昊. 一种高速电流型 CMOS 数模转换器设计. 半导体学报, 2000, 21(6): 597]
- [ 17 ] Liu Fei, Ji Lijiu. 150M/s, 6bit digital CMOS folding A/D converter with current-mode interpolating. Chinese Journal of Semiconductors, 2002, 23(9): 988(in Chinese) [刘飞, 吉利久. 150M/s, 6bit CMOS 数字工艺折叠、电流插值 A/D 转换器. 半导体学报, 2002, 23(9): 988]
- [ 18 ] Bastos J, Marques A M, Steyaert M S J, et al. A 12-bit intrinsic accuracy high-speed CMOS DAC. IEEE J Solid-State Circuits, 1998, 33(12): 1959

## Realization of 12-b, 80MHz Sample/s CMOS Current Steering D/A Converter with Gradient Error Compensation\*

Jiang Jinguang, He Yigang and Wu Jie

(College of Electrical and Information Engineering, Hunan University, Changsha 410082, China)

**Abstract:** A circuit of 12-bit, 80MHz sample/s current steering DAC with hierarchical symmetrical switching sequences is presented, which will compensate the gradient error. 12-bit DAC employs segmented architecture, among which 8-bit MSB using thermometer-coded DAC, whereas 4-bit LSB employs binary-weighted DAC. The measured integral nonlinearity is less than  $\pm 0.9$  least significant bit(LSB), and differential nonlinearity is less than  $\pm 0.6$ LSB. The circuit is fabricated in a 0.5- $\mu$ m, two-poly, two-metal, 5.0V CMOS process, and the die area is 1.27mm  $\times$  0.96mm, when operating at 50MHz sample/s, it dissipates 91.6mW at 5.0V power supply.

**Key words:** D/A converter; gradient error; nonlinearity; matching; switching sequence; thermometer-decoded; binary-weighted; mixed analog-digital integrated circuit

**EEACC:** 1265H; 1280; 2570D

**Article ID:** 0253-4177(2003)12-1324-06

\* Project supported by National Natural Science Foundation of China (No. 50277010)

Jiang Jinguang male, was born in 1969, PhD candidate. His current interests are in the design of low-power and low-voltage analog and mixed analog-digital integrated circuits for telecommunication application.

He Yigang male, was born in 1966, PhD, professor. His interests are in theory and design of analog integrated circuits, failure diagnostic of analog circuits, and theory and application of neural network.

Wu Jie male, was born in 1957, PhD, professor. He is engaged in the research on circuit theory.