

# 部分局域电荷槽 SOI 高压器件新结构\*

罗小蓉<sup>†</sup> 张 波 李肇基 唐新伟

(电子科技大学 IC 设计中心, 成都 610054)

**摘要:** 提出了部分局域电荷槽 SOI (partial locating charge trench SOI, PTSOI) 高压器件新结构. 该结构在槽内产生随漏极电压变化的界面电荷, 此电荷使埋氧层纵向电场从传统的  $3E_{Si,c}$  升高到接近  $\text{SiO}_2$  的临界击穿电场  $E_{\text{SiO}_2,c}$ ; 另外, 硅窗口将耗尽层引入衬底, 因而提高了器件的击穿电压. 同时, 硅窗口的存在大大缓解了自热效应. 借助二维器件仿真研究了器件的击穿特性和热特性. 结果表明, 漂移区厚  $2\mu\text{m}$ , 埋氧层厚  $1\mu\text{m}$  的 PTSOI 耐压可达  $700\text{V}$  以上; 对埋氧层厚  $1\mu\text{m}$  和  $3\mu\text{m}$  的 PTSOI, 其器件的最高温度分别比 TSOI 低  $6\text{K}$  和  $25\text{K}$ .

**关键词:** 电荷槽; 界面电荷; 自热效应; 纵向电场; 击穿电压

EEACC: 2560B; 2560P

中图分类号: TN386

文献标识码: A

文章编号: 0253-4177(2006)01-0115-06

## 1 引言

SOI 器件的高速、低功耗、便于隔离等优越性能使其在 VLSI 领域得到广泛关注<sup>[1]</sup>. 但 SOI 器件有两个重要缺点: 较低的纵向击穿电压和自热效应. 前者可以通过增强埋层电场的方法解决: 一方面采用低介电系数的埋层, 如埋空隙 SOI 结构<sup>[2]</sup>; 另一方面, 利用埋层高临界击穿电场的特点, 通过在硅/埋层界面引入电荷而提高埋层电场, 如插入  $n^+$  薄层<sup>[3]</sup>、SIPOS 层<sup>[4]</sup>, 注入阶梯埋氧固定界面电荷 (step fixed interface charge, SFIC)<sup>[5]</sup>, 引入屏蔽槽<sup>[6-8]</sup>等 SOI 结构; 另外, Merchant 等人还设计了漂移区横向线性掺杂<sup>[9]</sup>, 但这些方法都未能缓解自热效应. 硅窗口在源端的 partial SOI (PSOI) 结构利用埋层和衬底承受耐压, 既能提高纵向耐压, 又能利用硅窗口克服自热效应<sup>[10]</sup>, 同时保留了较好的高频特性. 然而对于传统 PSOI,  $600\text{V}$  以上的耐压需要  $4\mu\text{m}$  以上的埋氧层且以薄漂移区线性掺杂才能实现<sup>[11]</sup>.

在对屏蔽槽 SOI (shielding trench SOI, TSOI) 高压器件新结构及其耐压机理研究的基础上<sup>[6,7]</sup>, 本文提出了硅窗口在源端的部分局域电荷槽 SOI (PTSOI) 高压器件新结构. 利用二维器件仿真器 MEDICI 对器件的电场分布, 击穿特性和温度特性进行了研究. 结果表明, 此结构在漂移区厚  $2\mu\text{m}$ 、埋氧层厚  $1\mu\text{m}$  的 SOI 上能达到  $700\text{V}$  以上的高压, 在

提高器件耐压、缓解自热效应的同时缩小了 SOI 器件的纵向尺寸.

## 2 结构和机理

硅窗口在源端的 PTSOI LDMOS 器件结构如图 1(a) 所示. 图中  $t_s, t_{ox}$  分别表示 Si 层和埋氧层厚度;  $N_d$  和  $N_{\text{sub}}$  分别表示漂移区和衬底浓度;  $L_d, L_w$  分别表示漂移区长度、硅窗口长度. 当漏极加较大正向偏压  $V_d$ , 衬底 (和栅、源极) 接地时, 漂移区、埋氧层和衬底相当于倒置的 MIS 结构. 如果槽高  $H$  足够大, 就能阻止横向电场 (源极) 对 Si/SiO<sub>2</sub> 界面 Si 侧反型层电荷的抽取, 从而在槽内底部束缚界面电荷, 如图 1(b) 所示. 设界面电荷的面密度为  $Q_s$ , 则 Si/SiO<sub>2</sub> 界面电位连续为:  $\epsilon_{ox} E_{ox} = E_{Si} + Q_s$ , 其中  $E_{Si}, E_{ox}$  和  $\epsilon_{Si}, \epsilon_{ox}$  分别是界面处 Si 和 SiO<sub>2</sub> 的电场和介电常数. 可见, 随着  $Q_s$  的增加,  $E_{ox}$  将可从传统 SOI 结构的  $3E_{Si}$  提高至  $\text{SiO}_2$  的临界击穿电场 (本文选取  $600\text{V}/\mu\text{m}$ ). 该结构的纵向耐压由漂移区、埋氧层、衬底耗尽层共同承担. 与传统 PSOI 结构相比, 此结构通过提高埋氧层电场而提高器件纵向击穿电压. 界面电荷产生的附加电场  $E_s$ ,  $E_s$  在增强  $E_{ox}$  的同时削弱了  $E_{Si}$ , 避免 Si/SiO<sub>2</sub> 界面 Si 侧提前击穿, 从而屏蔽高电场对 Si 层的影响.

另一方面, 该结构可以优化表面电场. 在硅窗口边缘, 因 Si 和 SiO<sub>2</sub> 的介电常数不同, 其对电场的调制作用使器件表面出现新的电场峰<sup>[10]</sup>, 从而可以降

\* 国家自然科学基金重点资助项目 (批准号: 60436030)

<sup>†</sup> 通信作者. Email: xrluo@uestc.edu.cn

2005-07-06 收到

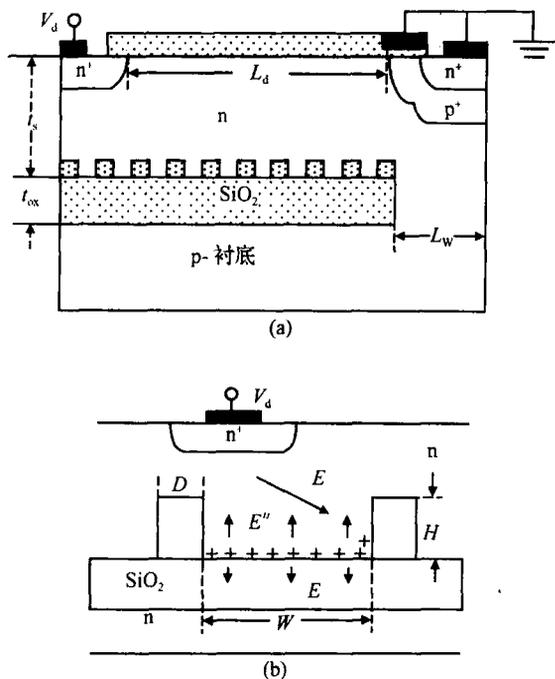


图 1 PISOI LDMOS 剖面图 (a) 器件结构;(b) 槽的结构及电场分布  
Fig.1 Cross section of PISOI LDMOS (a) Device structure;(b) Trench structure and electric field distribution

低源、漏端的电场峰值,使表面电场优化。

再者,硅窗口的存在将有源区和衬底相连,提供了热传导的通道,这有利于缓解自热效应,使器件工作的有源区温度降低,提高了器件的稳定性。

### 3 结果与分析

图 2 为 TSOI,PTSOI 和传统 PSOI LDMOS 在各自最高击穿电压下漏端的纵向电场和电势分布。其中槽结构参数为  $W = D = 1\mu\text{m}$ ,  $H = 0.5\mu\text{m}$ , 漂移区浓度依次为  $5.5 \times 10^{15}$ ,  $5.5 \times 10^{15}$ ,  $7.2 \times 10^{15} \text{cm}^{-3}$ 。图 2(a) 显示,界面电荷对纵向电场的调制作用使 Si/SiO<sub>2</sub> 界面处  $E_{ox}$  由传统 PSOI 的  $113\text{V}/\mu\text{m}$  增至 PTSOI 的  $565\text{V}/\mu\text{m}$ , TSOI 增至 SiO<sub>2</sub> 的临界击穿电场  $600\text{V}/\mu\text{m}$ ,极大地提高了埋层承受的电压;同时  $E_{Si}$  从  $35\text{V}/\mu\text{m}$  降低为 PTSOI 的  $11\text{V}/\mu\text{m}$ ,使纵向击穿由 Si 侧转移至 SiO<sub>2</sub>,此谓界面电荷对 Si 层高电场的屏蔽作用<sup>[6]</sup>。图 2(b) 为三种结构的纵向电势分布图。由图可见,PTSOI 不仅利用衬底承受电压,更为重要的是,利用界面电荷增加埋层的耐压,因而其纵向击穿电压高达  $681\text{V}$ ,高于 TSOI 的  $610\text{V}$  和传统 PSOI 的  $277\text{V}$ 。

图 3 为三种器件的表面电场和二维电势分布图。由图可见,PTSOI 与传统 PSOI 两种结构的表面

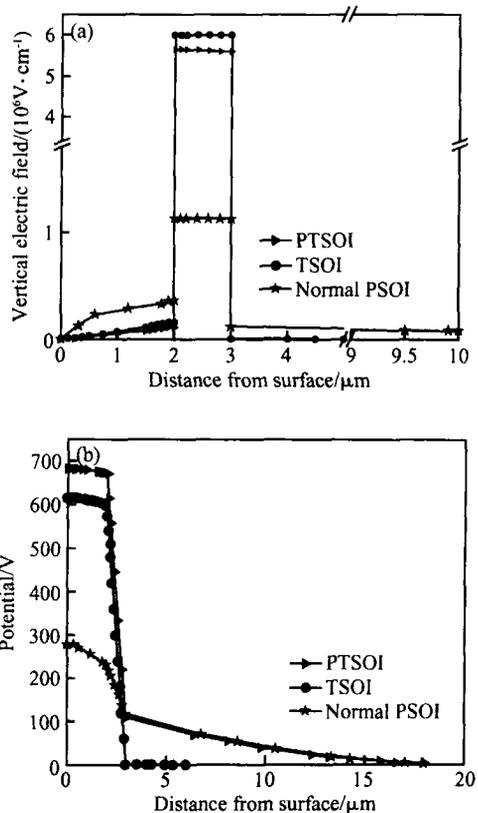


图 2 纵向电场和电势分布 (a) 纵向电场分布;(b) 纵向电势分布

Fig.2 (a) Vertical electric field distribution;(b) Vertical potential distribution ( $t_s = 2\mu\text{m}$ ,  $t_{ox} = 1\mu\text{m}$ ,  $L = 80\mu\text{m}$ ,  $L_w = 15\mu\text{m}$ ,  $N_{sub} = 5 \times 10^{14} \text{cm}^{-3}$ )

电场均在与硅窗口相应处出现了新的电场峰,这是 Si/SiO<sub>2</sub> 界面埋氧层边缘产生的电场峰对表面电场调制的结果。与 TSOI 相比,PTSOI 的新表面电场峰使源、漏端的电场峰值降低,避免表面提前击穿。同时,PTSOI 的新电场峰值较传统的 PSOI 高,且表面电场更均匀,耐压更高。这是由于反型层电荷密度  $Q_s$  随 Si/SiO<sub>2</sub> 界面 Si 侧电势的增加而增大,因而  $Q_s$  是从源到漏区逐渐递增,随漏极电压而变化的自适应电荷,其效果相当于漂移区横向变掺杂。另一方面,在 Si/SiO<sub>2</sub> 界面,平衡时各屏蔽槽内横向等电势,同时屏蔽槽均匀分布,这使得漂移区内等势线分布更均匀,PTSOI,TSOI 和传统 PSOI 的二维电势分布如图 3(b),(c) 和 (d) 所示。由图可知,与 PTSOI 和传统 PSOI 不同,TSOI 结构阻止了耗尽层向衬底扩展。

图 4(a) 为 PTSOI 器件击穿电压 BV 与硅窗口长度  $L_w$  的关系。图 4(b) 给出了  $t_{ox} = 1\mu\text{m}$  时,BV、埋氧层承受电压( $V_{ox}$ )和衬底承受电压( $V_{sub}$ )与硅窗口长度的关系,其中  $N_d = 5 \times 10^{15} \text{cm}^{-3}$ 。从图中可以看出,随硅窗口长度增加,衬底耗尽区展宽使  $V_{sub}$

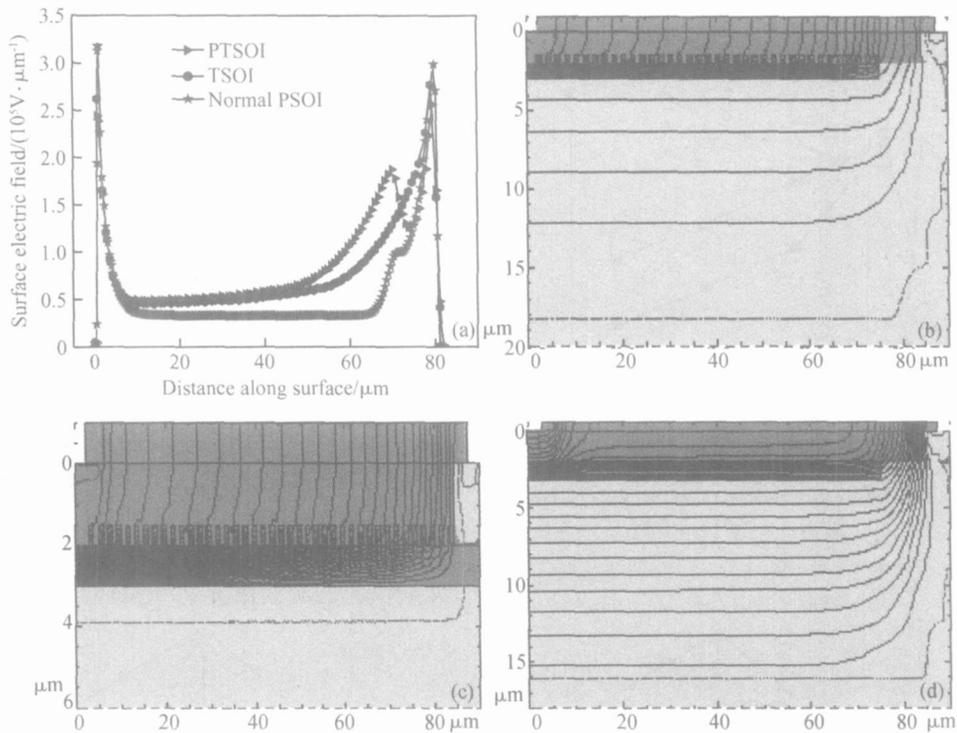


图 3 表面电场和二维等势线分布 (a) 表面电场分布; 二维等势线分布: (b) PTSOI, (c) TSOI, (d) 传统 PSOI

Fig. 3 Surface electric field distribution and equip-potential contours (a) Surface electric field distribution; Equip-potential contours for PTSOI (b) ,TSOI (c) ,Normal PSOI (d)

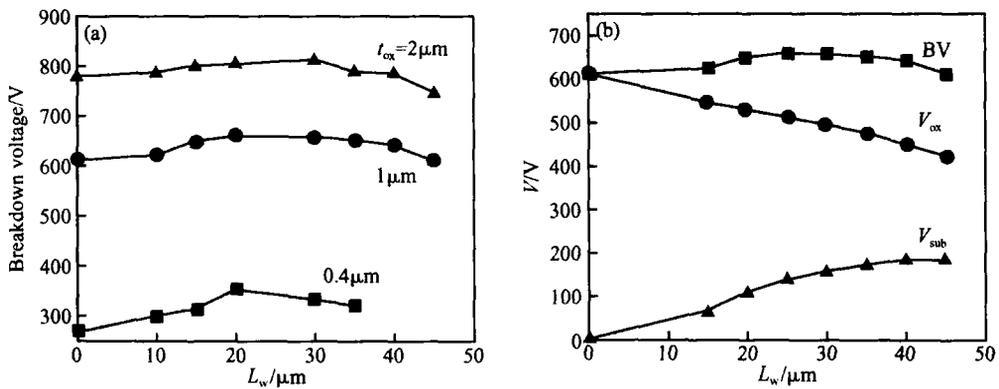


图 4 击穿电压与硅窗口长度的关系

Fig. 4 Breakdown voltage versus length of silicon window ( $t_s = 2\mu\text{m}, L = 80\mu\text{m}, N_{\text{sub}} = 5 \times 10^{14}\text{cm}^{-3}$ )

增大,而埋氧层的电场和耐压降低,导致图 4(a) 所示的器件击穿电压先上升后下降. 由此说明,硅窗口长度存在一个优值. 图中硅窗口长度为零表示 TSOI,对于优化的硅窗口长度,PTSOI 的耐压高于 TSOI.

根据 RESURF 原理,为了获得器件的最高横向击穿电压,漂移区的电荷总量,包括掺杂和界面电荷存在一个优值. 图 5 为器件结构参数对器件击穿电压的影响. 可见,当  $t_s, t_{ox}, L, N_d$  一定时,其最高击穿电压与某一固定的槽形结构对应,这是界面电荷

对漂移区电荷总量调制的结果. 屏蔽槽太高或者太密,漂移区电荷总量过高都使源区表面或 Si/SiO<sub>2</sub> 界面的 SiO<sub>2</sub> 侧提前击穿,耐压降低;反之,则击穿首先发生在漏区表面或 Si/SiO<sub>2</sub> 界面的 Si 侧. 相比之下,槽高  $H$  对耐压的影响最大,因为  $H$  直接决定槽对空穴束缚作用的强弱和槽内空穴浓度的高低. 当  $w$  不变时, $D$  增加使束缚电荷的区域 ( $w/(w+D)$ ) 减少,且槽的分布变疏,电荷分布的连续性变差,导致耐压下降.

图中也给出了击穿电压 BV 与漂移区长度  $L$

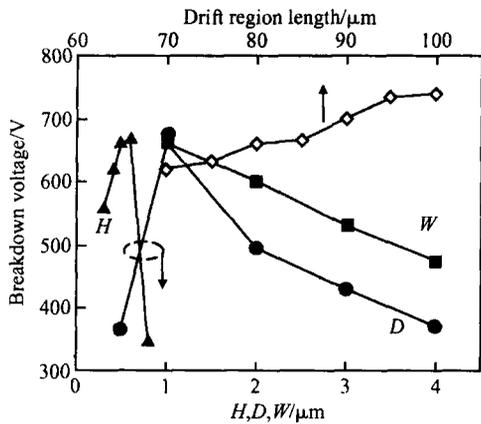


图 5 击穿电压与器件结构参数的关系

Fig. 5 Breakdown voltage versus structure parameters ( $t_s = 2\mu\text{m}$ ,  $t_{ox} = 1\mu\text{m}$ ,  $N_d = 5 \times 10^{15} \text{cm}^{-3}$ ,  $N_{sub} = 5 \times 10^{14} \text{cm}^{-3}$ ,  $L_w = 25\mu\text{m}$ )

的关系,当漂移区较短时, BV 随  $L$  的增加而增加,说明此时击穿由横向决定;只有当  $L = 95\mu\text{m}$  时,器件才发生纵向击穿,耐压达到饱和。

PTSOI 结构的硅窗口对器件提供了一个热传导的途径,自热效应得到了缓解.图 6 是在源极和衬底接地,衬底温度设为  $300\text{K}$ ,  $V(g) = 15\text{V}$ ,功耗为  $1\text{mW}/\mu\text{m}$  情况下,几种结构的温度分布.为了节省仿真时间,图中采用漂移区长度  $40\mu\text{m}$ ,并且采用各结构优化的漂移区浓度.其中图 6(a), (b) 是  $t_{ox} = 1\mu\text{m}$  时 TSOI, PTSOI 的三维温度分布;图 6(c), (d) 是 TSOI, PTSOI 和一般 SOI 的表面温度分布和表面最高温度处的纵向温度分布.由图 6 可知,当  $t_{ox}$  相同时, TSOI 与一般 SOI 器件的有源区温度分布几乎相同,且均较高,而 PTSOI 的硅窗口提供了传热的通道,有源区温度降低,且最低温度在源端;两种结构的有源区温度随  $t_{ox}$  的增加而增加。

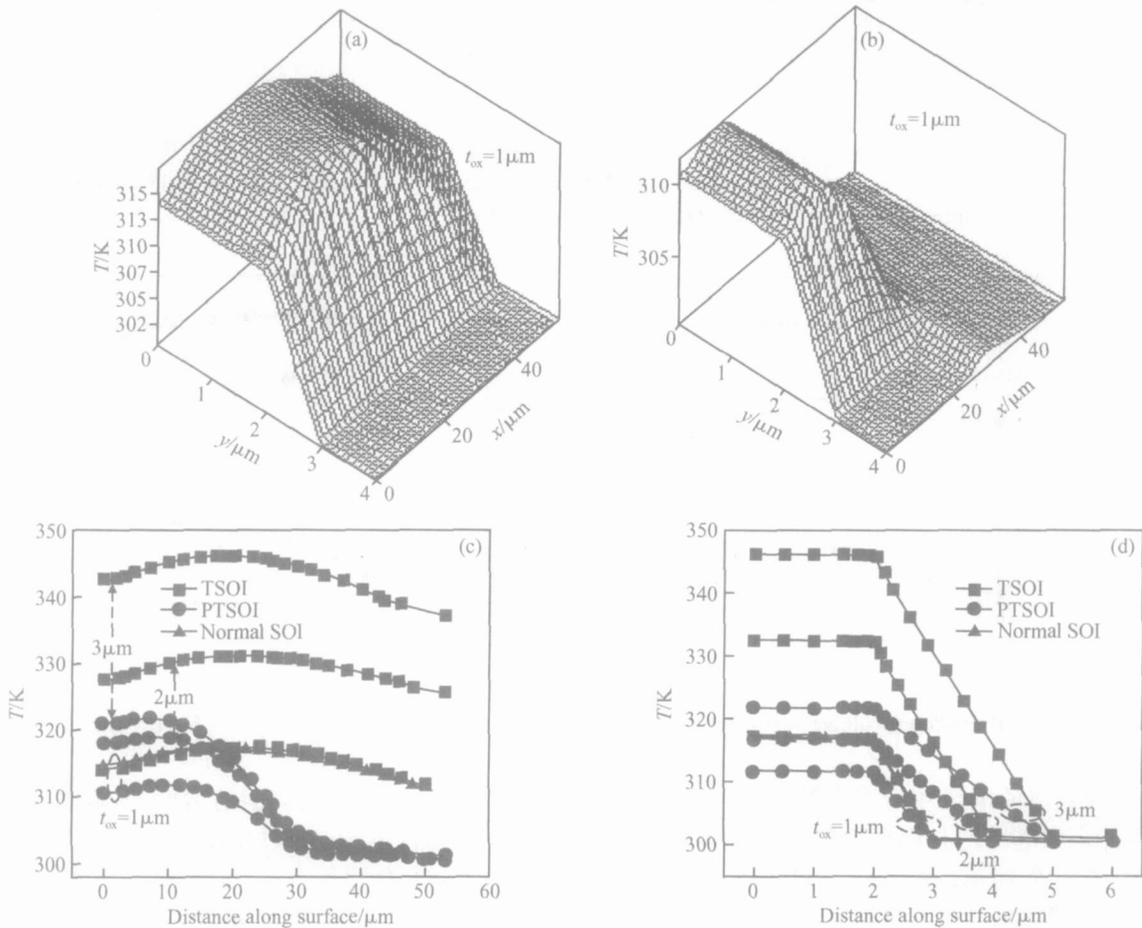


图 6 四种结构的温度分布 (a) TSOI; (b) PTSOI; (c) 表面温度; (d) 表面温度最高点处的纵向温度分布

Fig. 6 Temperature distributions of devices (a) TSOI; (b) PTSOI ( $L_w = 25\mu\text{m}$ ); (c) Surface temperature; (d) Vertical temperature distribution at maximum surface temperature

图 7 给出 TSOI 和 PTSOI 器件的最高温度  $T_{max}$ 、漏端温度  $T_D$  和源端温度  $T_S$  与氧化层厚度  $t_{ox}$

的关系.由图 7 可知, TSOI 的  $T_{max}$ ,  $T_D$  和  $T_S$  均高于 PTSOI 的相应值,且随  $t_{ox}$  的增加迅速升高. PT-

SOI 的  $T_{max}$  在漏端附近,故,  $T_{max}$ 、 $T_D$ 、 $T_{max}$  和  $T_D$  随  $t_{ox}$  的增加缓慢增加;源端温度  $T_s$  几乎与  $t_{ox}$  无关,近似为室温.因而可以制备埋氧层较厚的 PTSOI 高压器件.这充分证明 PTSOI 结构在提高耐压的同时还能缓解自热效应.

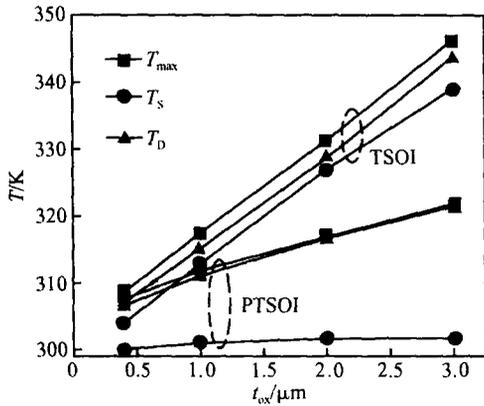


图 7  $T_{max}$ ,  $T_s$  和  $T_D$  与  $t_{ox}$  的关系  
Fig. 7  $T_{max}$ ,  $T_s$ , and  $T_D$  versus  $t_{ox}$

PTSOI 材料可以通过 Bonding 和 SIMOX 两种方式实现.例如槽较浅且埋氧层较薄,可以采用 SIMOX 方法,即局部注氧形成埋氧层,图形氧注入形成浅槽,薄顶层硅掺杂改 p 型为 n 型,外延到所需 Si 层厚度而实现.

### 4 结论

提出了一种 SOI 高压器件新结构——硅窗口在源端的部分局域电荷槽 SOI 高压器件结构.该结构由漂移区、埋氧层、衬底耗尽层共同承受电压,利用电荷对纵向电场的调制作用,通过提高埋氧层电场而提高器件纵向击穿电压.同时,硅窗口的存在缓解了自热效应.此结构不仅具有提高器件耐压、缓解自热效应的优点,而且可以减小器件纵向尺寸,拓宽了 SOI 器件在高压功率集成电路中的应用,为功率集成技术提供了一种新的器件结构.

### 参考文献

- [ 1 ] Udrea F, Garner D, Sheng K, et al. SOI power devices. Journal Electronics & Communication Engineering, 2000, 12(1) : 27
- [ 2 ] Jeon B C, Kin D Y, Lee Y S, et al. Buried air gap structure for improving the breakdown voltage of SOI power MOSFET 's. Power Electronics and Motion Control Conference, 2000 : 1061
- [ 3 ] Nakagawa A, Yasuhara N, Baba Y. Breakdown voltage enhancement for devices on thin silicon layer/ silicon dioxide film. IEEE Trans Electron Devices, 1991, 38(7) : 1650
- [ 4 ] Hideyuki Funaki, Yoshihiro Yamaguchi, Keizo Hirayama, et al. New 1200V MOSFET structure on SOI with SIPOS shielding layer. Proceeding of ISPSD, 1998 : 25
- [ 5 ] Guo Yufeng, Li Zhaoji, Luo Xiaorong, et al. New structure and breakdown model of high voltage SOI devices with the step buried-oxide fixed charges. Chinese Journal of Semiconductors, 2004, 25(12) : 1623 (in Chinese) [ 郭宇锋, 李肇基, 罗小蓉, 等. 阶梯分布埋氧层固定电荷 SOI 高压器件新结构和耐压模型. 半导体学报, 2004, 25(12) : 1623 ]
- [ 6 ] Luo Xiaorong, Li Zhaoji, Zhang Bo. A novel E-SIMOX SOI high voltage device structure with shielding trench. ICCAS, 2005 : 1403
- [ 7 ] Luo Xiaorong, Li Zhaoji, Zhang Bo, et al. A novel structure and its breakdown mechanism of SOI high voltage device with shielding trench. Chinese Journal of Semiconductors, 2005, 26(11) : 2154 (in Chinese) [ 罗小蓉, 李肇基, 张波, 等. 屏蔽槽 SOI 高压器件新结构和耐压机理. 半导体学报, 2005, 26(11) : 2154 ]
- [ 8 ] Kapels H, Plikat R, Silber D. Dielectric charge traps : a new structure element for power devices. Proceeding of ISPSD, 2000 : 205
- [ 9 ] Merchant S, Arnold E, Baumgart H, et al. Realization of high breakdown voltage (> 700V) in thin SOI device. Proc 3rd Int Symp on Power Semiconductor Devices and ICs, 1991 : 31
- [ 10 ] Park J M, Grasser T, Kosina H, et al. A numerical study of partial-SOI LDMOSFETs. Solid-State Electron, 2003, 47 : 275
- [ 11 ] Tadikonda R, Hardikar S, Narayanan E M S. Realizing high breakdown voltages (> 600V) in partial SOI technology. Solid-State Electron, 2004, 48 : 1655

## A Novel SOI High Voltage Device Structure with a Partial Locating Charge Trench<sup>\*</sup>

Luo Xiaorong<sup>†</sup>, Zhang Bo, Li Zhaoji, and Tang Xinwei

(IC Design Center, University of Electronic Science & Technology, Chengdu 610054, China)

**Abstract:** A novel high voltage device structure —partial locating charge trench SOI (PTSOI) is proposed. Interface charges changing with the drain voltage are introduced in the trench. The charges make the vertical electric field of the buried oxide increase from about  $3 E_{Si,C}$  to the critical breakdown electric field of  $SiO_2$ . In addition, the depletion layer spreads into the substrate through the silicon window. Hence the breakdown voltage is enhanced. The self-heating effect of SOI devices is alleviated as a result of the silicon window. The breakdown characteristics and thermal characteristics are researched by a 2D device simulator. A breakdown voltage greater than 700V can be obtained for the PTSOI device with a 2 $\mu$ m thick Si layer and 1 $\mu$ m buried oxide. The maximum temperature of the PTSOI device is 6 K and 25 K lower than that of TSOIs with 1 $\mu$ m and 3 $\mu$ m thick buried oxides, respectively.

**Key words:** charge trench; interface charge; self-heating effect; vertical electric field; breakdown voltage

**EEACC:** 2560B; 2560P

**Article ID:** 0253-4177(2006)01-0115-06

---

<sup>\*</sup> Project supported by the National Natural Science Foundation of China (No. 60436030)

<sup>†</sup> Corresponding author. Email: xrluo@uestc.edu.cn

Received 6 July 2005