

可变低 k 介质层 SOI LDMOS 高压器件的耐压特性*

罗小蓉[†] 李肇基 张 波

(电子科技大学 IC 设计中心, 成都 610054)

摘要: 提出了一种可变低 k (相对介电常数) 介质层 (variable low k dielectric layer, VLkD) SOI 高压器件新结构, 该结构的埋层由可变 k 的不同介质组成. 基于电位移连续性原理, 利用低 k 提高埋层纵向电场和器件纵向耐压, 并在此基础上提出 SOI 的介质场增强原理. 基于不同 k 的埋层对表面电场的调制作用, 使器件横向耐压提高, 并给出 VLkD SOI 的 RESURF 判据. 借助 2D 器件仿真研究了击穿特性与 VLkD SOI 器件结构参数之间的关系. 结果表明, 对 $k_L = 2, k_H = 3.9$, 漂移区厚 $2\mu\text{m}$, 埋层厚 $1\mu\text{m}$ 的 VLkD 器件, 埋层电场和器件耐压分别达 $248\text{V}/\mu\text{m}$ 和 295V , 比相同厚度的常规 SOI 器件的埋层电场和耐压分别提高了 93% 和 64%.

关键词: 可变低 k 介质层; 纵向电场; 调制; RESURF 判据; 击穿电压

EEACC: 2560B; 2560P

中图分类号: TN386

文献标识码: A

文章编号: 0253-4177(2006)05-0881-05

1 引言

SOI 器件的高速、低功耗、高集成度以及易于隔离等优越性能使其在 VLSI 领域具有广阔的应用前景^[1], 但其较低的纵向耐压限制了其在高压功率集成电路中的应用. 提高器件纵向电场可以从两个方面实现: 降低漏端 Si 层电场和增强埋层纵向电场. 前者如埋氧层阶梯结构 (BOSS)^[2,3], 但高斯定理决定了埋氧层纵向电场仅为 Si 层的 3 倍, 提高耐压的效果不明显. 而在硅/埋层界面引入电荷, 如引入 N^+ 薄层^[4]、注入阶梯埋氧固定界面电荷^[5] 以及引入屏蔽槽等结构^[6,7], 则是二者兼而有之, 其提高耐压的作用大大增强. 以上 SOI 结构的埋层无一例外采用传统介质 SiO_2 . 尽管有文献提出采用埋空隙 SOI 结构^[8], 但其用意在于改善表面电场, 且空气的临界击穿电场仅为 $2.5 \sim 3.5\text{V}/\mu\text{m}$, 不可能提高纵向耐压.

本文提出可变低 k ($1 < k < 3.9$) 介质层 SOI 高压器件新结构——VLkD SOI, 该结构将低 k 介质引入埋层, 利用低介电常数提高埋层纵向电场和器件纵向耐压, 并提出介质场增强原理. 同时, 利用不同介电常数的埋层对横向电场的调制作用使器件横向耐压提高, 并给出 VLkD SOI 的 RESURF 判据. 借助二维器件仿真器 MEDICI 研究了电场分布和击穿特性与器件结构参数的关系. 结果表明, VLkD 结构优化了器件的横向和纵向电场分布, 大大提高了器件的击穿电压.

2 耐压机理

VLkD LDMOS 器件结构如图 1(a) 所示. 该结构将低 k 介质引入电场最强的漏端埋层, 源端埋层仍采用 SiO_2 . 图中 t_s, t_1 分别代表 Si 层和埋层厚

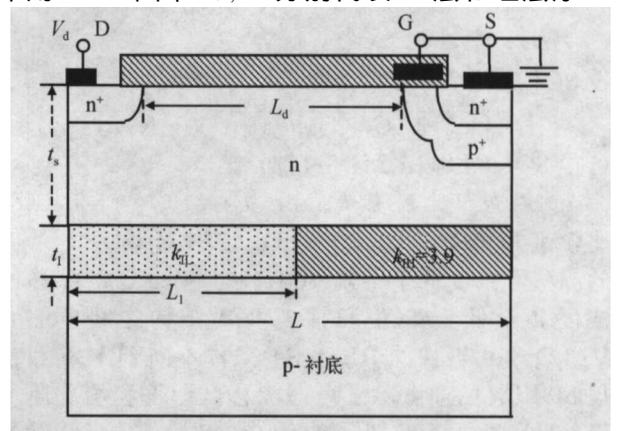


图 1 VLkD SOI LDMOS 结构剖面图
Fig. 1 Cross section of VLkD SOI LDMOS

度, k_L 代表低 k 介质的介电常数, SiO_2 的介电常数 $k_H = k_{ox} = 3.9$, L_d, L_1 分别表示漂移区长度、低 k 介质层长度. 在 Si/埋层界面, 电位移连续性为:

$$k_1 E_1 = k_s E_s \quad (1)$$

$$k_1 \frac{V_1}{t_1} = k_s \frac{V_s}{t_s} \quad (2)$$

其中 E_s, k_s 分别是 Si 层的电场和介电常数; $E_1,$

*国家自然科学基金资助项目 (批准号: 60436030)

[†] 通信作者. Email: xrluo@uestc.edu.cn

2005-09-24 收到, 2005-12-10 定稿

V_1 是埋层的电场和耐压. 从上式可见, 降低埋层的介电常数 k_1 可以增强埋层电场和提高纵向耐压, 此谓介质场增强原理. 利用该原理, 可在相同击穿电压下降低埋层的厚度或在相同埋层厚度下增加耐压.

另一方面, 该结构可以优化表面电场. 介电常数不同的介质埋层对电场的调制作用使器件表面出现新的电场峰^[10], 同时, 新的电场峰降低源结和漏结

$$N_d t_s = \frac{E_c k_s \tanh\{L_d / (2 t_s \sqrt{0.5 + (C_s / C_{ox}) / [1 - (1 - K) L_1 / L_d]})\}}{q \sqrt{0.5 + (C_s / C_{ox}) / [1 - (1 - K) L_1 / L_d]}} \quad (3)$$

其中 $C_s = k_s / t_s$, $C_{ox} = k_{ox} / t_{ox}$ 分别为顶层 Si 和埋氧层单位面积的电容; $K = k_{IL} / k_{ox}$; E_c 为 Si 的临界击穿电场. 上式表明, 对 VLKD 结构, 当 t_s , t_{ox} , L_d 以及 L_1 恒定时, 满足 RESURF 条件的漂移区浓度 N_d 随 k_{IL} 的减小而减小; 同时, 当 t_s , t_{ox} , L_d 以及 k_{IL} 恒定时, 随 L_1 的增加, N_d 减小. 当 $K = 1$ 时, $k_{IL} = k_{ox}$, (3) 式简化为常规 SOI RESURF 条件

$$N_d t_s = \frac{E_c k_s \tanh[L_d / (2 t_s \sqrt{0.5 + (C_s / C_{ox})})]}{q \sqrt{0.5 + (C_s / C_{ox})}} \quad (4)$$

当 $L_1 = L_d$ 时, 得到低 k SOI RESURF 判据

$$N_d t_s = \frac{E_c k_s \tanh[L_d / 2 t_s \sqrt{0.5 + (C_s / C_{ox}) / K}]}{q \sqrt{0.5 + (C_s / C_{ox}) / K}} \quad (5)$$

设 SOI 的特征厚度为

$$t = t_s \sqrt{0.5 + (C_s / C_{ox}) / [1 - (1 - K) L_1 / L_d]},$$

可得 SOI RESURF 统一判据

$$N_d t = \frac{E_c k_s \tanh(L_d / 2 t)}{q} \quad (6)$$

比较上式可知, 满足低 k SOI 结构 RESURF 条件的漂移区浓度低于常规 SOI 结构, VLKD 的漂移区浓度介于低 k SOI 和常规 SOI 结构之间. 可见, VLKD SOI 器件的 RESURF 条件不同于体 Si 和常规 SOI 器件, 前者除了考虑漂移区厚度和埋层厚度以外, 还必须考虑埋层的构成, 包括 k_{IL} , k_{IH} 以及 L_1 ; VLKD SOI 结构的漂移区均匀掺杂与普通 SOI 结构的漏区 (VLKD SOI 结构的低 k 区) 高掺杂、源区 (VLKD SOI 结构的高 k 区) 低掺杂类似.

3 结果与讨论

为了验证上述耐压机理的正确性, 首先讨论漏端下纵向电场和电势分布. 图 2(a) 为 VLKD ($k_{IL} = 2, 3$, $k_{IH} = 3.9$)、低 k SOI ($k_{IL} = k_{IH} = 2$) 和常规 SOI ($k_{IL} = k_{IH} = 3.9$) LDMOS 在各自最高击穿电压下漏端纵向电场和电势分布图. 可见, 漏端下埋层纵向电场 E_1 取决于 k_{IL} , k_{IL} 越小, E_1 愈大, 但对同样的 k_{IL} , VLKD 的 E_1 高于低 k SOI. 这是由于 VLKD

的电场峰值, 使表面电场优化, 从而提高器件横向耐压. 根据常规 SOI RESURF 原理^[9], 对于相同的 Si 层和埋层厚度, 不同介电常数的埋层, 其优化的不同漂移区浓度不同. 因此, 均匀掺杂的 VLKD 结构相当于普通 SOI 结构的漂移区阶梯掺杂, 其不同掺杂的阶梯边缘产生新的表面电场峰. 根据常规 SOI RESURF 条件, 我们获得 VLKD RESURF 判据:

结构对表面电场的调制使表面电场出现新的电场峰, 其横向电场更均匀, 因而其击穿电压更高. 对 $k_{IL} = 2$, $k_{IH} = 3.9$, $t_1 = 1\mu\text{m}$ 的 VLKD LDMOS, 其埋层电场和器件耐压分别为 $248\text{V}/\mu\text{m}$ 和 295V , 比常规 SOI 结构分别提高了 93% 和 64%. 纵向电势如图 2(b) 所示. 该图表明, 几种结构的顶层 Si 耐压 ($V_s = V_0 - V_{ts}$) 几乎相同, VLKD 和低 k SOI 比常规 SOI 增加的耐压由埋层承受 (V_{ts}).

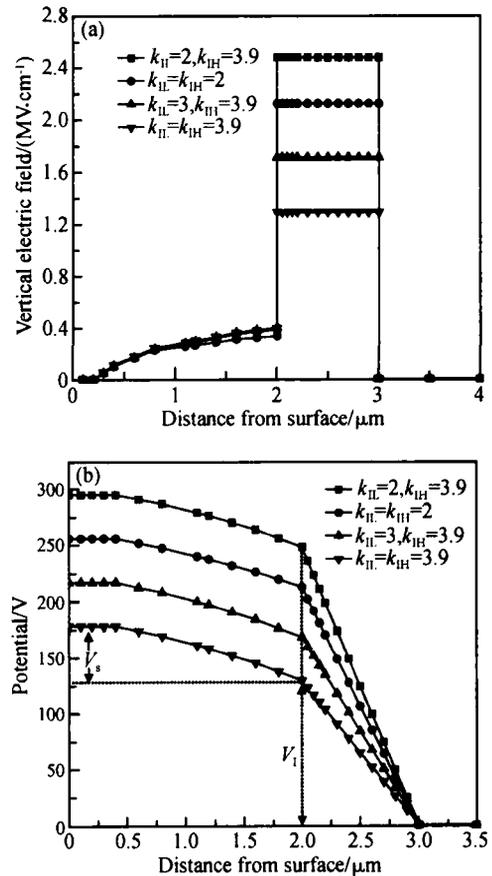


图 2 纵向电场和电势分布 (a) 纵向电场分布; (b) 纵向电势分布

Fig. 2 Vertical electric field and potential distribution (a) Vertical electric field distribution; (b) Vertical potential distribution $t_s = 2\mu\text{m}$, $t_1 = 1\mu\text{m}$, $L_d = 20\mu\text{m}$, $L_1 = L/2$

图 3 给出了以上几种结构的表面电场和电势分布. 图 3 (a) 表明, VLkD 结构在两种介质的交界处引入了新的表面电场峰, k_{L1}, k_{IH} 相差越大, 新的电场峰愈高, 其对源结和漏结电场峰的削弱也越明显, 从而避免表面提前击穿, 提高了器件的耐压. 当 $k_{L1} = 1$ 时, 即为埋空隙结构或 SON (silicon-on-nothing) 结构^[10,11], SON 结构常用于小尺寸器件以及甚大规模集成电路, 可以大大降低短沟道效应和 DIAL (drain-induced barrier lowering) 效应, 但因空气的临界击穿电场极低, 不宜用作高压功率器件的介质埋层, 因此本文不作重点讨论. 当 $k_{L1} = k_{IH}$ 时, 无新电场峰, 源结和漏结电场峰较高, 器件耐压降低.

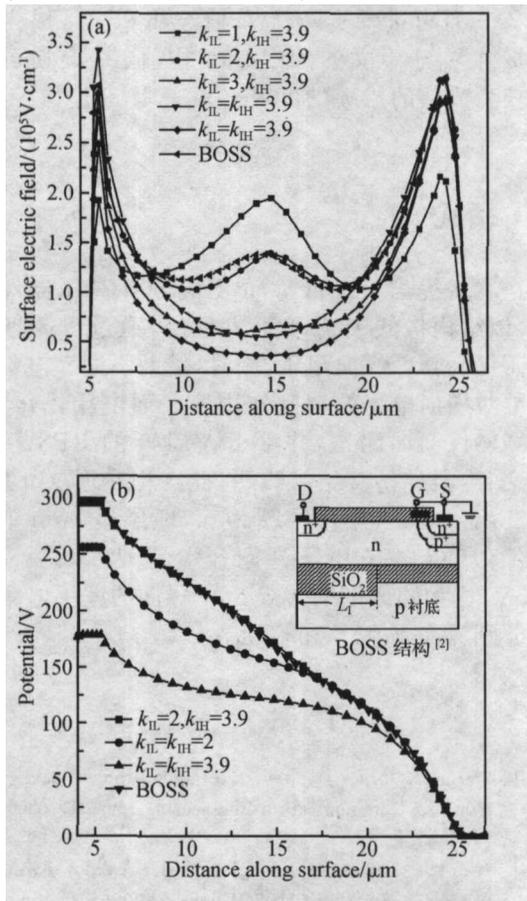


图 3 表面电场和电势分布 (a) 表面电场分布; (b) 表面电势分布

Fig. 3 Surface electric field distribution and surface potential distribution under breakdown voltage (a) Surface electric field distribution; (b) Surface potential distribution

在漏端, 与埋层全为 SiO_2 的 SOI 相比, 根据 (2) 式可得 $\frac{k_L}{t_L} = \frac{k_{ox}}{t_{ox}}$. 由此说明, 降低漏端埋层介电常数和增加漏端埋氧化层厚度有相似的效果, 即 VLkD 结构与 BOSS 结构^[2] (如图 3 (b) 所示) 有类似之处. 图 3 给出 BOSS 结构的表面电场分布. 为了

与 $k_{L1} = 2, k_{IH} = 3.9$ 的 VLkD 结构对比, 图中 BOSS 结构采用 $t_{L1} = 2\mu\text{m}, t_{IH} = 1\mu\text{m}$. 图 3 表明, 二者表面电场和电势分布相似, 耐压相当. 图 3 (b) 显示, 低 k SOI 和常规 SOI 的表面电势分布呈现明显台阶分布, 即源结和漏结的分压较高, 漂移区承受电压较低, 而 VLkD 和 BOSS 结构的表面电势为线性分布, 因而耐压更高.

图 4 给出了 VLkD 结构击穿电压 BV 与漂移区浓度 N_d 的关系. 仿真中采用的参数为 $t_s = 2\mu\text{m}, t_l = 2\mu\text{m}, L_d = 30\mu\text{m}, L = 40\mu\text{m}$, 其中实线代表 $k_{L1} = 2$, 虚线表示 $k_{L1} = 3$. 由图看出, 对于不同的 L_1 或 k_{L1} , 其最高击穿电压 BV_{max} (图中小圆圈内点对应的电压) 不同. 如 k_{L1} 相同, 当 $L_1 = L/2$ 时, BV_{max} 最大; 当 $L_1 = L/2$ 时, k_{L1} 越小, BV_{max} 越高. 图 4 同时显示, 不同的 L_1 或 k_{L1} , 与 BV_{max} 对应的优化漂移区浓度 $N_{d,op}$ 不一样. 对同样的 k_{L1}, L_1 越长, $N_{d,op}$ 越低; 对相同的 L_1, k_{L1} 越大, $N_{d,op}$ 越高. 当 $L_1 = L$ 时, VLkD SOI 变为低 k SOI 结构, 其 $N_{d,op}$ 最低; 当 $L_1 = 0$ 时, VLkD 为常规 SOI 结构, 其 $N_{d,op}$ 最高; 以上变化趋势与公式 (3) ~ (6) 吻合.

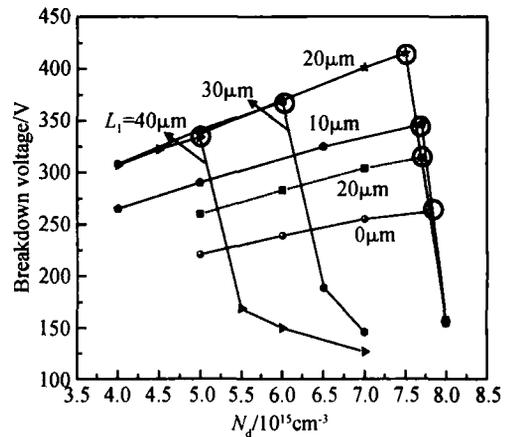
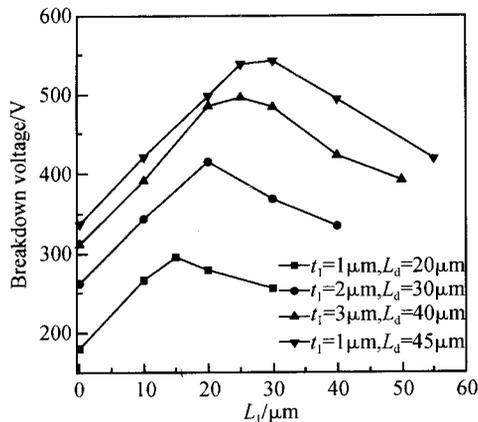


图 4 击穿电压与漂移区浓度的关系

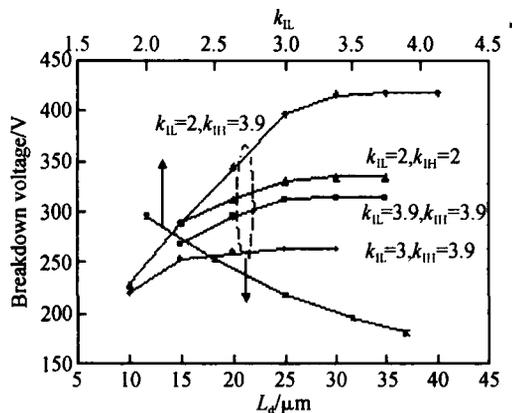
Fig. 4 Dependence of breakdown voltage on drift concentration $t_s = 2\mu\text{m}, t_l = 2\mu\text{m}, L_d = 30\mu\text{m}, L = 40\mu\text{m}$

图 5 为不同的 t_l 和 L_d 时, 击穿电压 BV 与 L_1 的关系. 该图表明, 对相同的 t_l , 击穿电压随 L_1 的增加先增加后减小, 当 $L_1 = L/2$ 时, 击穿电压最高, 与图 4 结果一致. 这是由于当 L_1 太长或太短时, 新的表面电场峰距离源结和漏结的过近或过远, 其对源结和漏结的电场峰削弱作用不相当, 导致表面电场不均匀, 因而耐压降低. 同时, 击穿电压随 t_l 的增加而增大. VLkD SOI 结构击穿电压较常规 SOI 和低 k SOI 结构击穿电压大大提高, 常规 SOI 结构耐压最低, 这是因为图 2 (a) 所示的 VksOI 埋层中的电场最强, 常规 SOI 结构埋层电场最弱所致.

图 6 给出了 VksOI、低 k SOI 和常规 SOI 结构

图 5 击穿电压与 L_1 的关系Fig. 5 Dependence of breakdown voltage on L_1

击穿电压与漂移区长度和 k_{IL} 的关系。图 6 显示,随着漂移区长度的增加,击穿电压先增加后饱和。这一结果与一般 SOI 结构相同,表明器件由横向击穿转为纵向击穿。图中 VLKD ($k_{IL} = 2, k_{IH} = 3.9$) 器件的击穿电压饱和值最高,常规 SOI 的最低。图 6 同时给出了 VLKD 结构击穿电压与 k_{IL} 的关系,可见,击穿电压随 k_{IL} 的增加而降低。图 6 中更高的击穿电压源于更高的埋层电场。

图 6 击穿电压和漂移区长度和 k_{IL} 的关系Fig. 6 Dependence of breakdown voltage on drift length and k_{IL} . $t_s = 2\mu\text{m}$, $t_1 = 2\mu\text{m}$, $L_1 = 20\mu\text{m}$, $L_1 = L/2$

随着元器件尺寸向深亚微米发展,低 k 介质受到广泛关注,目前均用于多层金属布线之间的绝缘以解决高速、低功耗等诸多问题。低 k 材料具备低泄漏电流、高附着力、高硬度、低吸水性、高稳定等性能,可望作为 SOI 材料的埋层。很多材料掺氟后 k 值显著降低,且 k 值随氟在材料中比例的变化而变化,如常用的低 k 材料 SiOF 保留了较多 SiO_2 的性质,与已有的 SiO_2 工艺能很好地兼容, k 在 2.8 ~

3.7 之间,临界击穿电场 9.2 ~ 10.1 MV/cm,具体值与 SiOF 的生长方式密切相关^[12~14]。氟的加入使抗湿性能差,可以采用对 SiOF 薄膜掺碳的方法加以改进。制备掺碳的 SiOF 薄膜有两种方法,其一是用 CF_4 直接注入已制备好的 SiO_2 薄膜而得到,其二是直接以 $\text{SiH}_4/\text{O}_2/\text{CF}_4/\text{CH}_4$ 或 $\text{CH}_4/\text{FTES}/\text{O}_2$ 混合气体产生等离子体淀积形成掺碳的 SiOF 薄膜,该薄膜的抗湿性显著改善, k 在 2.5 ~ 2.8 之间,同时也表现出较好的热稳定性^[15,16]。SiCFO 薄膜表现出较好的抗湿性, k 值在 1.3 ~ 2.0 之间^[17]。第二代(超)低 k 材料 SiCOH 薄膜 k 值可由先前的 2.4 降至 2.1,且可进一步降低 k 值至 1.95^[14],成为超低 k 材料。对于本文的 VLKD 结构,低 k 介质可以采用较为成熟的掺碳的 SiOF 薄膜,其工艺与 SiO_2 工艺兼容。

4 结论

本文提出可变低 k 介质层 SOI 高压器件新结构。该结构将低 k 介质引入埋层,通过提高埋层电场而提高器件纵向耐压。同时,借助不同介电常数的埋层对横向电场的调制作用使表面电场优化,从而提高器件横向耐压,并给出 VLKD 的 RESURF 判据。二维器件仿真结果表明,此结构在埋层介质 $k_{IL} = 2, k_{IH} = 3.9$, 漂移区厚 $2\mu\text{m}$, 埋层厚 $1\mu\text{m}$ 的 SOI 器件,埋层电场和器件耐压分别达 $248\text{V}/\mu\text{m}$ 和 295V ,比相同厚度的常规 SOI 器件的埋层电场和耐压分别提高了 93% 和 64%。

参考文献

- [1] Udrea F, Garner D, Sheng K, et al. SOI power devices. *Electronics & Communication Engineering Journal*, 2000, 12(1): 27
- [2] Kim IJ, Matsumoto S, Sakai T, et al. Breakdown voltage improvement for thin-film SOI power MOSFET's by a buried oxide step structure. *IEEE Electron Device Lett*, 1994, 15(5): 148
- [3] Duan Baoxing, Zhang Bo, Li Zhaoji. Breakdown voltage analysis for a step buried oxide SOI structure. *Chinese Journal of Semiconductors*, 2005, 26(7): 1396 (in Chinese) [段宝兴, 张波, 李肇基. 阶梯埋氧型 SOI 结构的耐压分析. *半导体学报*, 2005, 26(7): 1396]
- [4] Nakagawa A, Yasuhara N, Baba Y. Breakdown voltage enhancement for devices on thin silicon layer/silicon dioxide film. *IEEE Trans Electron Devices*, 1991, 38(7): 1650
- [5] Guo Yufeng, Li Zhaoji, Luo Xiaorong, et al. New structure and breakdown model of high voltage SOI devices with the step buried-oxide fixed charges. *Chinese Journal of Semiconductors*, 2004, 25(12): 1695 (in Chinese) [郭宇锋, 李肇基, 罗小蓉, 等. 阶梯分布埋氧层固定电荷 SOI 高压器件新结构和耐压模型. *半导体学报*, 2004, 25(12): 1695]
- [6] Luo Xiaorong, Li Zhaoji, Zhang Bo, et al. A novel structure

- and its breakdown mechanism of SOI high voltage device with shielding trench. Chinese Journal of Semiconductors, 2005, 26(11): 2154 (in Chinese) [罗小蓉, 李肇基, 张波, 等. 屏蔽槽 SOI 高压器件新结构和耐压机理. 半导体学报, 2005, 26(11): 2154]
- [7] Luo Xiaorong, Zhang Bo, Li Zhaoji, et al. A novel SOI high voltage device structure with partial locating charge trench. Chinese Journal of Semiconductors, 2006, 27(1): 115 (in Chinese) [罗小蓉, 张波, 李肇基, 等. 部分局域电荷槽 SOI 高压器件新结构. 半导体学报, 2006, 27(1): 115]
- [8] Jeon B C, Kin D Y, Lee Y S, et al. Buried air gap structure for improving the breakdown voltage of SOI power MOSFET's. Proceedings of Power Electronics and Motion Control Conference, PIEMC, 2000, 3: 1061
- [9] Guo Yufeng, Fang Jian, Zhang Bo, et al. A 2 D analytical model of SOI double RESURF effect. Chinese Journal of Semiconductors, 2005, 26(4): 764 (in Chinese) [郭宇锋, 方健, 张波, 等. SOI 基双级 RESURF 二维解析模型. 半导体学报, 2005, 26(4): 764]
- [10] Pretet J, Monfray S, Cristoloveanu S, et al. Silicon-on-nothing MOSFETs: performance, short-channel, and backgate coupling. IEEE Trans Electron Devices, 2004, 51(2): 240
- [11] Jurczak M, Skotnicki T, Paoli M. Silicon-on-Nothing (SON)-an innovative process for advanced CMOS. IEEE Trans Electron Devices, 2000, 47(11): 2179
- [12] Grill A, Patel V. Low dielectric constant films prepared by plasma-enhanced chemical vapor deposition from tetramethylsilane. J Appl Phys, 1999, 85(6): 3314
- [13] Lee S, Park J W. Effect of postplasma treatment on characteristics of electron cyclotron resonance chemical vapor deposition SiOF films. J Vacuum Science Technology A, 1999, 17(2): 458
- [14] Wang Pengfei, Ding Shijin, Zhang Wei, et al. CVD technologies used in preparation of low dielectric constant materials for ULSI. Microfabrication Technology, 2001, 1: 30 (in Chinese) [王鹏飞, 丁士进, 张卫, 等. ULSI 低介电常数材料制备中的 CVD 技术. 微细加工技术, 2001, 1: 30]
- [15] Yun S M, Chang H Y, Kang M S, et al. Low dielectric constant films CF/SiOF composite film deposition in a helicon plasma reactor. Thin Solid Films, 1999, 341: 109
- [16] Lubguban J Jr, Saitoh A, Kurata Y, et al. Stability of the dielectric properties of PECVD deposited carbon-doped SiOF films. Thin Solid Films, 1999, 337: 67
- [17] Kim T H, Im Y H, Hahn Y B. Plasma enhanced chemical vapor deposition of low dielectric constant SiCFO thin films. Chem Phys Lett, 2003, 368(1): 36

Breakdown Characteristics of SOI LDMOS High Voltage Devices with Variable Low k Dielectric Layer *

Luo Xiaorong[†], Li Zhaoji, and Zhang Bo

(IC Design Center, University of Electronic Science & Technology, Chengdu 610054, China)

Abstract: A novel SOI high voltage device structure with a variable low k dielectric layer (VLkD) is proposed. The buried layer is made up of dielectrics with variable k. The vertical electric field of the buried layer and the vertical breakdown voltage are enhanced due to the low dielectric constant. An enhanced dielectric electric field principle is then proposed. The modulation effect of the buried dielectric layer with different k on the surface electric field increases the lateral breakdown voltage. The RESURF criterion for VLkD SOI is developed. The dependence of breakdown characteristics on the structure parameters of VLkD is researched by 2D device simulator. It is shown that an electric field of the buried layer of $248\text{V}/\mu\text{m}$ and breakdown voltage of 295V can be obtained for a VLkD structure with a $2\mu\text{m}$ thick Si layer and $1\mu\text{m}$ composite buried layer with $k_{\text{IL}} = 2$ and $k_{\text{IH}} = 3.9$. The electric field of the buried layer and breakdown voltage are enhanced by 93% and 64%, respectively, compared to conventional SOI with a $1\mu\text{m}$ buried oxide layer.

Key words: variable low k dielectric layer; vertical electric field; modulation; RESURF criterion; breakdown voltage

EEACC: 2560B; 2560P

Article ID: 0253-4177(2006)05-0881-05

* Project supported by the National Natural Science Foundation of China (No. 60436030)

[†] Corresponding author. Email: xrluo@uestc.edu.cn

Received 24 September 2005, revised manuscript received 10 December 2005