

具有多等位环的高压屏蔽新结构 MER-LDMOS 耐压分析*

陈万军[†] 张 波 李肇基

(电子科技大学 IC 设计中心, 成都 610054)

摘要: 提出一种多等位环 (multiple equipotential rings, MER) 的高压屏蔽新结构 MER-LDMOS, 并解释了该结构的屏蔽机理, 通过 2D 器件模拟验证了屏蔽机理的正确性. 讨论了 p-top 剂量、等位环长度、等位环间距以及氧化层厚度对 MER-LDMOS 击穿电压的影响. 结果表明 MER-LDMOS 突破常规 LDMOS 高压屏蔽的能力, 击穿电压较常规 LDMOS 提高一倍以上; 同时, 该结构具有工艺简单、工艺容差大、反向泄漏电流小等优点, 为高压集成电路中高压屏蔽的问题提供了一种新的解决方案.

关键词: 高压互连线; 等位环; 击穿电压; LDMOS

EEACC: 2560; 2560P

PACC: 7340Q

中图分类号: TN386

文献标识码: A

文章编号: 0253-4177(2006)07-1274-06

1 引言

高压集成电路 (HVIC) 已经在电源管理、马达控制、电子整流器等领域取得巨大的进展, 并将受到更广泛的关注^[1-3]. HVIC 将高、低压器件集成在同一芯片后, 为实现将低端控制信号传输到高端等功能, 高压互连线 (high voltage interconnection, HVI) 常常需要跨过高压器件 (多为 LDMOS、LIGBT) 或隔离区表面局部区域 (如图 1 所示), 导致电力线局部集中, 电场急剧增大, 严重影响器件的击穿电压 (BV)^[3-11]. 为降低 HVI 导致的高电场 (即高压屏蔽), 可以采用浮空场板 (FP)^[3,6,7]、偏置多晶硅阻性场板^[8,9]、半绝缘多晶硅阻性场板 (SIPOS-RFP)^[10]、卷形阻性场板 (SRFP)^[10] 或厚 SiO₂ 层^[11] 等多种结构. 其中, 偏置多晶硅阻性场板、半绝缘多晶硅阻性场板、卷形阻性场板存在工艺难度大, 成本高, 有较大的反向漏电流等不足. 而采用像文献[11]那样厚达 5.0 μm 的场氧化层, 不仅工艺难度大, 过高的表面台阶还会导致断铝等问题. 目前多采用的是浮空场板技术, 但是其器件击穿电压也只能达到 7~8 V/μm.

等位环 (equipotential rings, ER) 是结终端技术中比较成熟的一种, 已得到广泛的应用^[12]. 本文提出了具有多等位环 (multiple equipotential rings, MER) 的 MER-LDMOS 结构. 该结构利用多等位环

来屏蔽 HVI 的影响, 提高器件击穿电压. 其屏蔽机理是通过等位环与硅表面直接相连, 使等位环电势与硅表面电势一致, 从而将 HVI 对硅表面的作用转移到 SiO₂ 内, 硅表面纵向电场减弱甚至消除, 提高了器件耐压, 实现了高压屏蔽的目的.

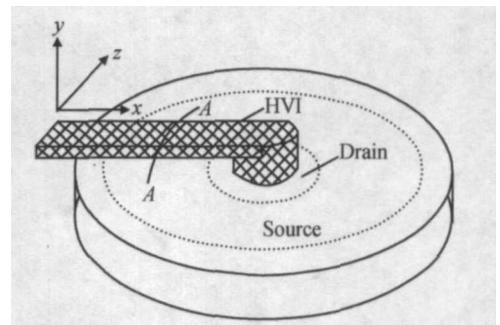


图 1 具有 HVI 的三维器件结构示意图

Fig. 1 Schematic of the 3D model device with HVI

2 器件结构与分析

图 2 是具有多等位环的 LDMOS (MER-LDMOS) 结构示意图. 与常规 LDMOS 不同的是, MER-LDMOS 在场氧化层中增加了多个多晶硅场板, 并且多晶硅场板的一端与硅表面相连, 形成等位环. 在图 2 中, L_d 表示漂移区长度; L 表示等位环长度; S 表示等位环间距; L_{fp1} 表示源端场板长度; L_{fp2} 表示漏端场板长度; d_1 表示等位环与硅表面的距

*国家自然科学基金重点项目 (批准号: 60436030), 国家自然科学基金 (批准号: 60576052), 预研基金 (批准号: 51408060904D Z0211) 资助项目
[†]通信作者. Email: cwjzcy@yahoo.com.cn

2005-12-26 收到, 2006-02-20 定稿

离; d_2 表示 HVI 与等位环的距离; t_{p-top} 表示 p-top 层厚度; t_{epi} 表示 n 型外延层厚度.

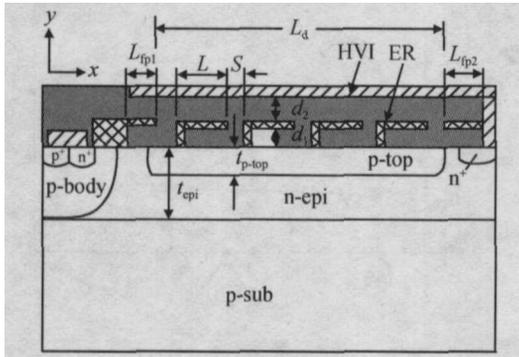


图 2 MER-LDMOS 结构剖面示意图
Fig. 2 Cross section of MER-LDMOS structure

有 HVI 覆盖的常规 LDMOS, 击穿电压很低. 这是因为, HVI 相对硅表面带正电, 这些正电荷发出的电力线终止于硅表面的负电荷, 在硅表面产生额外的纵向电场 E_y (通常认为, 没有 HVI 覆盖的 LDMOS 硅表面纵向电场为零, $E_y = 0^{[13,14]}$). 图 3 (a) 是常规 LDMOS 纵向电场示意图, 图中箭头表示纵向电场 (图 3 (a) 和 (b) 所示结构都是沿图 1 中的 A-A 截面). 此纵向电场与横向 pn 结在硅表面的横向电场 E_x 产生叠加 ($E = \sqrt{E_x^2 + E_y^2}$), 使峰值电场增

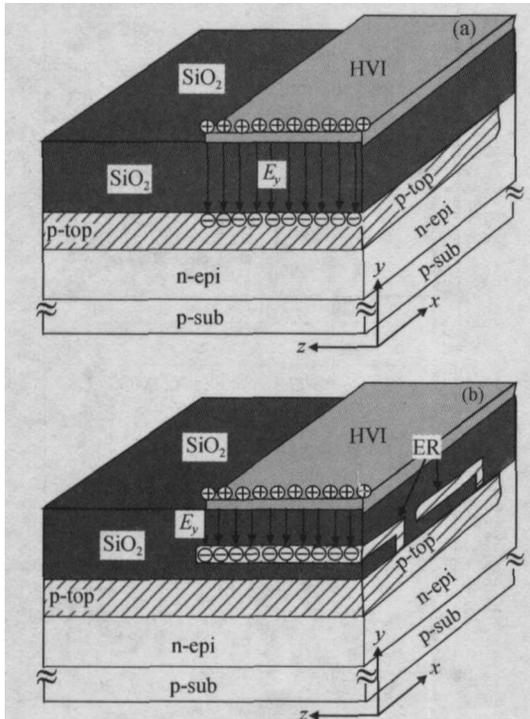


图 3 不同器件结构的纵向电场示意图 (a) 常规 LDMOS; (b) MER-LDMOS

Fig. 3 Schematic of the lengthways electric field for different structures (a) Conventional LDMOS; (b) MER-LDMOS

加, 器件击穿电压下降. 图 4 (a) 是常规 LDMOS 击穿时等势线分布. 从图 4 (a) 中可以看出, 虽然 n 型外延层和 p-top 层剂量都满足 Double RESURF 条件, 但是在器件发生击穿时, p-top 层全被耗尽, 而外延层却几乎没有被耗尽. p-top 层的耗尽正是带正电的 HVI 辅助耗尽的结果, 使得等势线在源端集中, 器件过早在此处发生击穿, 击穿电压仅为 320V (相同条件下, 没有 HVI 覆盖的常规 LDMOS 击穿电压为 800V). 图 4 (a) 的仿真条件为: $L_d = 70\mu\text{m}$, $L_{fp1} = 10\mu\text{m}$, $L_{fp2} = 5\mu\text{m}$, 场氧化层厚度 $d = 2.6\mu\text{m}$. $t_{epi} = 12\mu\text{m}$, $t_{p-top} = 5\mu\text{m}$. n 型外延层和 p-top 层剂量满足 Double RESURF 条件, 分别为 2×10^{12} 和 $1 \times 10^{12} \text{ cm}^{-2}$. 如果没有特别说明, 在下面的所有讨论中, 常规 LDMOS 均取以上参数.

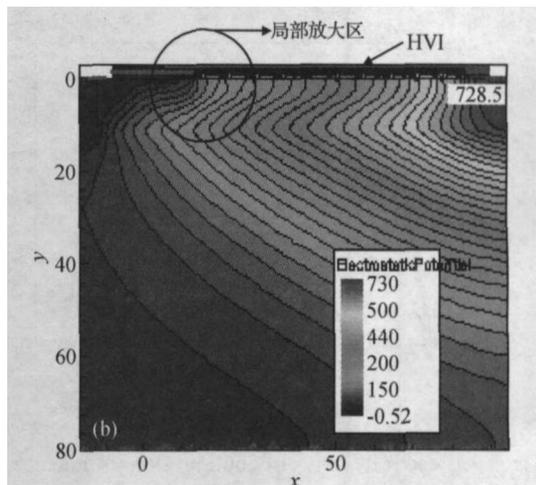
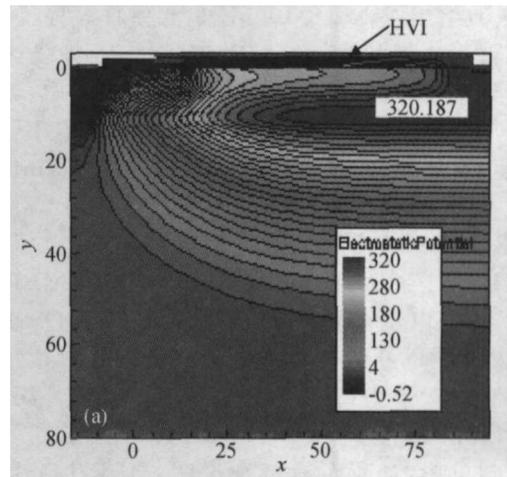


图 4 器件击穿时等势线分布 (a) 常规 LDMOS; (b) MER-LDMOS

Fig. 4 Potential contours for different structures at breakdown voltage (a) Conventional LDMOS; (b) MER-LDMOS

MER-LDMOS 结构用多等位环来实现高压屏蔽, 其击穿电压较常规 LDMOS 提高一倍以上. 如前

所述, HVI 对器件击穿电压的影响, 实质上就是 HVI 上的正电荷与硅表面的负电荷产生额外纵向电场, 此纵向电场使硅表面电场增加, 从而降低了器件的击穿电压. 因此, 从高压屏蔽机理来说, 就是想办法降低此纵向电场对硅表面的作用. MER-LDMOS 利用等位环与硅表面直接相连, 使等位环的电势与硅表面电势保持一致, HVI 上的正电荷发出的电力线终止于等位环, 如图 3 (b) 所示. 由于等位环位于 SiO₂ 内, 这样就屏蔽了 HVI 对硅表面的直接作用; 或者说是将硅表面的纵向电场转移到 SiO₂ 内, 提高了器件击穿电压, 达到高压屏蔽的目的. 此外, 在 MER-LDMOS 结构中, 不存在偏置多晶硅阻性场板等结构中从源端到漏端的寄生电流通路, 因此不会增加器件的泄漏电流, 有利于降低器件功耗. 图 4 (b) 给出了 MER-LDMOS 击穿时等势线分布. 可见, p-top 层和外延层同时被耗尽, 等势线均匀分布于整个漂移区, 避免了等势线在源端集中, 器件击穿电压增加. 图 5 是常规 LDMOS 和 MER-LDMOS 硅表面电场对比. 从图 5 中可知, 当常规 LDMOS 峰值电场达到临界击穿电场时 (3.3 × 10⁵ V/cm), MER-LDMOS 峰值电场远低于临界击穿电压, 还有很大的耐压余地. 在相同的器件参数下, MER-LDMOS 击穿电压可达 728V, 是常规 LDMOS 的 2.2 倍, 大大提高了器件耐压能力. MER-LDMOS 结构中等位环参数为: L = 5μm, S = 2μm, d₁ = 1μm, d₂ = 1.2μm. 其他参数与常规 LDMOS 相同, 在下面的所有讨论中, 如果没有特别说明, MER-LDMOS 均取以上参数.

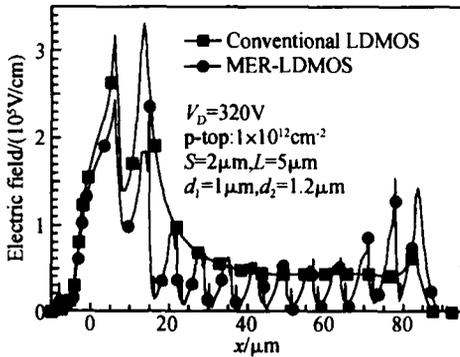


图 5 硅表面电场分布

Fig. 5 Electrical field distribution along semiconductor surface

3 结果与讨论

图 6 给出了常规 LDMOS 和 MER-LDMOS 击穿电压随 p-top 剂量的变化. 从图中可以看出两点: 其一, 在一个较大的 p-top 剂量范围内, MER-LDMOS 击穿电压都是常规 LDMOS 击穿电压的两倍

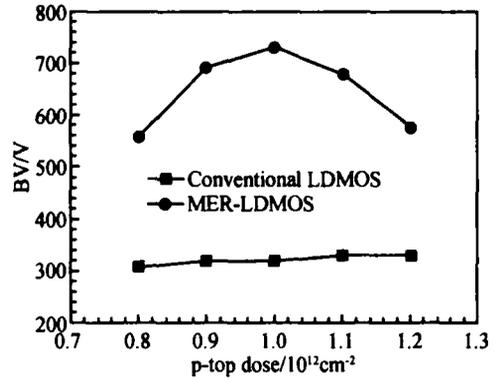


图 6 p-top 剂量与击穿电压的关系

Fig. 6 Dose of p-top versus the breakdown voltage

以上. 这正是因为在 MER-LDMOS 结构中有多个等位环起高压屏蔽作用, 降低了器件源端一侧的表面峰值电场, 器件击穿电压增加, 两种结构的表面电场如图 5 所示. 其二, MER-LDMOS 击穿电压均随着 p-top 剂量的增加先增加后减小, 在 1 × 10¹² cm⁻² 取得最大, 满足 RESURF 条件; 而常规 LDMOS 击穿电压几乎不随 p-top 剂量变化. 这是因为 p-top 剂量小于 RESURF 条件时, 表面电场最先在源端一侧达到临界击穿电场, 器件击穿电压较小, 如图 7 (a) 所示. 随着 p-top 剂量的增加, 靠近源端的峰值电场减小,

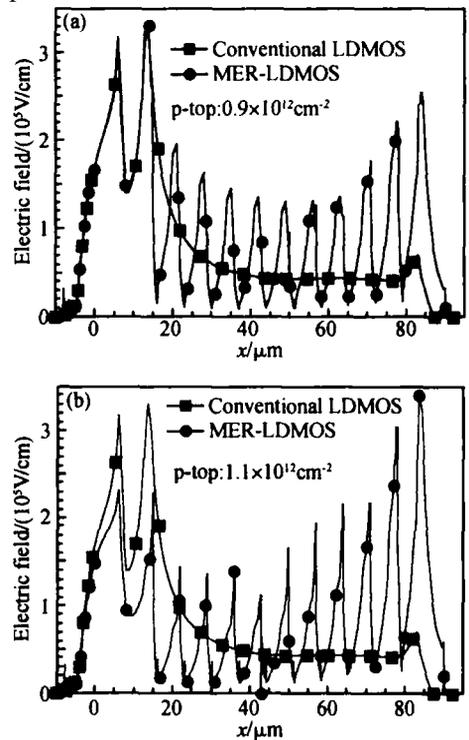


图 7 硅表面电场分布 (a) p-top 剂量为 0.9 × 10¹² cm⁻²; (b) p-top 剂量为 1.1 × 10¹² cm⁻²

Fig. 7 Electrical field distribution along semiconductor surface (a) p-top dose is 0.9 × 10¹² cm⁻²; (b) p-top dose is 1.1 × 10¹² cm⁻²

避免器件过早在源端击穿,击穿电压增加.但是, p -top 剂量进一步增加,漏端的峰值电场增加,临界击穿电场最先在漏端一侧出现,器件在此处发生击穿,击穿电压开始下降,如图 7(b)所示.与 MER-LDMOS 不同的是,常规 LDMOS 击穿电压几乎不随 p -top 剂量变化.这是因为 HVI 产生的纵向电场始终在源端一侧最大,导致器件源端最先达到临界击穿电场.对比图 7(a)和(b),不管 p -top 掺杂剂量低于 RESURF 条件还是高于 RESURF 条件,常规 LDMOS 的峰值电场都是出现在源端一侧,因此击穿电压几乎不随 p -top 剂量变化.

图 8(a)为 MER-LDMOS 击穿电压与等位环长度的关系.可见,随着等位环长度的增加,击穿电压减小.前面的分析认为等位环的电势与硅表面电势一致,但严格地说,等位环的电势与硅表面电势相等仅限于等位环与硅表面接触点的电势,即图 8(b)中 $V_A = V_B$.而对于硅表面的 C 点电势 V_C ,有 $V_C > V_A$.也既是说 B 点与 C 点还是存在电势差,这个电势差

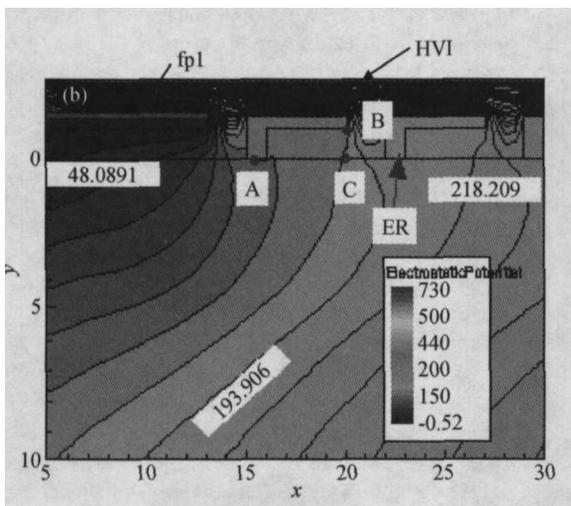
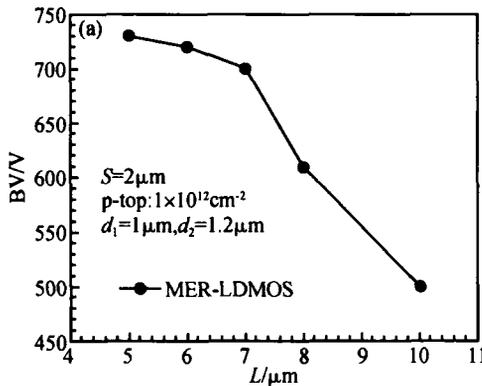


图 8 (a) MER-LDMOS 击穿电压与等位环长度的关系; (b) MER-LDMOS 等势线分布局部放大图
Fig. 8 (a) Length of the equipotential rings versus MER-LDMOS breakdown voltage; (b) Potential contours for the enlarged view of MER-LDMOS

将在等位环的边缘引起峰值电场,导致器件击穿电压略微下降^[12].随着等位环长度的增加,B、C 两点的电势差越大,尖峰电场越大,击穿电压下降的越大.虽然在等位环边界与硅表面存在电势差,会影响器件的击穿电压,但是只要等位环长度适中,电势差不会太大,对击穿电压的影响不显著.根据本文模拟结果表明,即使等位环长度取为 7μm, MER-LDMOS 击穿电压也可达 700V,是常规 LDMOS 击穿电压 320V 的两倍多.(说明:图 8(b)是图 4(b)中靠近源端的局部放大图, V_A 是硅表面与等位环接触点的电势, V_B 是等位环边界的电势, C 点位于等位环边界 B 点的正下方).

MER-LDMOS 击穿电压与等位环间距的关系如图 9 所示.由图可知,随着环间距的增加, MER-LDMOS 击穿电压有所下降.虽然等位环可以屏蔽 HVI 的影响,但是等位环之间存在间隙, HVI 可以通过等位环之间的间隙对硅表面的作用,产生一定的纵向电场,影响器件的击穿电压.等位环间距越大, HVI 对硅表面作用越大,引起的纵向电场越大,击穿电压下降越大.

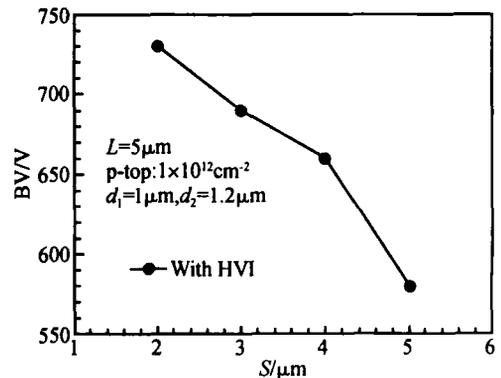


图 9 MER-LDMOS 击穿电压与等位环间距的关系
Fig. 9 Distance between the equipotential rings versus MER-LDMOS breakdown voltage

图 10 给出了不同氧化层厚度与击穿电压的关系.可见,等位环与硅表面距离 (d_1) 越大,器件击穿电压越高;等位环与 HVI 的距离 (d_2) 对器件击穿电压影响较小,特别是对于 d_1 较大的情况.而且,随着 d_2 的增加,击穿电压达到饱和,不再随着 d_2 的增加而变化.其好处就是实际中可以将 d_2 做得薄一点而不至于影响器件击穿电压,有更好的工艺兼容性.需要说明的是, d_2 也不能太小,必须考虑到 HVI 与等位环之间的氧化层击穿等问题.至于不同氧化层厚度对器件击穿电压影响的原因,不难从前面的分析得到解释,在此不再赘述.

通过上面的分析可知, MER-LDMOS 击穿电压对等位环参数不敏感,因此工艺容差大.以本文所讨论的结构参数为例, p -top 掺杂剂量变化在 $\pm 15\%$ 以

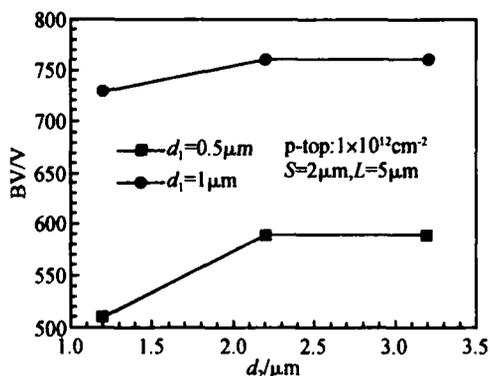


图 10 MER-LDMOS 击穿电压与氧化层厚度的关系

Fig. 10 Thickness of the SiO_2 versus the breakdown voltage for MER-LDMOS structure

内,等位环长度 L 为 $5 \sim 7 \mu\text{m}$,等位环间距 S 为 $2 \sim 4 \mu\text{m}$,氧化层间距 d_1 在 $1 \mu\text{m}$ 左右, MER-LDMOS 都可取得是常规 LDMOS 两倍的击穿电压. MER-LDMOS 工艺实现较简单,只需要在常规 LDMOS 长场氧后增加刻蚀 SiO_2 、淀积多晶硅或铝即可.此外,等位环法不仅可以用来屏蔽如本文所讨论的 LDMOS 等高压器件,也可以用于屏蔽 HVI 跨过隔离区表面的情况,其原理类似.

虽然本文仅讨论了有 HVI 覆盖的 MER-LDMOS 击穿电压,事实上,没有 HVI 覆盖的 MER-LDMOS 有类似的结果.由于多等位环不像浮空场板技术那样需要三维效应来实现高压屏蔽,因此,在器件没有 HVI 覆盖的区域(如图 1 所示),可以不采用 MER-LDMOS 结构,而采用常规 LDMOS 结构.换言之,多等位环可以只用在器件有 HVI 覆盖的区域,以实现高压屏蔽的目的;而没有 HVI 覆盖的区域不需要高压屏蔽,就采用常规 LDMOS 结构即可.

4 结论

本文提出一种具有多等位环的 MER-LDMOS 结构.该结构通过等位环与硅表面直接相连,使等位环电势与硅表面电势保持一致,消除 HVI 对硅表面的直接作用,使得硅表面纵向电场降低甚至消除,提高了器件屏蔽 HVI 的能力.通过模拟分析了 p-top 剂量、等位环长度、等位环间距以及氧化层厚度对 ER-LDMOS 击穿电压的影响.结果表明,在一个较大的工艺容差范围内, MER-LDMOS 都达到 $10\text{V}/\mu\text{m}$ 以上的击穿电压,是常规 LDMOS 击穿电压的两倍,而且有较小的反向泄漏电流.此方法可以通过常规工艺实现,便于集成,为解决 HVIC 中高压互

连线降低高压器件和隔离区表面击穿电压的问题提供了一种新的解决方案.

参考文献

- [1] Han Lei, Ye Xingning, Chen Xingbi. A novel high-voltage detector integrated into SPIC by using FFLR. Chinese Journal of Semiconductors, 2001, 22(10): 1251 (in Chinese) [韩磊, 叶星云, 陈星弼. 一种新型的用浮空场限环实现的可集成在 SPIC 中的高压电压探测器. 半导体学报, 2001, 22(10): 1251]
- [2] Chen Wanjun, Zhang Bo, Li Zhaoji. A novel double RESURF LDMOS and a versatile JFET device used as internal power supply and current detector for SPIC. Microelectronics Journal, accepted
- [3] Falck E, Gerlach W, Korec J. Influence of interconnections on to the breakdown voltage of planar high-voltage p-n junctions. IEEE Trans Electron Devices, 1993, 40(2): 439
- [4] Falck E, Gerlach W, Korec J. On the blocking capability of a planar p-n junction under the influence of a high-voltage interconnection - A 3-D simulation. IEEE Trans Electron Devices, 1996, 43(1): 165
- [5] Falck E, Gerlach W, Reckel W. Calculation of the blocking capability of SOI power devices under the influence of interconnections. Microelectronics Journal, 1996, 27: 201
- [6] Terashima T, Yoshizawa M, Fukunaga M, et al. Structure of 600V IC and a new voltage sensing device. International Symposium on Power Semiconductor Devices & ICs (ISPSD), 1993: 224
- [7] Terashima T, Yamashita J, Yamada T. Over 1000V n-ch LD-MOSFET and p-ch LIGBT with JI RESURF structure and multiple floating field plate. Proceedings ISPSD, 1995: 455
- [8] Murray A F J, Lane W A. Optimization of interconnection-induced breakdown voltage in junction isolated IC's using biased polysilicon field plates. IEEE Trans Electron Devices, 1997, 44(1): 185
- [9] Murray A F J, Lane W A. High voltage wiring using biased polysilicon field plates. Microelectronics Journal, 1996, 27: 209
- [10] Endo K, Baba Y, Udo Y, et al. A 500V 1A 1-chip inverter IC with a new electric field reduction structure. Proceedings ISPSD, 1994: 379
- [11] Sakurai N, Nemoto M, Arakawa H, et al. A three-phase inverter IC for AC220V with a drastically small chip size and highly functions. Proceedings ISPSD, 1993: 310
- [12] Chen Xingbi. Power MOSFET and HVIC. Nanjing: UES Publishing, 1990 (in Chinese) [陈星弼. 功率 MOSFET 和高压集成电路. 南京: 东南大学出版社, 1990]
- [13] Guo Yufeng, Li Zhaoji, Zhang Bo, et al. Breakdown model and new structure of SOI high voltage devices with step buried oxide fixed charges. Chinese Journal of Semiconductors, 2004, 25(12): 1695 (in Chinese) [郭宇锋, 李肇基, 张波, 等. 阶梯分布埋氧层固定电荷 SOI 高压器件新结构和耐压模型. 半导体学报, 2004, 25(12): 1695]
- [14] Guo Yufeng, Zhang Bo, Mao Ping, et al. Unified breakdown model of SOI RESURF device with uniform/step/linear doping profile. Chinese Journal of Semiconductors, 2005, 26(2): 243

A Novel Structure with Multiple Equipotential Rings for Shielding the Influence of a High Voltage Interconnection *

Chen Wanjun[†], Zhang Bo, and Li Zhaoji

(Center of IC Design, University of Electronic Science and Technology of China, Chengdu 610054, China)

Abstract: A novel structure with multiple equipotential rings (MER-LDMOS) for shielding the influence of a high voltage interconnection (HVI) is proposed, and its shielding model is explained and proved with 2D device simulation. The influences of various factors on the breakdown voltage of MER-LDMOS are discussed in detail, including the p-top dose, the length of equipotential ring, the distance between the equipotential rings, and the thickness of the SiO₂. A significant increase in the breakdown voltage is realized using the MER-LDMOS structure, and its breakdown voltage increases by more than 100% compared with that of conventional LDMOS. Furthermore, the proposed structure has the advantages of simple fabrication, large process tolerance, and small leakage current. It is a new method for shielding the influence a high voltage interconnection in a high voltage integrated circuit.

Key words: high voltage interconnection; equipotential rings; breakdown voltage; LDMOS

EEACC: 2560; 2560P **PACC:** 7340Q

Article ID: 0253-4177(2006)07-1274-06

* Project supported by the Key Program of the National Natural Science Foundation of China (No. 60436030), the National Natural Science Foundation of China (No. 60576052), and Pre-Research Foundation of China (No. 51408060904D Z0211)

[†] Corresponding author. Email: cwjzcy@yahoo.com.cn

Received 26 December 2005, revised manuscript received 20 February 2006

©2006 Chinese Institute of Electronics