

Si 间隔层对利用低温 Si 缓冲层生长高弛豫 SiGe 层的影响

杨鸿斌[†] 樊永良

(复旦大学应用表面物理国家重点实验室, 上海 200433)

摘要: 利用低温生长 Si 缓冲层与 Si 间隔层相结合的方法生长高弛豫 SiGe 层,研究了 Si 间隔层在其中的作用. 利用化学腐蚀和光学显微镜,观察了不同外延层厚度处位错的腐蚀图样. 研究了不同温度下生长的 Si 间隔层对 SiGe 外延层中位错形成、传播及其对应变弛豫的影响. 结果表明 Si 间隔层的引入,显著改变了外延层中位错的形成和传播,进而使得样品表面形貌也呈现出较大的差异.

关键词: SiGe; 应变弛豫; 位错

PACC: 6855; 8110B; 6150C

中图分类号: TN304.1

文献标识码: A

文章编号: 0253-4177(2006)S0-0144-04

1 前言

利用全弛豫低位错密度的 SiGe 合金层作为 virtual substrate,制作高电子迁移率晶体管,引起了人们的广泛关注. 然而由于 Ge 与 Si 的晶格失配达 4.2%,在 Si 上生长 SiGe 合金时,当厚度超过临界值时 SiGe 层应变发生弛豫,并伴随有位错产生. 而贯穿位错的出现将使器件的性能变坏. 对于实际应用,贯穿位错的密度应该低于 10^5 cm^{-2} . 为了外延生长高弛豫的 SiGe 合金层研究人员采用了多种手段,如在限制的面积内进行 SiGe 外延生长^[1],Ge 组分渐变的 SiGe 合金层作为缓冲层生长高质量应变的 Si^[2]等. 虽然用 Ge 组分渐变缓冲层的方法成功地生长出了低位错密度的合金层,但是由于该方法需要较长的生长时间,消耗的材料较多以及最后得到的 SiGe 合金层表面比较粗糙,这些缺点限制了这种方法的应用. 近几年研究人员致力于寻找其他有效的方法来得到结构更完美的人造衬底,这其中利用低温生长的 Si 作为缓冲层^[3],被证明在降低缓冲层厚度及 SiGe 合金层中的位错密度方面是十分有效的.

许多研究人员对低温生长 Si 作为缓冲层的作用和降低位错密度的机制做了大量的研究^[4,5]. 另外 Egawa^[6]和 Sakai^[7]通过在 SiGe 层中加入 Si 或 Ge 的间隔层在同样的应变弛豫程度下有效地降低了整个 SiGe 外延层的厚度,但是他们没有详细讨论间隔层对外延层中位错的形成及其运动的影响.

本文结合低温生长 Si 缓冲层与 Si 间隔层的方法生长高弛豫 SiGe 层. 利用化学腐蚀,观察不同外延层厚度处位错的形貌. 研究了不同温度下生长的 Si 间隔层对 SiGe 外延层中位错形成、传播及其对应变弛豫的影响. 这对我们利用低温 Si 缓冲层和 Si 间隔层外延高弛豫低位错密度的 SiGe 合金有较大的意义.

2 实验

样品是在型号为 Riber-EVA32 的超高真空固源 Si 分子束外延系统上制备的. 衬底为电阻率 $1 \sim 10 \Omega \cdot \text{cm}$ 的 p 型 Si(100)抛光片,经 Shiraki 清洗,在生长室中 980°C 下保温 10min 去除 SiO₂ 保护层,然后进行生长,生长时真空度为 $5.3 \times 10^{-7} \text{ Pa}$. 样品结构和生长参数如图 1 所示,实验中低温 Si 缓冲层

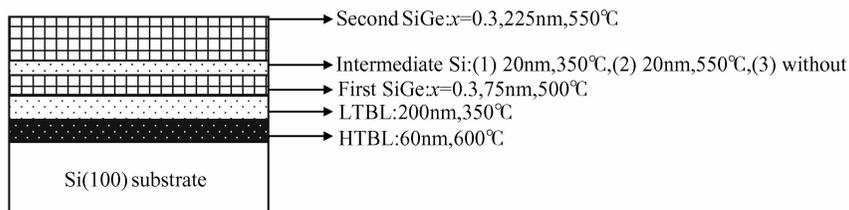


图 1 三个样品的结构和生长参数 样品 1 间隔层生长温度 350°C,样品 2 间隔层生长温度 550°C,样品 3 无 Si 间隔层.
Fig.1 Schematic of the samples Samples 1 and 2 with a 20nm thickness intermediate Si layer grown at 350°C and 550°C, respectively, sample 3 without intermediate Si layer

[†] 通信作者. Email: yhb_dl@hotmail.com
2006-01-19 收到

的选择是根据文献和我们的实验所确定的最优参数,三个样品 SiGe 生长完后都生长了 3nm 的 Si 保护层.所生长的三个样品主要差别在 Si 间隔层,样品 1 间隔层生长温度为 350°C;样品 2 生长温度为 550°C;样品 3 作为比较没有生长 Si 间隔层. SiGe 层的生长速率均为 0.1nm/s, Si, Ge 源蒸发速率经过椭偏仪、XRD 衍射严格标定.

样品残余应变测量是在一台 Renishaw 公司的 Raman 光谱仪上完成的,激发光源为波长 514.5nm 的 Ar⁺ 激光,实验中采用 180° 背散射配置.表面形貌及表面粗糙度在 NT-MDT 公司型号为 P47-SPM-MDT 的原子力显微镜上通过接触模式得到.而位错形貌则采用了 modified schimmel(55 Vol% CrO₃(0.4M) and 45 Vol% HF(49%)^[8]) 腐蚀液在 0°C 下对样品进行腐蚀并用带数码相机的光学显微镜进行记录.

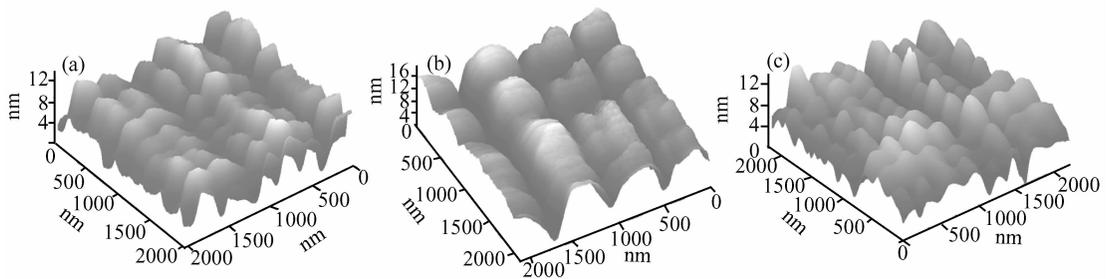


图 2 样品的 AFM 表面形貌图 (a) 间隔层生长温度为 350°C; (b) 间隔层生长温度为 550°C; (c) 无间隔层
Fig.2 AFM images of three samples (a) Intermediate Si layer grown at 350°C; (b) Intermediate Si layer grown at 550°C; (c) Without intermediate Si layer

图 3 为三个样品的 Raman 图谱,图中 520cm⁻¹ 来自 Si 衬底,其余的峰分别来自于合金层中的 Ge—Ge, Si—Ge 和 Si—Si 振动模.根据文献[9],可由 Si—Si, Si—Ge 峰位得到外延层的残余应变和 Ge 组分,三个样品的应变弛豫分别为, 84% ± 5%, 88% ± 5% 和 85% ± 5%, Ge 的组分为 29% ± 1%, 与我们的设定值 30% 相一致.从 Raman 谱中根据 Si—Si, Si—Ge 峰强度之比也可以得到 Ge 的组分也与上述结果一致. Raman 光谱测量表明,间隔层的加入并没有显著改变外延层应变弛豫的程度.

为了较准确地观察样品中生长方向上不同位置处的位错状况,我们对 modified schimmel 位错腐蚀液的腐蚀速率进行了测量.图 4 为样品 2 经不同时间腐蚀后测量的 Raman 谱.图 4(a) 显示随着腐蚀时间的增加来自合金层中的 Si—Si 峰强度逐渐减小.合金层中 Si—Si 散射峰强度与来自衬底的 Si—Si 峰强度之比,如图 4(b) 所示.随腐蚀时间增加比值随之减小,在腐蚀时间为 40s 时比值为 0.18,而 45 和 50s 时分别为 0.19 和 0.16,在这一阶

3 结果与讨论

图 2 为三个样品的 AFM 形貌图,样品表面形貌均呈现沿两个<110>方向正交纵横交错的起伏,这一表面特征来自于外延层中的失配位错在{111}滑移面上的滑移和堆积.样品 1 和 3 如图 2(a), (c) 所示,表面起伏的高度和跨度没有较明显的差异,这表明两样品每一位错滑移面上堆积的失配位错数目及滑移面的数目同样没有显著的差异.然而图 2(b) 中所示的样品 2 的形貌与样品 3 有着明显的不同,起伏的高度和跨度都比其他两个样品大,这表明该样品在应变弛豫中位错滑移是在较少的位错滑移面上进行的. AFM 测量了三个样品 5μm × 5μm 范围的均方根(rms) 表面粗糙度.样品 1 (350°C 生长 Si 间隔层) 为 1.7nm, 样品 3 (无 Si 间隔层) 为 2.0nm, 样品 2 (550°C 生长 Si 间隔层) 为 2.6nm.

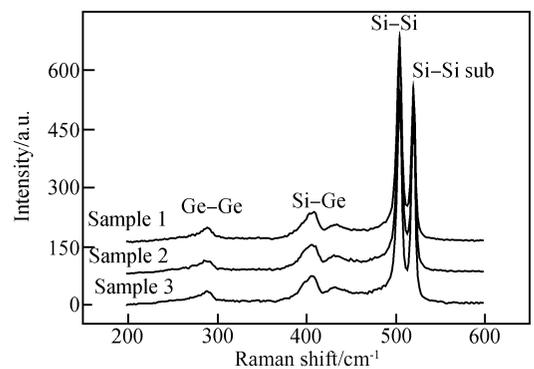


图 3 三个样品的 Raman 图谱
Fig.3 Raman scattering spectra of three samples

段 $A_{\text{Si-Si}}/A_{\text{sub}}$ 和 $I_{\text{Si-Si}}/I_{\text{sub}}$ 变化较小.结合样品结构这表明样品经过 40s 腐蚀,已经腐蚀到了 Si 间隔层,经过约 10s 腐蚀后 Si 间隔层被腐蚀完.从中可以估计出 modified schimmel 溶液对 Si_{0.7}Ge_{0.3} 和 Si 层的腐蚀速率分别约为 5.5 和 2nm/s.

图 5 为三个样品经不同时间腐蚀后观察到的位

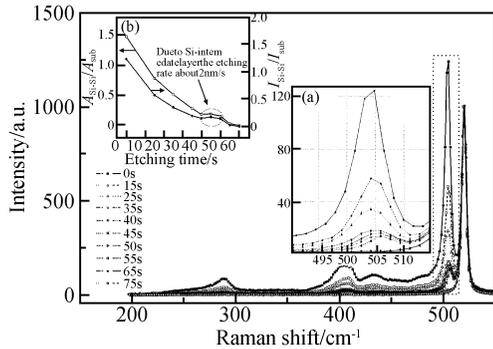


图 4 样品 1 经过不同时间腐蚀后的 Raman 散射光谱 (a) 经不同时间腐蚀后,合金层中的 Si—Si 峰;(b)合金层与衬底 Si—Si 峰强度的比值随腐蚀时间的变化 $A_{\text{Si-Si}}/A_{\text{sub}}$ 和 $I_{\text{Si-Si}}/I_{\text{sub}}$ 分别表示峰的积分强度和峰高相应的比值.

Fig.4 Time dependence of Raman scattering spectra of sample 1 after etching (a) Si—Si model of SiGe layer after etching for different time; (b) Etching time dependence of the ratio of Si—Si intensity come from SiGe alloy and Si substrate $A_{\text{Si-Si}}/A_{\text{sub}}$ and $I_{\text{Si-Si}}/I_{\text{sub}}$ are corresponding ratio of integral intensity and height of peak.

错.根据上面讨论可确定,25s 腐蚀厚度约为 130nm 左右.40s 腐蚀厚度约为 220nm 左右,接近 Si 间隔层与第二层 SiGe 的界面.样品 1,2 经过 60s,样品 3 经过 50s 腐蚀都已经接近 LT-Si 层.三个样品在相同生长厚度显现出不同的位错形态.样品 1,2,在 LT-Si 缓冲层中可以看到少量的失配位错线,这是由贯穿位错进入缓冲层并伴随新位错环产生而造成的.这一特征与一种称为 MFR(modified Frank-Read)^[10]的位错增殖机制紧密相连.MFR 位错增殖机制是外延层中位错源相对于外延层中的应变变量较小^[11].而样品 1,Si 缓冲层的生长温度为 350℃,在这样的低温下缓冲层中存在较多的点缺陷(位错源),密度约为 10^{18} cm^{-2} ^[12].并且在样品 3(无 Si 间隔层)LT-Si 层中没有观察到位错线的出现,这说明间隔层的加入改变了位错增殖机制,使得 MRF 位错增殖机制即使在有足够多位错源的情况下也会发生.

图 5 中样品 1,2 在 Si 间隔层与第二层 SiGe 界面的位错存在着较大的差别;样品 1 位错线较短,位错密度(条数)比较大;而样品 2 中,位错线较长,密度较小.这两个样品在生长 Si 间隔层前已经生长了 75nm $\text{Si}_{0.7}\text{Ge}_{0.3}$,超过临界厚度,外延层中已有位错形成,两样品位错密度和位错线长度相等.当在其上生长 Si 间隔层后,由于位错滑移的激活能在 Si 中为 2.0eV,比在 SiGe 中的 1.5eV 要大^[13],因而间隔层成为阻挡层,位错的攀沿滑移受到阻碍.图 5 中三个样品 40s 腐蚀的位错密度证实了这一点,三个样品

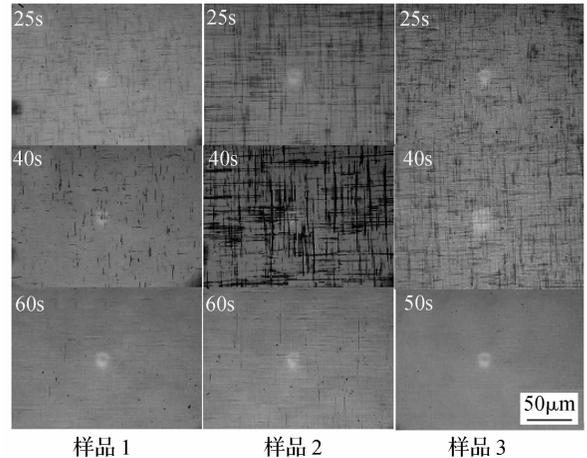


图 5 三个样品经不同时间腐蚀后的表面显微镜照片

Fig.5 Optical microscopy images of three samples after etching for different times

的位错密度大小关系为 $D_2 < D_1 < D_3$.样品 1 中 Si 间隔层的生长温度较低位错更难穿越,同时低温生长又会引入较多的位错源,使得位错间的相互作用增强,位错难以跨越其他位错而发生相互阻断,被钉扎在两个点缺陷上.因而在第二层 SiGe 中观察到短且较密的位错线.样品 2 中,Si 间隔层生长温度较高,位错较容易穿越,在第二层中传播尽量终止于样品的边缘,所以观察到长且少的位错线.但是在样品 1,2 中,由于 Si 间隔层的存在会使一部分位错传播受阻而返回到第一层 SiGe 中,进而深入到低温 Si 缓冲层中.样品 1 由于有两层低温 Si,存在较多的位错源,可以通过形成更多的位错来释放应力,位错穿入衬底同时产生新位错环的程度比样品 2 要小.因此在两样品 60s 腐蚀后,样品 2 的低温 Si 缓冲层中有较多的位错线.

4 结论

Si 间隔层的引入,显著改变了外延层中位错的攀沿滑移,进而使得样品表面形貌也呈现出较大的差异.Si 间隔层还使得 MFR 位错增殖及应变释放机制出现在低温 Si 缓冲层外延生长 SiGe 的样品中.Si 间隔层虽然改变了位错产生、传播及应变释放的形式,但是对样品最终的应变弛豫程度却没有显著影响.

参考文献

- [1] Wöhl G, Dudek V, Graf M, et al. Relaxed $\text{Si}_{0.7}\text{Ge}_{0.3}$ buffer layers grown on patterned silicon substrates for SiGe n-channel HEMOSFETs. *Thin Solid Films*, 2000, 369: 175
- [2] Fitzgerald E A, Xie Y H, Green M L, et al. Totally relaxed $\text{Ge}_x\text{Si}_{1-x}$ layers with low threading dislocation densities

- grown on Si substrates. *Appl Phys Lett*, 1991, 59:811
- [3] Luo Y H, Wan J, Forrest R L, et al. High-quality strain-relaxed SiGe films grown with low temperature Si buffer. *J Appl Phys*, 2001, 89:8279
- [4] Bolkhovityanov Y B, Gutakovskii A K, Mashanov V I, et al. Plastic relaxation of solid GeSi solutions grown by molecular-beam epitaxy on the low temperature Si(100) buffer layer. *J Appl Phys*, 2002, 91:4710
- [5] Gaiduk P I, Nylandsted A, Hanse J L. Strain-relaxed SiGe/Si heteroepitaxial structures of low threading-dislocation density. *Thin Solid Films*, 2000, 367:120
- [6] Egawa T, Sakai A, Yamamoto T, et al. Strain-relaxation mechanisms of SiGe layers formed by two-step growth on Si(001) substrates. *Appl Surf Sci*, 2004, 224:104
- [7] Sakai A, Sugimoto K, Yamamoto T, et al. Reduction of threading dislocation density in SiGe layers on Si(001) using a two-step strain-relaxation procedure. *Appl Phys Lett*, 2001, 79:3398
- [8] Werner J, Lyutovich K, Parry C P. Defect imaging in ultrathin SiGe(100) strain relaxed buffers. *Eur Phys J Appl Phys*, 2004, 27:367
- [9] People R, Bean J C. Calculation of critical layer thickness versus lattice mismatch for $\text{Ge}_x\text{Si}_{1-x}/\text{Si}$ strained-layer heterostructures. *Appl Phys Lett*, 1985, 47:322
- [10] Legoues F K, Meyerson B S, Morar J F, et al. Mechanism and conditions for anomalous strain relaxation in graded thin films and superlattices. *J Appl Phys*, 1992, 71:4230
- [11] LeGoues F K. Self-aligned sources for dislocation nucleation: The key to low threading dislocation densities in compositionally graded thin films grown at low temperature. *Phys Rev Lett*, 1994, 72:876
- [12] Knights A P, Gwilliam R M, Sealy B J. Growth temperature dependence for the formation of vacancy clusters in $\text{Si}/\text{Si}_{0.64}\text{Ge}_{0.36}/\text{Si}$ structures. *J Appl Phys*, 2001, 89:76
- [13] Houghton D C. Strain relaxation kinetics in $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ heterostructures. *J Appl Phys*, 1991, 70:2136

Effect of Si Intermediate Layer on High Relaxed SiGe Layer Grown Using Low Temperature Si Buffer

Yang Hongbin[†] and Fan Yongliang

(National Key Laboratory of Surface Physics Laboratory, Fudan University, Shanghai 200433, China)

Abstract: High relaxed SiGe layer is grown using low temperature Si buffer technology which combined with a Si intermediate layer, the effect of the Si intermediate layer on relaxed SiGe layer is investigated. This work researches the misfit dislocation etching pattern in different thickness of the SiGe epilayer using the preferential chemical etching and the optical microscopy. Furthermore the influence of intermediate Si layer on dislocation generation, propagation and strain relaxation in epitaxial SiGe layer is investigated. The results show that the intermediate Si layer remarkably changed the dislocation generation and propagation in SiGe layer, consequently the surface morphology also appeared obviously difference.

Key words: SiGe; strain relaxation; dislocation

PACC: 6855; 8110B; 6150C

Article ID: 0253-4177(2006)S0-0144-04

[†] Corresponding author. Email: yhb_dl@hotmail.com

Received 19 January 2006