

基于低温键合技术制备 SOI 材料*

詹 达^{1,2} 马小波^{1,2} 刘卫丽^{1,†} 宋志棠¹ 封松林¹

(1 中国科学院上海微系统与信息技术研究所 半导体功能薄膜工程技术研究中心, 上海 200050)

(2 中国科学院研究生院, 北京 100049)

摘要: 通过 N^+ 等离子体对 Si 片以及 SiO_2 片表面活化, 进行直接键合, 研究了键合强度与退火温度的关系. 研究表明退火温度从 $100^\circ C$ 升高到 $300^\circ C$ 的过程中, 键合强度明显加强; 高于 $300^\circ C$, 键合强度略有增加, 但不明显. 结合 N^+ 等离子体处理技术和 Smart-Cut 技术制备出 SOI 结构, 顶层硅缺陷密度表征表明在 $500^\circ C$ 退火后可得到较好的缺陷密度. 该研究结果提供了一种 SOI 低温技术.

关键词: SOI; 等离子体活化; 键合强度

EEACC: 2560B; 2560P

中图分类号: TN386

文献标识码: A

文章编号: 0253-4177(2006)S0-0189-04

1 引言

Silicon-on-insulator(SOI)在很多领域有着应用,包括微机电系统(MEMS)^[1]和传感器^[2],及 CMOS 集成电路制造领域. SOI 器件有低功耗、低电压以及抗辐射等优异特性^[3]. 目前制备 SOI 的主要方法有 SIMOX(separation by implanted oxygen), BESOI(wafer bonding and etch back), Smart-Cut 等. 其中, SIMOX 主要在大能量、大剂量的注入条件及高温环境下完成,随着工艺的进步,现在由 SIMOX 技术制作的 SOI 晶圆片已经可以得到非常低缺陷密度的顶层硅和隐埋氧化层^[4]. Smart-Cut 技术是目前工业上获得高质量 SOI 晶圆的方法^[5],此方法避免了 SIMOX 的超大量离子注入以及高温长时间退火,且更有效地控制了埋层的针孔和硅岛的密度,与 BESOI 相比,又避免了困难的背面减薄以及其 seed wafer 的重复使用,提高了对 Si 片的利用率. 随着时代的进步,在 SOI 制备中保证良好的晶体结构的同时,还应该降低原有程序的复杂性及制程成本. 而目前的工业生产中,无论 SIMOX 还是 Smart-Cut 制备 SOI 晶圆的工业技术都需要高温退火,这提高了制程的复杂度和成本. SIMOX 的传统制程中,需要大剂量 O^+ 注入($> 1.6 \times 10^{18} cm^{-2}$),这就不可避免地造成了顶层硅的损伤,目前尚不能找到代替高温退火消除缺陷的有效方法,由此,本文基于 Smart-Cut 工艺原理,对低温制备 SOI 结构进

行了研究.

2 实验

选取 7 对均为 100mm 直径、(100)晶面的二氧化硅片(二氧化硅层厚度为 800nm)和(100)晶面的 p 型硅片,厚度均为 $525\mu m$,二氧化硅片与硅片经过 RCA1, RCA2 清洗后,进行键合,键合前硅片与二氧化硅片表面均经过 N^+ 等离子体活化处理,以增加表面的悬挂键,激活表面,使表面亲水性更强,更有利于键合强度的加强^[6]. 由于等离子体活化处理过程对时间并没有依赖关系^[7],所以我们的活化时间选取 30s. 等离子体活化步骤由 EVG810 等离子活化系统完成. 键合过程是由 EVG301 键合机完成. 键合后,为了加强键合强度,进一步完成退火程序,为了比较经 N^+ 等离子体活化 30s 后进行键合的键合片在不同退火温度下的退火效果,对其中的 6 对键合片分别在 100, 200, 300, 400, 500, $600^\circ C$ 的温度下,在 N_2 环境中,退火 1h.

3 结果与讨论

3.1 红外图像分析及键合强度分析

键合片在 $300^\circ C$ 退火前后的红外图像如图 1 所示.

图1(a)是刚键合好的红外图像,可以看出,右

* 国家自然科学基金(批准号:60476006 和 60576014)和上海市重点攻关(批准号:055211001)资助项目

† 通信作者. Email: rabbitwl@mail.sim.ac.cn

2005-10-11 收到, 2005-12-31 定稿

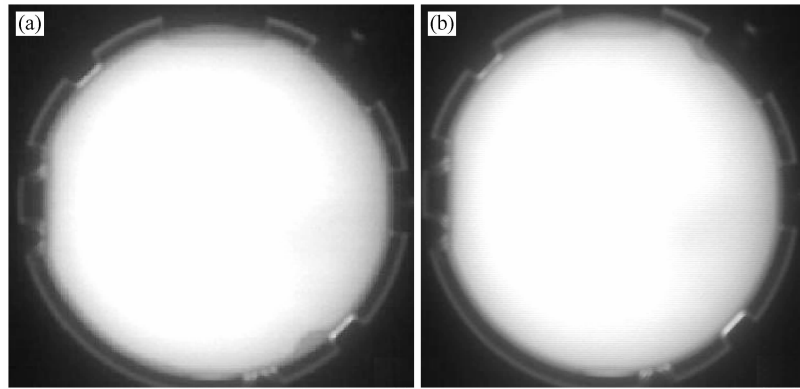


图 1 Si/SiO₂ 键合片的红外图像 (a)未退火;(b)300°C退火 1h
Fig.1 Infrared image of Si/SiO₂ bonding before annealing (a) and after annealing (b) at 300°C for 1h

下边缘有一点未键合上,这一点可能是由于边缘的微小沾污造成的^[8],其他地方未发现空洞;图 1(b)是经过 300°C退火 1h后的红外图像,图中因为拍摄角度变化,右上方未键合上的小部分就是图 1(a)右下边缘未键合上的部分.可以看出,除了边缘一点以外,晶圆其他地方都键合上了,退火前后,红外图像没有发生变化.为了表征退火后的键合界面的键合强度,采用裂纹分离法来表征^[9],如图 2 所示.

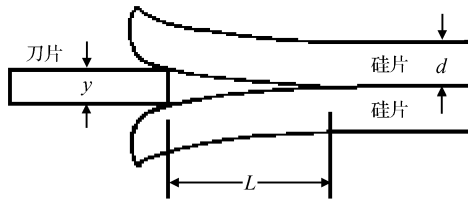


图 2 裂纹分离法测量键合强度示意图
Fig.2 Schematic diagram of the bonding strength measurement of two bonded wafers by separation with a blade

测试时,厚度为 y 的刀片插入键合界面,裂纹在界面产生并扩展,当弹性能和表面能平衡时,测量裂纹长度 L ,由于键合的两片厚度相同,材料也基本相同(二氧化硅片是长在 Si 衬底上的),所以由下面给出的简化公式(1)计算键合强度.

$$\gamma = \frac{3Ey^2d^3}{32L^4} \tag{1}$$

式中 E 代表 Si 的杨氏模量, $E = 130\text{GPa}$; 硅片厚度 $d = 525\mu\text{m}$; 刀片厚度 $y = 105\mu\text{m}$. 测试采用专用键合强度测试机完成,结果如表 1 及图 3 所示.

表 1 退火后的键合片键合强度

Table 1 Impact of the annealing temperature on the bonding strength

退火温度/°C	未退火	100	200	300	400	500	600
键合强度 γ /(J/m ²)	0.560	0.790	2.599	4.867	5.293	5.417	5.488

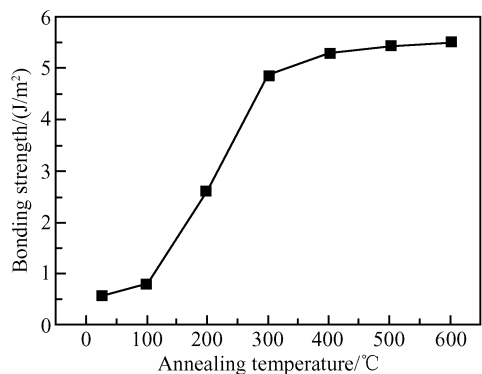


图 3 等离子体活化后的键合片键合强度与退火温度的关系
Fig.3 Impact of the annealing temperature on the bonding strength after wafers activated by plasma

由于直接键合机理因硅表面悬挂键终端原子的不同而不同,对表面有自然氧化层的亲水硅片而言,表面以 OH 团为终端,通过吸附水分子之间的氢键可以形成室温自发键合^[10],在 SiO₂ 膜的表面和体内,有一些氧原子处于不稳定状态,在经过等离子体对表面活化处理后,它们可得到能量而离开硅原子,使表面产生更多的悬挂键,此时表面的原子具有高度的不饱和性质,因而极易与其他原子相结合而稳定下来,键合过程能有更多的 OH 团吸附水分子之间的氢键,自然使得其在室温自发键合的过程变得更加容易,强度也自然更大.结合表 1 和图 3,经过 N⁺ 等离子体处理的 Si-SiO₂ 键合强度在未经过退火时为 0.56J/m²,明显大于普通工艺亲水性硅片的键合强度 0.1J/m²^[11],这也证实了我们的上述观点.从图 3 还可以明显看到,键合强度从 100°C到 300°C退火时增加得非常快,而 300°C以后继续升高退火温度,其键合强度变化不明显.由此可知,对于经过 N⁺ 等离子体活化 30s 后的 Si-SiO₂ 键合,只需要在 300°C的低温下退火 1h,即可以得到接近 5J/m² 的键合表面能,达到甚至超过了普通键合退火工艺在

1100℃退火后的键合表面能 $1\text{J}/\text{m}^2$, 而且避免了 1100℃ 高温退火的复杂性和高成本, 与报道过的等离子体处理过的键合退火温度 400℃ 要低 100℃^[11], 键合强度也足够大.

3.2 SOI 材料顶层硅缺陷的表征

为了得到 SOI 结构, 我们用与前述表征键合强度相同的二氧化硅片与硅片进行键合, 硅片在键合前注入一定剂量的 H^+ , 注入能量和剂量分别为 140keV , $6 \times 10^{16}\text{cm}^{-2}$, 注入时, 偏离垂直方向 7° 以避免沟道效应. 由于 300℃ 退火已经可以得到足够的键合强度, 所以我们在键合后选取 300℃ 退火 1h, 然后升温到 550℃ 退火 5min, H^+ 在相应的射程附近的损伤层沿(100)面聚集膨胀, 最终该处将剥离, 实现了单晶硅薄膜转移, 得到 SOI 结构. 对于 $525\mu\text{m}$ 厚度的硅片, 只有顶层硅薄膜在半导体程中应用于器件电路的制造, 所以转移的顶层硅的单晶质量、缺陷密度就对电路的性质起了决定性作用, 因此对该 SOI 材料的顶层硅的缺陷进行表征是非常有意义的.

SOI 材料中, 主要存在位错缺陷^[3], 利用腐蚀液体对表层硅进行腐蚀修饰是有效的表征方法^[3]. 利用改进的 secco 腐蚀液的配方^[12], 4g 硝酸铜晶体 + 1g 重铬酸钾 + 去离子水配成 170mL 的溶液, 加入 70mL 70% 的硝酸以及 50mL 40% 的 HF, 之后按 1:1 稀释. 最后在光学显微镜下得到腐蚀修饰出缺陷的结果. 图 4 给出了对得到的 SOI 材料腐蚀修饰后的一个随机区域. 由图 4 可以清楚地看到, 样品表面腐蚀坑呈圆形, 统计腐蚀坑的密度即可以得到顶层硅中的线缺陷密度. 为了避免结果的个体差异和局部差异, 我们将成功腐蚀修饰的图片选取 5 张以上进行计算再取平均值. 同时对比了该 SOI 样品在 500℃ 退火 60min 的缺陷密度, 如表 2 所示.

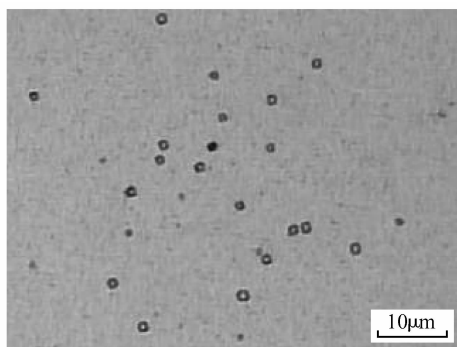


图 4 SOI 片经过腐蚀液腐蚀并修饰后的光学显微镜照片
Fig.4 Etch pit photograph of SOI top layer after secco etching

表 2 低温制程得到 SOI 材料的顶层硅缺陷密度与退火温度的关系

Table 2 Impact of the annealing temperature on the defect density of SOI top silicon layer by low temperature process

SOI 样品	原始样品	500℃ 退火
缺陷密度/ 10^5cm^{-2}	1.64	0.20

由表 2 可以看出, 经过 500℃ 退火后, SOI 的顶层硅缺陷密度比原始样品降低了一个数量级, 这一步骤使 SOI 顶层硅缺陷密度得到改善.

4 结论

经过 N^+ 等离子体活化后, Si-SiO_2 键合强度在随温度变化的过程中, 在 100℃ 到 300℃ 有一个陡增, 而在 300℃ 之后, 键合强度随温度变化趋于平缓. 研究结果表明等离子体表面处理可大大增加键合强度和降低热处理温度. 在此基础上, 利用 Smart-Cut 技术在较低的温度下制备出了 SOI 结构, 研究结果表明, 500℃ 是消除顶层硅缺陷的关键温度.

参考文献

- [1] Usenko A Y, Carr W N. SOI technology for MEMS application. *Electrochemical Society Proceedings*, 1999, 99(3): 347
- [2] Lehto A. SOI microsensors and MEMS. *Electrochemical Society Proceedings*, 1999, 99(3): 11
- [3] Collinge J P. *Silicon-on-insulator technology: materials to VLSI*. 3rd ed. Kluwer; Academic Publishers, 2004
- [4] Maleville C, Aspar B, Poumeyrol T, et al. Wafer bonding and H-implantation mechanisms involved in the smart-cut[®] technology. *Materials Science and Engineer B*, 1997, 46: 14
- [5] Krause S, Anc M, Roitman P. Evolution and future trends of SIMOX material. *MRS Bulletin*, 1998, 23: 25
- [6] Kettle A P, Jones F T, Alexander M R, et al. Experimental evaluation of the interphase region in carbon fibre composites with plasma polymerised coatings. *Composites Part A: Appl Sci Manuf*, 1998, 29: 241
- [7] Tay B K, Sheeja D, Lau S P, et al. Study of surface energy of tetrahedral amorphous carbon films modified in various gas plasma. *Diamond and Related Materials*, 2003, 12: 2072
- [8] Celler G K, Cristoloveanu S. Frontiers of silicon-on-insulator. *J Appl Phys*, 2003, 93: 4955
- [9] Maszara W P, Goetz G, Caviglia A, et al. Bonding of silicon wafers for silicon-on-insulator. *J Appl Phys*, 1988, 64: 4943
- [10] Tang Q Y, Lee T H, Gosele U, et al. The role of surface chemistry in bonding of standard silicon wafers. *J Electrochemical Society*, 1997, 144: 384
- [11] Amirfeiz P, Bengtsson S, Bergh M, et al. Formation of silicon structures by plasma activated wafer bonding. *Electrochemical Society Proceedings*, 1999, 99(35): 29
- [12] Giles L F, Nejm A, Hemment P L F. A new chemical etch for defects studies in very thin film (<100nm) SIMOX material. *Materials Chemistry and Physics*, 1993, 35: 129

Fabrication of SOI Material Using Low Temperature Bonding Technology *

Zhan Da^{1,2}, Ma Xiaobo^{1,2}, Liu Weili^{1,†}, Song Zhitang¹, and Feng Songlin¹

(1 *Research Center of Functional Semiconductor Film Engineering & Technology, Shanghai Institute of Microsystem and Information Technology, Chinese Academy of Sciences, Shanghai 200050, China*)

(2 *Graduate University of Chinese Academy of Sciences, Beijing 100049, China*)

Abstract: Nitrogen plasma activation is used before the bonding of the silicon and silicon oxide wafers, and the relationship between the bonding strength and annealing temperature is investigated. The results show that the bonding strength increases dramatically with the increase of annealing temperature when the temperature is below 300°C; above 300°C, the increase tendency becomes un conspicuous. SOI materials are obtained by Smart-Cut technology with nitrogen plasma activation. The characterization results show that the defect density in SOI top layer is low enough after being annealed at 500°C.

Key words: SOI; plasma activation; bonding strength

EEACC: 2560B; 2560P

Article ID: 0253-4177(2006)S0-0189-04

* Project supported by the National Natural Science Foundation of China (Nos. 60476006, 60576014) and the Shanghai Major State Technology Program (No. 055211001)

† Corresponding author. Email: rabbitlw@mail.sim.ac.cn

Received 11 October 2005, revised manuscript received 31 December 2005

©2006 Chinese Institute of Electronics