

低压条形栅功率场效应晶体管的研制

王立新[†] 廖太仪 陆 江

(中国科学院微电子研究所, 北京 100029)

摘要: 介绍一种新型低压平面结构的功率场效应晶体管——条形栅 VDMOS. 通过与传统的元胞型结构比较, 发现条形栅具有导通电阻小、开关速度快以及工作稳定性高等特点. 还对条形栅 VDMOS 的工艺做了介绍, 其工艺过程简单, 实用性强.

关键词: 条形栅; VDMOS; 功率场效应晶体管
EEACC: 2550

中图分类号: TN386.1 文献标识码: A 文章编号: 0253-4177(2006)S0-0205-03

1 引言

功率场效应晶体管(VDMOS), 具有高输入阻抗、低驱动电流、开关速度快、负电流温度系数、安全工作区大等特点, 已广泛应用于各种电子设备中. 在各种保护电路以及功率管理电路中, 低压 VDMOS 必须减小导通电阻, 提高开关速度, 降低功率损耗, 同时提高器件在应用中的稳定性. 本文以平面栅结构为基础介绍一种新型平面结构的 VDMOS——条形栅 VDMOS.

2 条形栅 VDMOS 的优点

条形栅 VDMOS 不同于传统的元胞型平面结构, 这种结构的多晶硅栅呈条状分布, 如图 1 所示.



图 1 条形栅 VDMOS 的平面结构

Fig.1 Plan view of stripe gate VDMOS

2.1 有利于减小器件导通电阻

导通电阻 $R_{DS(ON)}$ 是 VDMOS 非常重要的参数

之一, 它决定了器件在允许的功耗下能承受的电流大小. $R_{DS(ON)}$ 由若干部分组成, 如沟道电阻、寄生 JFET 电阻、外延层电阻、欧姆接触电阻等. 对于低耐压器件来说, 特别是 100V 以下的 VDMOS, 沟道电阻是 $R_{DS(ON)}$ 的主要组成部分, 占 70% 以上^[1]. 所以减小沟道电阻是降低低压 VDMOS 导通电阻的主要手段.

因为 $R_{DS(ON)}$ 与器件长宽比成正比^[2], 所以为了减小沟道电阻, 必须增加沟道长宽比. 沟道长度由工艺决定, 沟道宽度在版图设计时确定.

以方形元胞为例, 设元胞边长为 a , 间距为 d , 元胞个数为 m 行、 n 列. 如果不考虑元胞拐角处对沟道宽度的影响, 则总元胞沟道宽度为:

$$W_{\square} = 4amn \quad (1)$$

若以条形栅代替元胞, 如图 2 所示, 在面积相同的有源区内, 条形栅的宽为 a , 间距为 d , 条形栅长为 $ma + (m - 1)d$, 共 n 列. 则总条形栅沟道宽度为:

$$W_s = [2[ma + (m - 1)d] + 2a]n \quad (2)$$

整理得:

$$W_s = (2mn - 2n)d + 2mna + 2na \quad (3)$$

由(3)式可知, 条形栅的沟道宽度是 d 的线性函数, 其中 $2mn - 2n > 0$, 当 $d = a$ 时, $W_s = 4amn = W_{\square}$; $d < a$ 时, $W_s < W_{\square}$; 当 $d > a$ 时, $W_s > W_{\square}$. 通常, 为了减小 $R_{DS(ON)}$ 中的寄生 JFET 电阻部分, 要求 $d > a$, 所以相同的有源区面积, 条形栅结构集成的沟道宽度要大于元胞结构, 有利于减小器件的 $R_{DS(ON)}$.

2.2 有利于减小输入电容

驱动 VDMOS 相当于驱动一个容性阻抗的网

[†] 通信作者. Email: wanglixin@ime.ac.cn
2005-10-11 收到, 2006-01-10 定稿

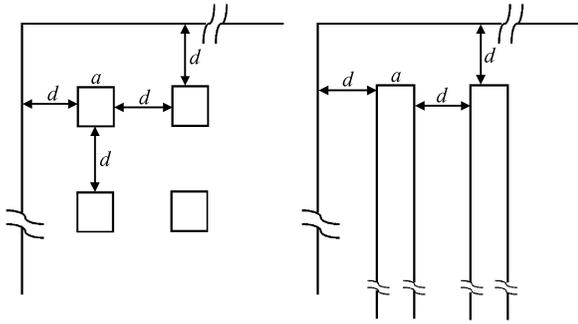


图 2 元胞结构与条栅结构平面示意图

Fig.2 Cell structure and stripe gate structure

络, VDMOS 输入电容的大小很大程度上决定了器件的开关速度. 由于 VDMOS 的输入电容随芯片栅面积的变化而变化, 栅面积较小的器件其开关速度将快于栅面积大的器件. 条形栅 VDMOS 的多晶硅栅面积小于元胞型 VDMOS, 所以条形栅结构可以获得较元胞型快的开关速度.

如上例, 设有源区的总面积为 S , 元胞型栅面积为:

$$S_{\square} = S - a^2 nm \quad (4)$$

条形栅型栅面积为:

$$S_s = S - [ma + (m-1)d]an \quad (5)$$

(5)式与(4)式相减:

$$S_s - S_{\square} = and(1-m) \ll 0 \quad (6)$$

可见, 条形栅 VDMOS 的栅面积远小于元胞型, 所以其输入电容将小于元胞型 VDMOS, 可以获得较元胞型快的开关速度.

2.3 有利于减小寄生 BJT 的影响

VDMOS 固有的结构特点使其在内部寄生一个 BJT 晶体管, 如图 3 所示. R_b 代表 p-阱区扩散电阻与欧姆接触电阻之和, 当 R_b 上有电流流过, 并产生大于 0.7V 的压降, BJT 管发射结被偏置开启, 电子迅速注入到 p-阱区, 并被 BJT 管的集电结电场扫入其集电区, 此时会有很大的电流流过该元胞, 导致器件烧毁. 此种情况出现在 VDMOS 漏极电压迅速上升时, 电压对 p-阱结电容 (C_j) 充电, p-阱区内将有大小为 $C_j dv/dt$ 的电流流过, 如果 p-阱区与源区金属接触不好, R_b 相对很大. 如果 $R_b C_j dv/dt$ 超过 0.7V, BJT 导通, 导致器件失效. 同时, 如果因为工艺原因, p-阱区没有与源区金属接触, VDMOS 的击穿电压也将受到影响, 因为此时器件的击穿电压不再是 p-阱-n 的 pn 结击穿电压, 而是基区开路的 BJT 管的 CE 间的击穿电压, 此时的击穿电压较正常的击穿电压低 $\sqrt{\beta}$ 倍^[3].

条形栅 VDMOS 有效地克服了上述问题, 这是因为条形栅结构的总接触孔面积要大于元胞型. 如

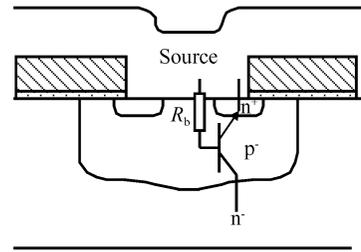


图 3 VDMOS 剖面图

Fig.3 Cross section of VDMOS

上例, 设接触孔距多晶硅栅的距离为 t , 则元胞型 VDMOS 总的接触孔面积为:

$$S_{\square} = (a-2t)^2 mn \quad (7)$$

条形栅结构的总接触孔面积为:

$$S_s = [ma + (m-1)d - 2t](a-2t)n \quad (8)$$

$$S_s - S_{\square} = (m-1)(a-2t)nd + 2(m-1)(a-2t)nt \quad (9)$$

因为 $m-1 > 0$, $a-2t > 0$, 所以 $S_s - S_{\square} > 0$.

同时条形栅结构不同于分立元胞结构, 其接触孔为条状, 长度很大, 总会在很长的接触孔区存在良好的 p-阱与源区金属接触, 所以寄生 BJT 管对 VDMOS 管可靠性的影响大大减小.

3 条形栅 VDMOS 版图与工艺过程

3.1 条形栅 VDMOS 版图设计

条形栅 VDMOS 的双扩散 MOS 结构可由三块掩模版完成, 其中为了增大 n^+ 源的接触面积, 减小欧姆接触电阻对 $R_{DS(ON)}$ 的贡献, n^+ 源版不采用长条形状, 而是采用小胶块形状. 图 4 为条形栅 VDMOS 局部版图及其各个不同区域的器件剖面结构. 为了降低掩模版成本, P plus 与 Hole 可采用同一块版.

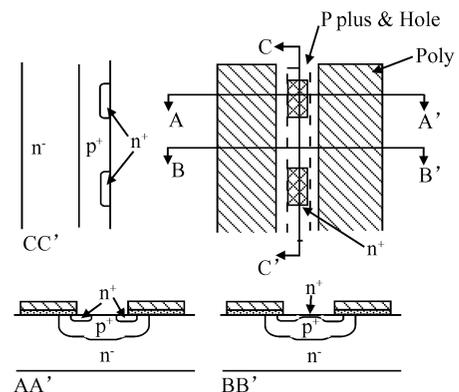


图 4 条形栅结构 VDMOS 局部版图及各区域剖面结构

Fig.4 Layout of stripe gate VDMOS and cross sections of various regions

3.2 工艺过程

(1) 在有源区进行栅氧化与多晶硅淀积; (2) Poly 版光刻, 等离子刻蚀多晶硅与栅氧化层, 并进行淡硼注入, 形成 p-阱区, 如图 5(a); (3) 光刻 Pplus 版, 浓硼注入, 如图 5(b); (4) 阱区高温推进, 光刻 n^+ 版, 并进行浓磷注入, 如图 5(c); (5) 磷硅玻璃生长, 光刻 Hole 版, 如图 5(d); (6) 等离子刻蚀接触孔, 如图 5(e), 并进行金属淀积.

此工艺的特点是工艺简单, 重复性好, 应用掩膜版少, 成本低.

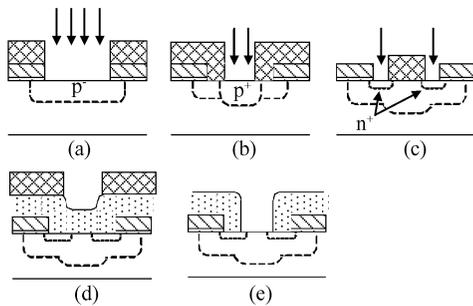


图 5 条形栅 VDMOS 工艺流程

Fig. 5 General run flow of stripe gate VDMOS

4 研制结果

中国科学院微电子研究所对 100V 耐压的 VDMOS 采用两种不同结构的版图进行设计, 在外延层结构相同的条件下分别进行流片. 设计结果与流片结果如表 1 所示.

可见, 条形栅 VDMOS 占用芯片面积小于元胞型, 但是其沟道长度远大于元胞型. 虽然芯片面积减

表 1 元胞结构与条形栅结构的设计结果

Table 1 Results of the cell structure and stripe gate structure

	有源区面积 / μm^2	沟道总宽度 / μm	导通电阻 / $\text{m}\Omega$	栅面积 / μm^2
元胞结构	11.6×10^6	0.96×10^6	60~70	10.2×10^6
条形栅结构	9.8×10^6	1.15×10^6	35~45	6.4×10^6

小, 外延电阻会略有增加, 但最终的 $R_{\text{DS(ON)}}$ 还是小于元胞型结构. 条形栅结构的栅面积也小于元胞型结构, 显示出条形栅 VDMOS 的优越性.

5 结论

条形栅 VDMOS 是一种新型平面结构的 VDMOS, 它的多晶硅栅呈条状分布. 条形栅结构可以在相同的有源区面积内集成更大的沟道宽度, 同时其接触孔面积增大, 栅面积降低. 所以条形栅结构较元胞结构在导通电阻、开关速度及工作稳定性方面都有优势. 条形栅 VDMOS 掩模版少, 工艺简单, 有利于提高成品率, 进行批量生产.

参考文献

- [1] Yang Jingqi. Theory and design of power electronic devices. Beijing: National Defense Industry Press, 1999 (in Chinese) [杨晶琦. 电力电子器件原理与设计. 北京: 国防工业出版社, 1999]
- [2] Cao Peidong. Basic of microelectronic technology. Beijing: Electron Industry Press, 2001 (in Chinese) [曹培栋. 微电子技术基础. 北京: 电子工业出版社, 2001]
- [3] Neamean D A. Semiconductor physics and devices. Beijing: Tsinghua University Press, 2003 (in Chinese) [Neamean D A. 半导体物理与器件. 北京: 清华大学出版社, 2003]

Development of a Stripe Gate Power MOSFET

Wang Lixin[†], Liao Taiyi, and Lu Jiang

(Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China)

Abstract: A new planar stripe gate power MOSFET is developed. It has a lower $R_{\text{DS(ON)}}$, a higher switch speed and better operation stability compared to traditional cell design. Its manufacture flow is also presented, which is simple and practicable.

Key words: stripe gate; VDMOS; power MOSFET

EEACC: 2550

Article ID: 0253-4177(2006)S0-0205-03

[†] Corresponding author. Email: wanglixin@ime.ac.cn

Received 11 October 2005, revised manuscript received 10 January 2006