

一种新颖的应变 Si 沟道 pMOSFET 制作技术

张 静^{1,2,†} 徐婉静^{1,2} 谭开洲^{1,2} 李荣强^{1,2} 李开成¹ 刘道广^{1,2} 刘伦才^{1,2}

(1 模拟集成电路国家重点实验室, 重庆 400060)

(2 中国电子科技集团集团第 24 所, 重庆 400060)

摘要: 在应变 Si 沟道异质结场效应晶体管(HFET)制作过程中,引入分子束外延(MBE)低温 Si(LT-Si)技术,大大减少了弛豫 SiGe 层所需的厚度. TEM 结果表明,应变 Si 层线位错密度低于 10^6cm^{-2} . 原子力显微镜(AFM)测试表明,其表面均方粗糙度小于 1.02nm. 器件测试结果表明,与相同条件下的体 Si pMOSFET 相比,空穴迁移率提高了 25%.

关键词: 应变 Si; SiGe; 异质结场效应晶体管; 分子束外延; 弛豫

PACC: 7340N

中图分类号: TN325

文献标识码: A

文章编号: 0253-4177(2006)S0-0235-04

1 引言

现代信息技术的发展对微电子器件性能提出了越来越高的要求. 随着 Si CMOS 技术的发展趋于物理和技术的极限(已达 50nm 以下),寻求新的材料和新的器件已成为重要的技术突破途径^[1].

常规 CMOS 电路的性能很大程度上受到 pMOS 管低跨导的制约,其主要原因在于 Si 的空穴迁移率较低. 通常解决这一问题的方法是加大 pMOS 管的沟道宽长比,但这会使 pMOS 管的面积大大增加,导致芯片的集成度降低,功耗增加.

基于 SiGe 技术的应变 Si 沟道异质结场效应晶体管(HFET),是近几年国外研究非常热门的一种新型半导体高速器件. 通过引入 SiGe,使晶格常数改变而产生形变,由于应力的作用和能带变化,其沟道载流子迁移率得以大幅度提高(电子和空穴的迁移率分别可以达到 2900 和 $1800 \text{cm}^2/(\text{V} \cdot \text{s})$),从而提高了器件的速度.

制作应变 Si 沟道,通常采用在完全弛豫的 SiGe 虚拟衬底上生长 Si 薄层,而要形成完全弛豫的 SiGe,需要用 CVD 方式淀积几微米厚的缓变 Ge 组分 SiGe 层^[2]. 这种方法有两个缺点:(1)Ge 组分的缓变速度强烈地影响应力的释放程度和缺陷密度,高 Ge 组分所需的较厚 SiGe 层不利于器件的散热,同时制造成本太高;(2)CVD 方式淀积的 SiGe 层表面往往不平整,造成 10~20nm 的起伏,影响上层应变 Si 的生长.

本文介绍一种分子束外延(MBE)技术制作应变 Si 的方法. 在生长弛豫 SiGe 层之前,首先采用低温(400°C)方式生长一层 100nm 的 Si,然后生长 Ge 组分均匀分布的 500nm SiGe,最后在上面生长薄层 Si. 这种方法大大减少了 SiGe 层的厚度,同时 SiGe 弛豫产生的缺陷被引入低温 Si 层,保证了应变 Si 层的质量.

2 器件结构设计

应变 Si pMOSFET 纵向结构及参数如图 1 所示. n 型衬底上所有外延层的生长均由 MBE 完成. 栅氧化层的厚度为 11nm,多晶硅的厚度为 480nm,由 SEM 精确测量的器件沟道宽长比为 $52\mu\text{m}/4.5\mu\text{m}$,如图 2 所示.

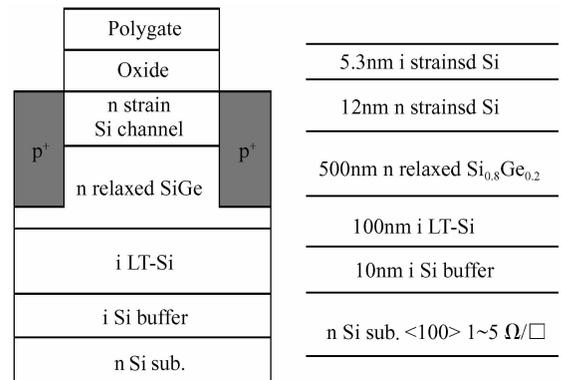


图 1 应变 Si pMOSFET 纵向结构及参数
Fig. 1 Cross section of the strained Si channel pMOSFET

† 通信作者. Email: zhangj1009@tom.com

2005-12-10 收到, 2005-12-29 定稿

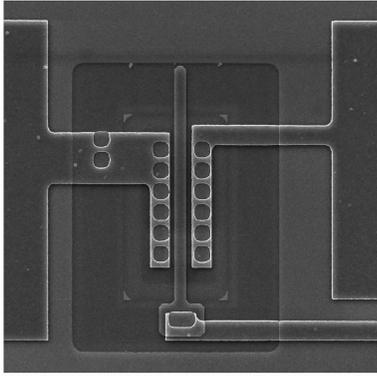


图 2 pMOSFET 的 SEM 照片

Fig.2 SEM photo of the strained Si channel pMOSFET

3 器件制作

3.1 应变 Si 沟道制作

为了改善生长界面特性,首先在较高的温度下(700°C)生长 10nm 的 Si 缓冲层,然后采用低温 Si 技术^[3]生长 100nm 的 LT-Si.整个生长过程的生长速率控制在 0.1nm/s.紧接着是 Ge 组分为 0.2 的 500nm SiGe 层生长.LT-Si 层引入的点缺陷加速了 SiGe 的应力释放,同时防止线位错向表面方向传播,保证上层应变 Si 的质量.最后生长 12nm 的 n

型 Si 及 5.3nm 的本征 Si,本征 Si 将作为栅氧化的牺牲层.由于 SiGe 与 Si 界面形成的晶格失配,从而使 Si 层产生应变.

3.2 器件工艺

pMOSFET 的制作采用标准的 CMOS 工艺,栅氧和退火除外.如果栅氧温度过高,Ge 容易向外扩散,一旦进入沟道,将影响器件的性能.因此,不能采用 1100°C 左右的常规氧化温度.另外,由于应变 Si 层存在拉伸应力,氧化速率比一般 Si 快很多,必须小心控制.通过实验,我们采用 800~850°C 的低温氧化(LTO)工艺,得到了较好的栅氧层质量.同样地,为了防止 Ge 的外扩散,在多晶硅及源、漏注入后,采用快速退火工艺进行杂质激活,选择适当的温度和时间是关键.本实验选用 960°C 15s 的退火条件.

4 测试结果

完成 MBE 生长后,用原子力显微镜(AFM)测量了材料表面,其表面均方粗糙度(RMS)小于 1.02nm,如图 3 所示.透射电镜(TEM)测量结果表明,应变 Si 层的线位错密度小于 10^6 cm^{-2} .

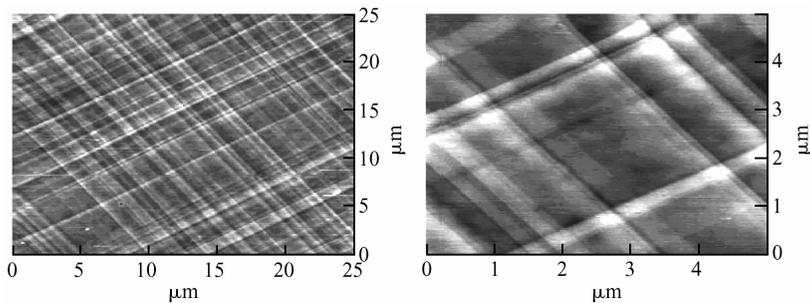
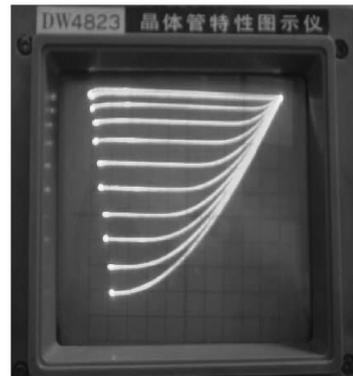


图 3 AFM 测量结果

Fig.3 AFM photos of the samples

图 4 和图 5 是应变 Si 和同等条件下的体 Si pMOSFET I - V 输出特性曲线.从图中可以看出,应变 Si pMOSFET 的 I_d 曲线比体 Si 的要平坦,意味着其输出阻抗较大,这非常有益于模拟集成电路设计.对于低的沟道掺杂浓度(10^{16} cm^{-3}), $V_T = -0.4 \text{ V}$,如图 6 所示.

利用公式 $I_{ds} = -\frac{1}{2} (W/L) \mu_p C_{ox} (V_{gs} - V_{th})^2$,可以得到饱和跨导 $G_m = \frac{\Delta I_{ds}}{\Delta V_{gs}}$.图 7 是应变 Si pMOSFET 和体 Si pMOSFET 饱和跨导比较.从图中可以看出,在较宽的 V_{gs} 范围,应变 Si pMOSFET 的饱和跨导是一个常数; $V_{gs} = 3 \text{ V}$ 时,应变 Si

图 4 应变 Si pMOSFET I - V 输出特性曲线Fig.4 I - V characteristics of the strained Si pMOSFET

pMOSFET 的饱和跨导是体 Si 的 2 倍.

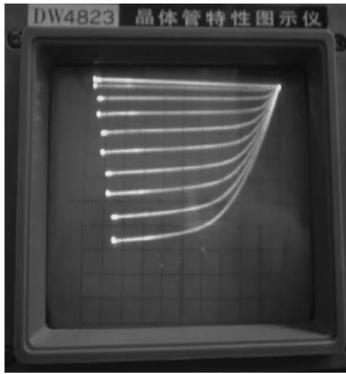


图 5 体 Si pMOSFET I - V 输出特性曲线

Fig.5 I - V characteristics of the bulk Si pMOSFET



图 6 I_{ds} - V_{gs} 曲线

Fig.6 I_{ds} - V_{gs} characteristics

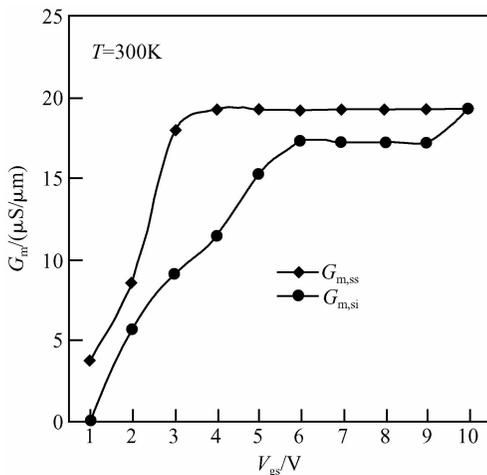


图 7 饱和跨导比较 $W/L = 52\mu\text{m}/4.5\mu\text{m}$

Fig.7 G_m versus V_{gs} with $W/L = 52\mu\text{m} / 4.5\mu\text{m}$

而迁移率之比为

$$\frac{\mu_{p,ss}}{\mu_{p,si}} = \frac{I_{ds,ss}}{I_{ds,si}} \times \frac{(V_{gs,si} - V_{th,si})^2}{(V_{gs,ss} - V_{th,ss})^2}$$

式中 $\mu_{p,ss}$, $\mu_{p,si}$ 分别代表应变 Si 和体 Si 的空穴迁移率. 图 8 是应变 Si pMOSFET 和体 Si pMOSFET 的沟道迁移率比较. 当 V_{gs} 在 3.5~4.0V 范围时, 应变 Si pMOSFET 的迁移率比体 Si pMOSFET 提高了 25%.

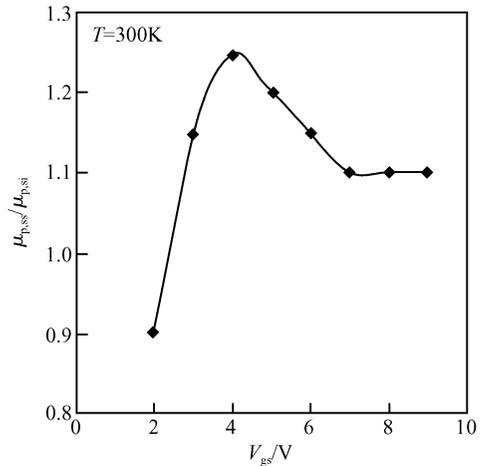


图 8 迁移率比较

Fig.8 Comparison of the hole mobility

5 结束语

本文介绍了一种新颖的应变 Si 沟道 pMOSFET 制作技术, 通过分子束外延 LT-Si 的引入, 大大减小了 SiGe 完全弛豫所需的厚度, 节约了制造成本, 同时有利于器件的散热. 器件测试结果表明, 与相同条件下的 Si pMOSFET 相比, 应变 Si pMOSFET 的跨导和迁移率都有较大的提高.

参考文献

- [1] Rim K, Hoyt J L, Gibbons J F. Fabrication and analysis of deep submicron strained-Si N-MOSFET's. IEEE Trans Electron Devices. 2000, 47(7): 1406
- [2] Meyerson B S. UHV/CVD growth of Si and Si : Ge alloys: chemistry, physics, and device application. Proceeding of the IEEE. 1992, 80(10): 1592
- [3] Chen H, Guo L W, Cui Q, et al. Low temperature buffer layer for growth of a low-dislocation-density SiGe layer on Si by molecular-beam epitaxy. J Appl Phys, 1996, 79: 1167

A Novel Strained Si Channel Heterojunction pMOSFET

Zhang Jing^{1,2,†}, Xu Wanjing^{1,2}, Tan Kaizhou^{1,2}, Li Rongqiang^{1,2}, Li Kaicheng¹,
Liu Daoguang^{1,2}, and Liu Luncai^{1,2}

(1 *National Key Laboratory of Analog IC's, Chongqing 400060, China*)

(2 *The 24 Institute of CETC, Chongqing 400060, China*)

Abstract: A novel MBE-grown method using low-temperature (LT) Si technology is introduced into the fabrication of strained Si channel heterojunction pMOSFETs. By sandwiching a low-temperature Si layer between Si buffer and SiGe layer, the strain relaxation degree of the SiGe layer is increased. At the same time, the threading dislocations (TDs) are held back from propagating to the surface and result in a TD density less than 10^6 cm^{-2} . The LT-Si technology also reduces the thickness of relaxed $\text{Si}_{1-x}\text{Ge}_x$ epitaxial layer from several μm using UHVCVD to less than 400 nm ($x = 0.2$), which will improve the heat dissipation of devices. AFM tests of strained Si surface show RMS is less than 1.02 nm. The I - V measurements indicate that hole mobility has an enhancement of 25% compared to similarly processed bulk Si pMOSFET.

Key words: strained Si; SiGe; heterojunction field effect transistor; molecular beam epitaxy; relaxed

PACC: 7340N

Article ID: 0253-4177(2006)S0-0235-04

† Corresponding author. Email: zhangj1009@tom.com

Received 10 December 2005, revised manuscript received 29 December 2005

©2006 Chinese Institute of Electronics