

100V 高压 pMOS 器件研制*

宋李梅[†] 李桦 杜寰 夏洋 韩郑生

(中国科学院微电子研究所, 北京 100029)

摘要: 研制出适用于 100V 高压集成电路的厚栅氧高压 pMOS 器件. 在器件设计过程中利用 TCAD 软件对器件结构及性能进行了模拟和优化, 开发出与 0.8 μm n 阱标准 CMOS 工艺兼容的高压工艺流程, 并试制成功. 实验结果表明, 该器件关态击穿电压为 -158V, 栅压 -100V 时饱和驱动电流达 17mA ($W/L = 100\mu\text{m}/2\mu\text{m}$), 可以在 100V 高压下安全工作.

关键词: 高压集成电路; LDMOS; 厚栅氧
EEACC: 2560P

中图分类号: TN386.1 文献标识码: A 文章编号: 0253-4177(2006)S0-0275-04

1 引言

包含高压信号处理的高压小电流低功率系统, 即通常所说的高压集成电路, 近几年被广泛应用于平板显示驱动、通讯电路以及汽车电子等领域^[1]. 在这些应用中, 低压 CMOS 控制逻辑电路执行大部分的信号处理, 而其输出通过包含高压器件的高压驱动电路被提升到了一个高电压水平. 高压集成电路作为一个完整的微电子系统, 高压器件应与处理输入信号的低压器件互相兼容并集成在同一芯片上.

高压集成电路的驱动部分一般为电平转换电路, 它的功能为把低压控制电路输出的低压信号转换为高压驱动信号. 其中的高压 pMOS 器件漏源工作电压 (V_{ds}) 和栅源工作电压 (V_{gs}) 均为高电压.

本文着重对高压驱动电路中的高压 pMOS 器件进行了设计与研制. 首先通过工艺与器件模拟软件对器件结构以及特性进行模拟和优化, 设计出与 0.8 μm n 阱标准 CMOS 工艺兼容的制造工艺流程, 并在中国科学院微电子研究所生产线上流片成功. 测试结果表明, 该高压 pMOS 器件可以在 100V 的栅源和漏源电压下安全工作, 能够满足显示驱动电路对于器件的要求.

2 器件结构设计与工艺实现

高压 pMOS 器件采用 LDMOS (lateral dual-diffused MOS) 结构, 如图 1 所示. 这种结构易于实现较高的源漏击穿电压, 而且由于器件的漏极、源极

和栅极都在芯片表面, 易于通过内部连接与标准低压 CMOS 电路集成^[2]. 由于标准 CMOS 工艺为 p 型硅衬底材料, 因此高压 pMOS 器件需制作在一个 deep n well 里. HVpwell 和 nwell 分别为器件的漂移区和沟道区. 由于该器件需在高栅源电压下工作 ($V_{gs} = -100\text{V}$), 需要采用厚栅氧工艺实现.

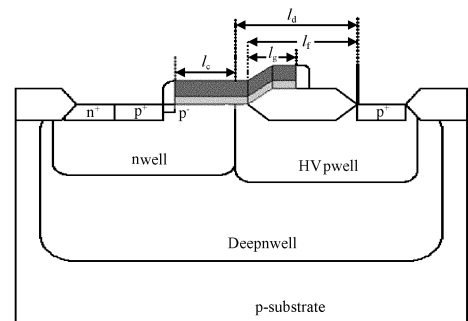


图 1 高压 pMOS 器件截面图

Fig.1 Cross-sectional view of proposed HVpMOS

用 TSUPREM4^[3] 对上述器件结构进行工艺模拟, 在模拟过程中不断调整工艺参数 (掺杂浓度、推阱时间等) 以及结构参数 (漂移区长度 l_d 、沟道长度 l_c 等), 并把模拟结果输入到 MEDICI^[2] 中进行特性仿真, 确定满足设计要求的工艺参数和器件结构. 在保证器件耐压特性的同时, 又必须兼顾到它的驱动能力以及阈值电压等. 通过模拟分析, 得到主要工艺参数: 栅氧厚度为 200nm, 沟道长度为 2 μm , 漂移区长度为 9.5 μm .

* 国家重点基础研究发展计划资助项目 (批准号: 2003CB314705)

[†] 通信作者. Email: jessieslm@hotmail.com

2005-10-11 收到, 2006-01-10 定稿

2.1 Deepwell 的设计考虑

在制作高压 p 管的沟道区和漂移区之前,必须先做一个深的 n 阱.由于高压 p 管的漏端工作电压在 -100V,所以 deepwell 的结深需要在 10 μm 以上.此外 deepwell 注入的面密度对器件的源漏击穿电压有影响,注入浓度过高,器件的击穿电压越下降,浓度过低,则使 deepwell 过早耗尽,不利于器件在高压下工作.经过模拟优化,确定 deepwell 的最优工艺条件为:注入能量 150keV, $6 \times 10^{12} \text{cm}^{-2}$ 的 P⁺ 注入剂量,在 1170 $^{\circ}\text{C}$ 高温推阱 3000min.模拟结果表明该阱的结深为 12.8 μm ,实验测试结果阱深为 13.2 μm 左右,能够满足高压 pMOS 器件在高压下工作的要求.

2.2 漂移区的设计考虑

如何提高击穿电压是研制高压 MOS 器件的关键.提高器件的击穿电压主要在于提高漏源击穿电压,即提高漏衬 pn 结的雪崩击穿电压.漏衬结的击穿是由沟道附近漏端的高电场引起的雪崩击穿,所以提高器件的击穿电压就必须减弱漏端附近的高电场.对于 LDMOS 结构,器件在高压工作时,高阻漂移区可以承担大部分的漏源电压,从而提高器件的耐压特性.所以漂移区的设计是决定器件击穿特性的首要因素.

漂移区的长度以及浓度分布是决定器件击穿特性的关键参数.漂移区的长度越长,结深越深,器件的击穿电压越高,但是漂移区长度太长,漂移区电阻很大,会使器件的驱动能力下降,所以在一定漂移区长度下实现击穿电压的最优化是工艺优化的关键.综合以上因素,设定漂移区长度为 9.5 μm .在此基础上,根据 RESURF^[3] (reduced surface field) 技术对漂移区浓度进行优化,器件的击穿电压随漂移区注入浓度的变化关系如图 2 所示.图中可以看出,漂移区的注入面密度为 $1.2 \times 10^{13} \text{cm}^{-2}$ 时,击穿电压

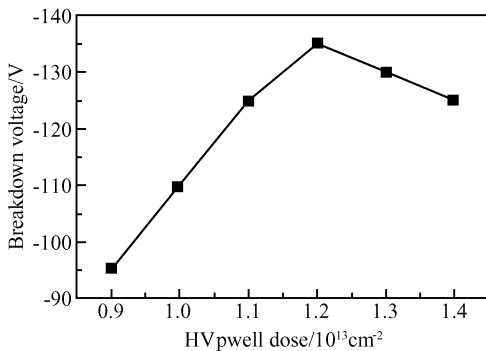


图 2 击穿电压随漂移区注入剂量变化趋势

Fig.2 Breakdown voltage versus drift region implant dose

最高.此时漂移区的电势分布如图 3 所示.可见器件的等势线分布均匀,漂移区刚好全耗尽,电场分布均匀,器件的击穿特性达到最优.

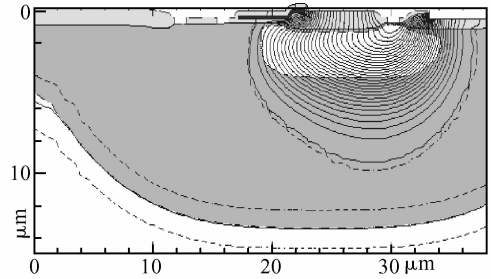


图 3 击穿时器件的等电势分布

Fig.3 Equipotential contours of HVpMOS at breakdown points

2.3 沟道区的设计考虑

由于器件在 100V 的高压下工作,除了由电离积分引起的雪崩击穿以外,还必须考虑由于源漏耗尽区相接引起的击穿电压的下降. LDMOS 结构设计一个 nwell 做为高压 pMOS 的沟道区可以有效地防止器件在高压工作时发生源漏穿通现象.图 4 (a), (b) 分别表示了 nwell 做沟道区和没有沟道区两种情况下,高压 pMOS 在 $V_{ds} = -100\text{V}$ 工作时的耗尽层分布.从图 4(b) 中可以看出漏端的耗尽区与源端相接,这样会使源衬势垒降低.即使器件处在截止的栅源偏压之下,漏源之间也会有很大的电流,栅失去了对漏电流的控制,使器件无法正常工作.图 4(a) 则可以避免源漏穿通对击穿特性的影响.此外,

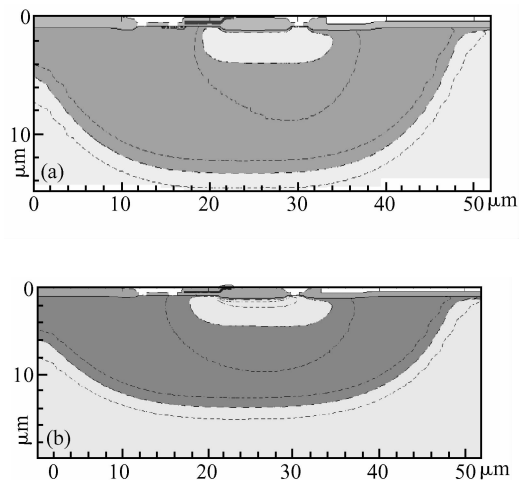


图 4 高压 p 管在 $V_{ds} = -100\text{V}$ 工作时的耗尽层分布 (a) 加 nwell; (b) 不加 nwell

Fig.4 Depletion distribution of HVpMOS device (a) With an nwell for channel region; (b) Without nwell

合理调整 HVpwell 以及 nwell 的注入剂量, 可以使高压 p 管的阈值控制在 -10V 左右, 因此在设计高压 p 管的工艺流程时不需要添加阈值调整工序。

2.4 制备工艺

根据上述模拟结果, 通过添加 3 层掩模板 (deepnwell, HVpwell, nwell) 以及有限次的工艺步骤, 设计了可与 $0.8\mu\text{m}$ n 阱标准 CMOS 工艺高压相兼容的 pMOS 器件的工艺流程, 其主要工序如下, 具体制备方法已经在文献[5]中详细介绍。

(1)Deepwell 的形成; (2)HVnwell 和 pwell 的形成; (3)LOCOS 工艺; (4)厚栅氧化; (5)多晶淀积并刻蚀, 厚栅氧刻蚀, 形成多晶硅栅; (6)ldd 注入; (7)淀积 TEOS, 并反刻形成侧墙; (8)源漏注入; (9)快速热退火 (RTA); (10)淀积 LTO; (11)形成接触孔 (contact); (12)金属化, 形成互连线。

3 器件特性分析

根据上述设计的与 $0.8\mu\text{m}$ 标准低压 CMOS 工艺相兼容的高压 pMOS 器件工艺流程, 在中国科学院微电子研究所生产线流片成功。利用 KEITHLEY4200-SCS (semiconductor character-

ization system)^[6] 半导体测试仪对器件特性进行分析, 测得器件的关态击穿电压为 -158V , 阈值电压为 -9.0V 。测试曲线如图 5 所示。从图 5(a) 中的实验测试击穿特性曲线可以看出, 在击穿点 -158V 处, 曲线陡直, 器件的漏电流很小, 证明器件具有很好的亚阈值特性, 击穿是由于高压下的雪崩倍增效应引起的。图 6 为器件的输出特性曲线, 当 $V_{\text{gs}} = -100\text{V}$ 时, 器件的饱和驱动电流为 17mA ($W/L = 100\mu\text{m}/2\mu\text{m}$)。以上测试数据表明, 该器件能够在 100V 的电压下安全工作, 可以满足驱动电路高压大电流的工作需求。

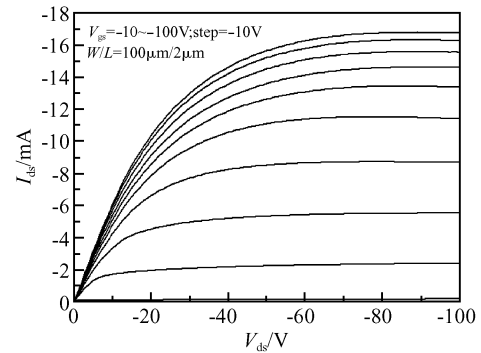


图 6 高压 p 管输出特性

Fig.6 Output characteristics of HVpMOS

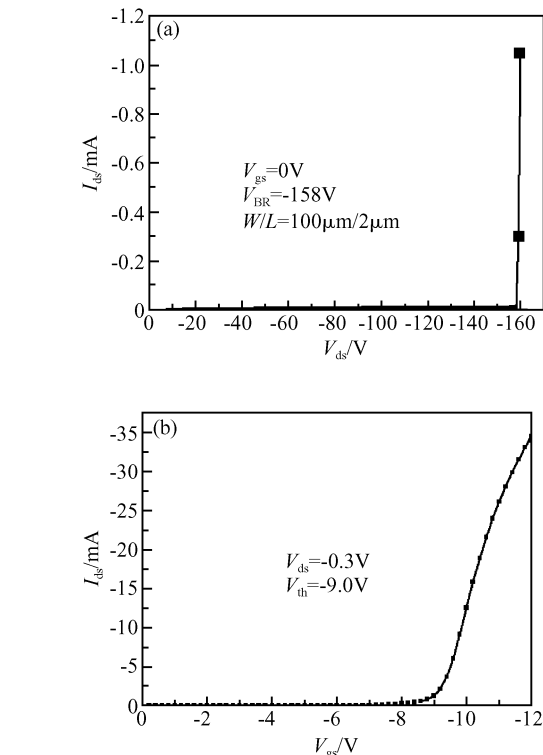


图 5 高压 p 管测试特性 (a) 击穿特性; (b) 转移特性

Fig.5 Test characteristics of HVpMOS (a) Break-down characteristics; (b) Transfer voltage-current characteristics

4 结论

结合中国科学院微电子研究所 $0.8\mu\text{m}$ n 阱标准 CMOS 工艺, 设计并成功研制出了用于场发射平板显示 100V 高压驱动电路的厚栅氧 pMOS 器件。该器件的关态击穿电压达到 -158V , 栅压为 -100V 时的输出饱和驱动电流达 17mA ($W/L = 100\mu\text{m}/2\mu\text{m}$), 并具有很好的亚阈值特性。实验结果表明, 该器件可以在 100V 的栅源和漏源电压下安全工作。

参考文献

- [1] Liu Kuiwei, Han Zhengshen, Qian He. Fabrication of thin gate oxide high-voltage CMOS. Chinese Journal of Semiconductors, 2004, 25(5): 568 (in Chinese) [刘奎伟, 韩郑生, 钱鹤. 薄栅氧高压 CMOS 器件研制. 半导体学报, 2004, 25(5): 568]
- [2] Chen Xingbi. Power MOSFET and high voltage IC. Nanjing: Southeast University Press, 1990: 225 (in Chinese) [陈星弼. 功率 MOSFET 与高压集成电路. 南京: 东南大学出版社, 1990: 225]
- [3] Ludikhuize A W. A review of RESURF technology. ISPSD, Toulouse, France, 2000
- [4] TCAD manual, TSUPREM-4 Version 6.6 MEDICI Version 4.1
- [5] Li Hua, Song Limei, Du Huan, et al. Study of dual gate oxide

technology in CMOS process. *Microelectronics & Computer*, 2005, 22(11):5 (in Chinese) [李桦, 宋李梅, 杜寰, 等. 双栅氧

CMOS 工艺研究. *微电子学与计算机*, 2005, 22(11):5] [6] Keithley 4200SCS manuals

Development of High Voltage pMOS Devices*

Song Limei[†], Li Hua, Du Huan, Xia Yang, and Han Zhengsheng

(*Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China*)

Abstract: A high voltage pMOSFET (HVpMOS) applied for 100V high voltage integrated circuit is designed and successfully fabricated based on the standard $0.8\mu\text{m}$ CMOS technology developed by the Institute of Microelectronics, Chinese Academy of Sciences. The breakdown voltage of the HVpMOS is -158V , and the output current reaches about 17mA for the device with $W/L = 100\mu\text{m}/2\mu\text{m}$ when gate bias is -100V . Experiment results demonstrate that the HVpMOS devices can work safely at an operation voltage of 100V .

Key words: HVIC; LDMOS; thick gate oxide

EEACC: 2560P

Article ID: 0253-4177(2006)S0-0275-04

* Project supported by the State Key Development Program for Basic Research of China (No. 2003CB314705)

[†] Corresponding author. Email: jessieslm@hotmail.com

Received 11 October 2005, revised manuscript received 10 January 2006