

高速 12 位 D/A 转换器^{*}

李荣强^{1,2,†} 刘道广^{1,2,3} 严刚^{1,2} 何开全^{1,2} 刘玉奎^{1,2} 谭开州^{1,2} 张静^{1,2}
杨秋冬^{1,2} 钟怡^{1,2} 舒曼^{1,2} 徐婉静^{1,2} 徐世六^{1,2}

(1 国家模拟集成电路重点实验室, 重庆 400060)

(2 中国电子科技集团公司第 24 研究所, 重庆 400060)

(3 清华大学微电子学研究所, 北京 100084)

摘要: 介绍了高速 12 位 D/A 转换器的电路设计, 采用 $2\mu\text{m}$ 等平面高速双极工艺, 研制出数据更新率 $\geq 80\text{MHz}$, 线性误差 $\leq 3\text{LSB}$, 微分非线性 $\leq 3\text{LSB}$ 的 12 位 D/A 转换器电路。

关键词: D/A 转换器; 线性误差; 数据更新率

EEACC: 2500; 2520; 2560J

中图分类号: TN431

文献标识码: A

文章编号: 0253-4177(2006)S0-0365-05

1 引言

随着技术发展和产品性能要求的提高, D/A 转换器不断开发出新结构、新技术以及多种结构的优化组合, 最大限度地发挥着高速、高精度 D/A 转换器的作用^[1,2]。从结构分该转换器主要有基准分压结构、电容权电流结构、电阻权电流结构、电阻-电容组合权电流结构、R-2R 网络结构、有源电阻网络结构、分段组合结构和 $\Sigma-\Delta$ 过采样结构^[3,4]。

在工艺技术方面, 用于制造 A/D, D/A 转换器的加工工艺几乎涉及到双极型 (Bipolar), CMOS, SOI, SiGe 以及 BiCMOS, SiGe BiCMOS 等所有半导体工艺技术, 其中线性技术公司的互补双极 (CBiP), AD 公司的超高速互补双极 (XFCB) 都是硅基在 20 世纪 90 年代初的典型工艺^[5~7]。90 年代中后期, 为了满足 A/D, D/A 转换器高速、高分辨率和低功耗的要求, 基于双极 CMOS 兼容 (BiCMOS) 和互补双极 CMOS 兼容工艺 (CBiCMOS) 研究的 A/D, D/A 转换器逐年增加, 尤其是基于美国 ADI 公司的先进 BiCMOS 工艺的 A/D, D/A 转换器产品具有较高的性能指标。在国内 A/D 和 D/A 转换器的研究水平还比较低, 因此, 作者采用 $2\mu\text{m}$ 等平面高速双极工艺, 开发出高速 12 位 D/A 转换器是非常必要的。

2 关键单元电路设计

2.1 TTL 转 ECL 单元电路

图 1 为 12 位高速 D/A 转换器总体电路结构图。为了设计出高速 12 位 D/A 转换器, 我们将其内部信号传输及转换单元电路设计为 ECL 电路结构。而在整机的电路应用场合中, TTL 逻辑占有极大份额。因此, 我们为 12 位高速 D/A 转换器设计了 13 个 TTL 转 ECL 的接口单元电路。它们将 12 位数据输入端和锁存器使能端的 TTL 逻辑输入信号转换为 ECL 逻辑信号, 送至该 12 位高速 D/A 转换器的译码、驱动单元电路及透明锁存器单元电路。图 2 是 TTL 转 ECL 单元电路图。

2.2 译码驱动单元电路

为了使该 12 位高速 D/A 转换器在高速工作情况下, 具有高精度、低失真的特性, 我们运用译码、分裂技术将其高四位设计为 4~15“温度计译码”结构, 低八位设计为直接驱动结构。由于该 12 位高速 D/A 转换器的高四位权电流之和约占整个电路输出满度电流的 93.8%, 因此, 高四位的精度、失真度是影响整个电路该两项性能的主要因素。将高四位以 4~15“温度计译码”结构译码, 分裂为 15 路开关, 将大大提高高四位的精度并降低其毛刺脉冲。图 3 是 4~15“温度计译码”单元电路图。

^{*} 国防预先研究资助项目

[†] 通信作者, Email: lirqlrq@163.com

2005-10-13 收到, 2006-01-11 定稿

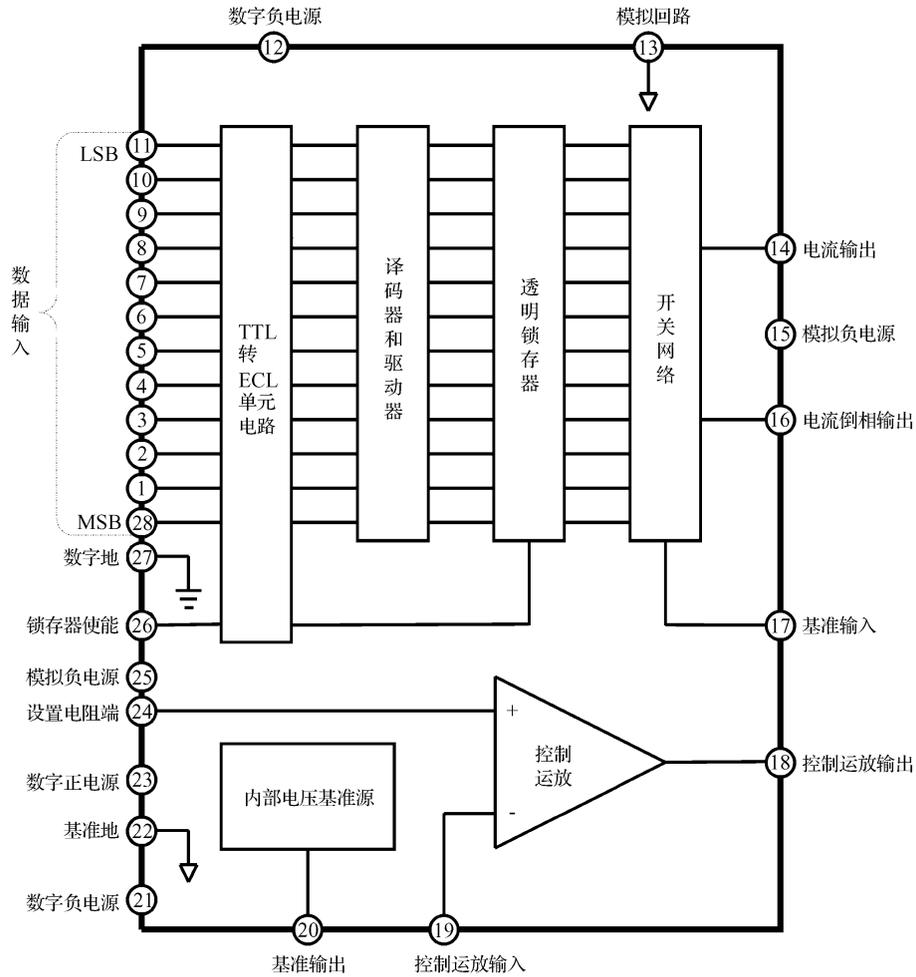


图 1 12 位高速 D/A 转换器总体电路结构图

Fig.1 Schematic diagram of 12bit high-speed D/A converter

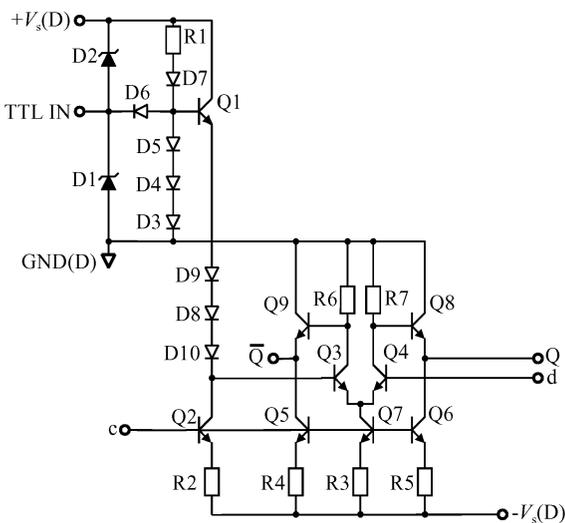


图 2 TTL 转 ECL 单元电路

Fig.2 Conversion of TTL into ECL unit circuits

从图 3 可知,高四位 4~15“温度计译码”电路皆由 ECL 或门、或非门单元电路组成,且在其 15 路译码输出单元中,信号输入至信号输出皆经过 3 级 ECL 或门、或非门单元电路。

由于该 12 位高速 D/A 转换器的低八位权电流之和只占整个电路输出满度电流的 6.2%,因此,低八位的精度、失真度对整个电路该两项性能的影响较小.综合电路芯片尺寸及工艺具体制作等情况,我们将低八位设计为直接驱动结构,图 4 为低八位直接驱动单元电路图。

从图 4 可知,低八位直接驱动电路由 ECL 非门单元电路组成,且在此电路中,信号输入至信号输出要经过三级 ECL 非门单元电路。

如前所述,高四位 4~15“温度计译码”电路运用 ECL 或门、或非门单元电路实现 4~15“温度计译码”逻辑功能,每路输出都经过了三级级连.为了获得一个相对于高四位的等效数据传输延迟,低八位直接驱动电路也设计为三级 ECL 非门单元电路级连结构.这样,12 位数据输入信号便可同时到达

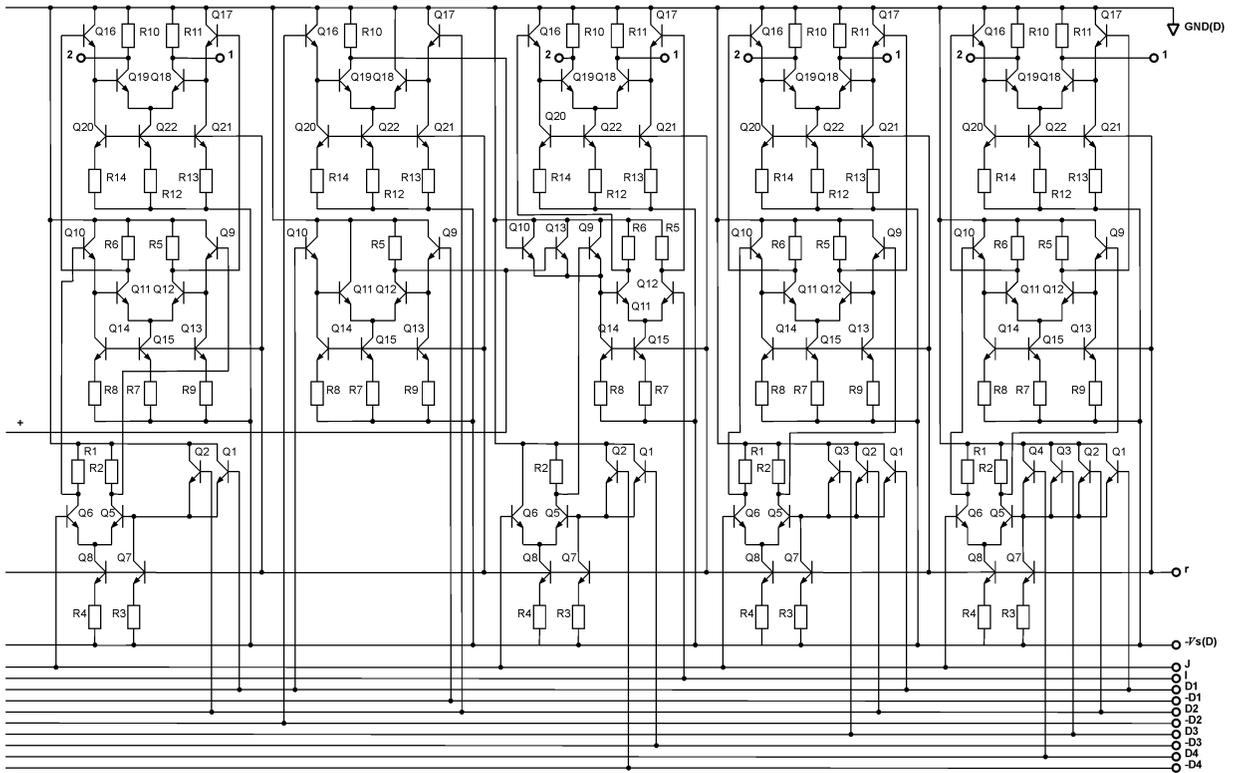


图 3 高四位 4~15“温度计译码”单元电路图

Fig.3 Schematic diagram of upper 4-digit 4~15 “thermometer decoding” unit

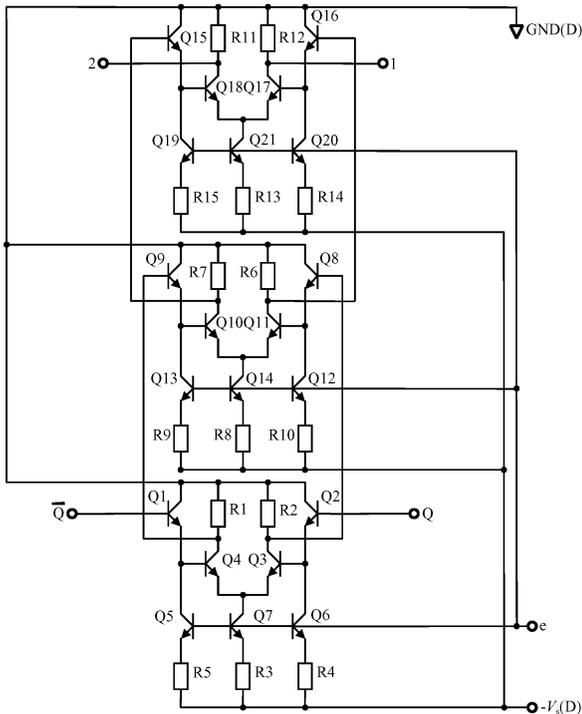


图 4 低八位直接驱动单元电路图

Fig.4 Schematic diagram of lower 8-digit direct driving unit

透明锁存器的输入端,减小了在透明锁存器输入端的数据时滞及数据建立和保持时间.此等效数据传输延迟的运用大大减小了该 12 位高速 D/A 转换器的毛刺脉冲.

综上所述,我们设计的高四位 4~15“温度计译码”电路结构和低八位、低八位间等效数据传输延迟保证了该 12 位高速 D/A 转换器的高精度、低失真特性.

3 工艺方案

3.1 器件结构的选择

器件结构采用 2μm 等平面高速双极器件结构,其结构图如图 5 所示.

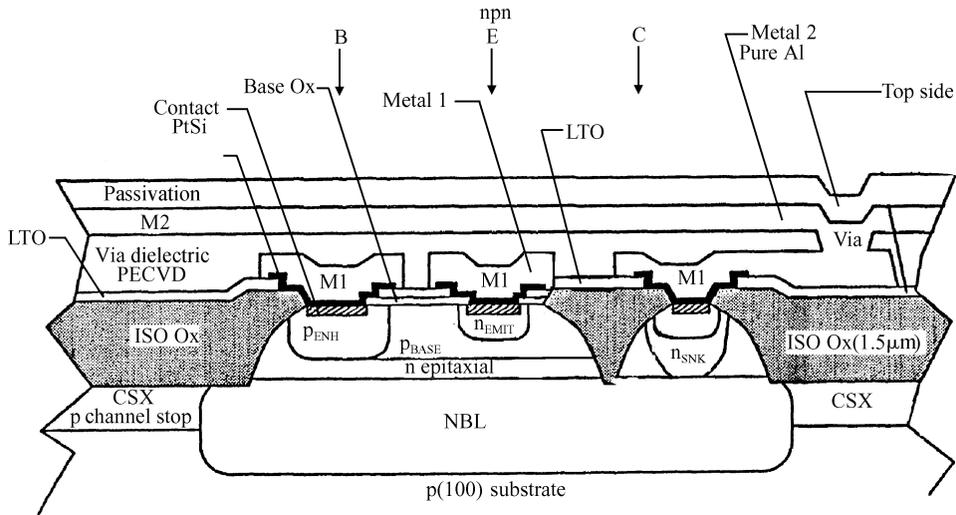
3.2 工艺流程

n 型埋层→沟阻下隔离→外延→高压氧化上隔离→n⁺ 穿透集电极→基区注入→全孔→电阻注入→发射区注入→退火→PtSi→1 次金属布线→PE-SiO₂ 介质→2 次金属布线→钝化.

3.3 关键工艺

3.3.1 “平坦化”技术

在氧化物隔离工艺中,用作局部氧化物隔离的

图 5 $2\mu\text{m}$ 等平面高速双极器件Fig.5 $2\mu\text{m}$ isoplanar, high-speed bipolar device

LOCOS 结构或深槽隔离结构, 因为“鸟嘴”或填充物突起, 造成一次布线的连条或断条; 在第二层布线时, 由于第一层布线表面的不平整, 使层间介质容易在一层布线边缘处不连续, 从而使第一层与第二层布线短路, 这严重影响器件的成品率和可靠性. 为解决这两层布线在“鸟嘴”处的断条和连条问题, 需要采用“平坦化”工艺技术, 而且, 还要在版图设计中充分考虑刻蚀工艺的可实现性.

3.3.2 多层金属化技术

多层金属化工艺中采用了多层金属结构 Pt/Si/TiW/Al/Cu. Pt/Si 形成良好的欧姆接触层; TiW 是良好的阻挡层; Al/Cu 是良好的导电层. 在 PVD 工艺中都采用了反溅射工艺. 经过退火工艺形成较低的接触电阻和高可靠性的金属布线, 同时还形成良好的 Pt/Si 肖特基二极管. 另一方面, 严格控制接触孔的光刻质量, 在工艺中采用干法加湿法的方法很好地保证了 $2.0\mu\text{m}$ 孔的几何形状. 采用 (Pt/TiW/AlCu) 多层金属化彻底解决了浅结器件 V_{bc} 结软及穿通引起的失效和小尺寸 ($2\mu\text{m} \times 3.0\mu\text{m}$) 欧姆接触的难题.

4 结论

研制出芯片如图 6 所示的数据更新率 $\geq 80\text{MHz}$, 线性误差 $\leq 3\text{LSB}$, 微分非线性 $\leq 3\text{LSB}$ 的 12 位 D/A 转换器电路. 在工艺上解决了“平坦化”和多层金属等技术问题.

参考文献

[1] Washio K. SiGe HBT and BiCMOS technologies for optical

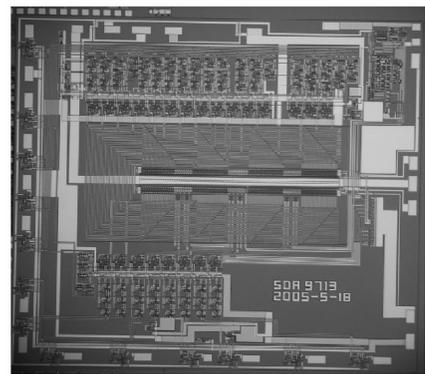


图 6 12 位 D/A 转换器芯片图

Fig.6 12bit D/A converter chip

transmission and wireless communication systems. IEEE Trans Electron Devices, 2003, 50(3): 656

- [2] Yamaguchi T, Yuzuriha T H. Process integration and device performance of a submicrometer BiCMOS with 16-GHz f_T double poly-bipolar devices. IEEE Trans Electron Devices, 1989, 36(5): 890
- [3] Ito A, Church M D. A fully complementary BiCMOS technology for 10V mixed-signal circuit applications. IEEE Trans Electron Devices, 1994, 41(7): 1149
- [4] Wang Chongkuang, Huang Pochiun, Huang Chenyi. A BiCMOS limiting amplifier for SONET OC-3. IEEE J Solid-State Circuits, 1996, 31(8): 1197
- [5] Ideda T, Watanabe A. High-speed BiCMOS technology with a buried twin well structure. IEEE Trans Electron Devices, 1987, 34(6): 1304
- [6] Sung J M, Chiu T Y. A high performance super self-aligned 3V/5V BiCMOS technology with extremely low parasitics for low-power mixed-signal applications. IEEE Trans Electron Devices, 1995, 42(4): 513
- [7] Nii H, Yoshino C. An 0.3 μm Si epitaxial base BiCMOS technology with 37-GHz- f_{max} and 10-V BV_{ceo} for RF telecommunication. IEEE Trans Electron Devices, 1999, 46(4): 712

Study on High-Speed Digital-to-Analog Converter Based on BiCMOS Technology*

Li Rongqiang^{1,2,†}, Liu Daoguang^{1,2,3}, Yan Gang^{1,2}, He Kaiquan^{1,2}, Liu Yukui^{1,2}, Tan Kaizhou^{1,2}, Zhang Jing^{1,2}, Yang Qiudong^{1,2}, Zhong Yi^{1,2}, Shu Man^{1,2}, Xu Wanjin^{1,2}, and Xu Shiliu^{1,2}

(1 National Laboratory of Analog Integrated Circuits, Chongqing 400060, China)

(2 China Electronics Technology Group Corporation, Sichuan Institute of Solid-State Circuits, Chongqing 400060, China)

(3 Institute of Microelectronics, Tsinghua University, Beijing 100084, China)

Abstract: The design of 12bit high-speed D/A converter was described in this study. By using $2\mu\text{m}$ isoplanar, high-speed bipolar process technology, the 12bit D/A converter circuit has been developed. The performance of the converter is as follows: the refresh rate $\geq 80\text{MHz}$, linear error $\leq 3\text{LSB}$, differential nonlinearity $\leq 3\text{LSB}$.

Key words: D/A converter; linear error; refresh rate

EEACC: 2500; 2520; 2560J

Article ID: 0253-4177(2006)S0-0365-05

* Project supported by the National Defense Advanced Research Program

† Corresponding author. Email: lirqlrq@163.com

Received 13 October 2005, revised manuscript received 11 January 2006