

薄栅介质陷阱密度的求解和相关参数的提取^{*}

刘红侠 郝 跃

(西安电子科技大学微电子研究所, 西安 710071)

摘要: 采用恒定电流应力对薄栅氧化层 MOS 电容进行了 TDDB 评价实验, 提出了精确测量和表征陷阱密度及累积失效率的方法. 该方法根据电荷陷落的动态平衡方程, 测量恒流应力下 MOS 电容的栅电压变化曲线和应力前后的高频 C-V 曲线变化求解陷阱密度. 从实验中可以直接提取表征陷阱的动态参数. 在此基础上, 可以对器件的累积失效率进行精确的评估.

关键词: 薄栅氧化膜; 经时击穿; 陷阱密度; 累积失效率

PACC: 7360H; 0710; 7220J

中图分类号: TN406

文献标识码: A

文章编号: 0253-4177(2002)09-0952-05

1 引言

集成电路的可靠性评估和改进是集成电路发展中的重要课题, 越来越多的失效模式和机理研究得到了充分的重视. 只有基于对失效机制的充分认识和击穿特性的精确表征及建模, 集成电路可靠性的评估和改善才能成为可能. 薄栅氧化层的经时击穿 (TDDB) 特性是影响 CMOS 集成电路的一个重要因素^[1~7], 因此工程上要采用一定的方法对超薄氧化层的特性加以监测和控制. 研究陷阱密度变化的规律, 是研究薄栅氧化层经时击穿的一个重要方面. 对于某一特定的氧化工艺, 确定陷阱密度的正确统计分布的方法以及表征缺陷对超薄栅氧化层失效率影响的适当途径, 仍然是没有完全解决的问题^[8,9].

本文采用恒定电流应力对超薄栅氧化层 MOS 测试结构进行了 TDDB 评价实验, 提出了精确测量表征陷阱密度和累积失效率的方法. 实验表明这种方法方便而且具有较高的精度.

2 薄栅介质陷阱密度的求解

薄栅氧化层中的电荷陷落机理可能是电子陷阱俘获电子, 也可能是空穴陷阱俘获空穴. 以电子陷阱为例, 电子陷阱与 SiO₂ 导带、价带交换电子的过程有两个:

(1) 被电子占据的电子陷阱向 SiO₂ 导带发射电子:

设每个被电子占据的电子陷阱单位时间内向 SiO₂ 导带发射电子的几率为 e_n , 单位时间内被电子占据的电子陷阱密度为 n_t , 由此过程引起的 n_t 减少为:

$$\frac{dn_t}{dt} = -e_n n_t \quad (1)$$

这里假设 SiO₂ 导带中的能态全为空态, 不影响电子陷阱向导带发射电子.

(2) 未被电子占据的电子陷阱从 SiO₂ 导带俘获电子:

设未被电子占据的电子陷阱单位时间从导带俘获电子的几率为 c_n , 电子陷阱的总密度为 N_T , 被电

^{*} 国家高技术研究与发展计划资助项目 (No. 863-S0C-Y-3-6-1)

刘红侠 女, 1968 年出生, 副教授, 博士, 主要从事 VLSI 集成电路 MOS 器件高场退化机理、模型及薄栅介质可靠性设计研究.

郝 跃 男, 1958 年出生, 教授, 博导, 主要从事 VLSI 集成电路可靠性设计、深亚微米器件表征和建模、新器件与电路研究.

2001-11-13 收到, 2002-01-16 定稿

©2002 中国电子学会

(C)1994-2023 China Academic Journal Electronic Publishing House. All rights reserved. http://www.cnki.net

子占据的电子陷阱密度为 n_t , SiO_2 导带中电子密度为 n , 此过程引起的 n_t 的增加为:

$$\frac{dn_t}{dt} = c_n n (N_T - n_t) \quad (2)$$

结合(1)、(2)式, n_t 的变化率为:

$$\frac{dn_t}{dt} = c_n n (N_T - n_t) - e_n n_t \quad (3)$$

设初始条件为: $t=0$ 时, 被电子占据的陷阱密度为 $n_t(0)$; 则由方程(3)解得, t 时刻被电子陷阱俘获的电子数为:

$$n_t = N_T + (n_t(0) - N_T) e^{-Bt} \quad (4)$$

式中 N_T 为介质膜内原有陷阱总密度; $n_t(0)$ 为电应力开始时被电子占据的陷阱密度; $B = e_n + c_n n$, e_n 、 c_n 分别是电子陷阱发射电子与俘获电子的几率. 注入的电流会在 SiO_2 中不断产生新的电子陷阱, 设每注入一个电子产生电子陷阱的几率是 r , 注入电荷密度为 $j(t)$, 对恒流应力(4)式可修正为:

$$n_t = \frac{rj(t)}{q} + N_T + (n_t(0) - N_T) e^{-Bt} \quad (5)$$

向 MOS 电容注入恒定电流, 由于电荷陷落及注入 SiO_2 的载流子在 SiO_2 中产生新的陷阱, 陷阱电荷密度的增加使得阴极附近的电场强度发生变化, 电场的变化可以改变注入电流的大小. 为保持恒定电流注入, 必须改变加在 MOS 电容两极之间的电压——栅电压 V_g . 近似认为 SiO_2 中的陷阱电荷成片状分布, 片电荷与硅衬底距离为 x , 根据电中性原理求得陷阱密度:

$$n_t(t) = \frac{\Delta V_g(t) \epsilon_s}{xq} \quad (6)$$

式中 $\Delta V_g(t)$ 表示恒定电流应力中栅电压的变化量; ϵ_s 为栅介质的介电常数; q 为电子电量. 恒流应力实验前后分别测出 MOS 电容的高频 $C-V$ 曲线, 可求出平带电压变化量 ΔV_{FB} .

$$\Delta V_{FB} = \frac{qn_t(d-x)}{\epsilon} \quad (7)$$

联立方程(6)和(7), 可求出整个注入过程中陷阱密度的增量 $n_t(t)$ 及荷心的位置 x . 在测量完陷阱电荷密度后, 从公式(5)可用计算机统计拟合方法进行相关参数提取.

实验采用的器件是无锡华晶公司提供的封装好的 NMOS 电容样品, 氧化层厚度为 20.5nm , 栅电极为铝, 面积大小为 $1.778 \times 10^{-3}\text{cm}^2$. 本实验使用的仪器是 HP 公司的高精度半导体参数分析仪

HP4156B 和 Keithley 仪器公司的 $C-V$ 测试仪. 在本实验中, 对样品所加的恒流是 $100\mu\text{A}$, 对应的电流密度是 $0.056\text{A}/\text{cm}^2$. 栅电压为正, 电流从栅极向栅氧化层注入. 对于同一样品, 分别在 100 、 200 、 300 和 400s 后测试恒流应力下栅电压随时间的改变和恒流应力前后 MOS 电容的高频 $C-V$ 曲线, 结果分别如图 1 和图 2 所示.

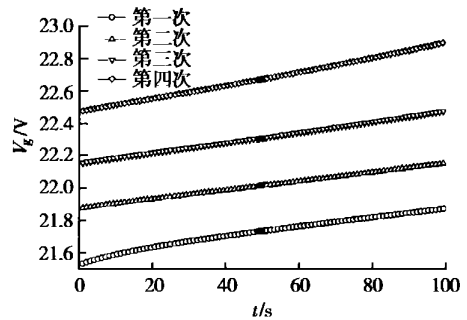


图 1 不同恒流应力下栅电压随时间的改变

Fig. 1 V_g-t curves after different constant current stress

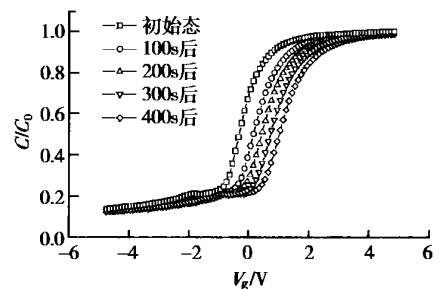


图 2 不同恒流应力下 MOS 电容的高频 $C-V$ 曲线

Fig. 2 High frequency $C-V$ curves of MOS capacitor after different constant current stress

恒流注入过程中, 栅电压不断增加, 说明电子不断的陷入氧化层, 这和高频 $C-V$ 曲线的测量结果相符合. 在恒定电流注入过程中, 负陷阱电荷密度随应力时间的增加而增加. 可以求出在开始 100s 中, 平带电压的变化量 $\Delta V_{FB} = 0.5\text{V}$, 栅电压的变化量 $\Delta V_g = 0.3392\text{V}$. 求得整个注入过程中陷阱密度的增量 $n_t = 0.80 \times 10^{12}/\text{cm}^2$. 用同样的方法, 可以求出第 200 、 300 和 400s 结束时, 平带电压的变化量 ΔV_{FB} , 栅电压的变化量 ΔV_g 和陷阱密度 n_t , 如表 1 所示.

表 1 样品在不同应力时间的 ΔV_{FB} 、 ΔV_g 和 n_t

Table 1 ΔV_{FB} , ΔV_g and n_t after different stress time

测量时间	$\Delta V_{FB}/V$	$\Delta V_g/V$	$n_t/10^{12} \text{ cm}^{-2}$
100s 后	0.51	0.3392	0.80
200s 后	0.82	0.6184	1.49
300s 后	1.11	0.9404	2.14
400s 后	1.43	1.3628	2.90

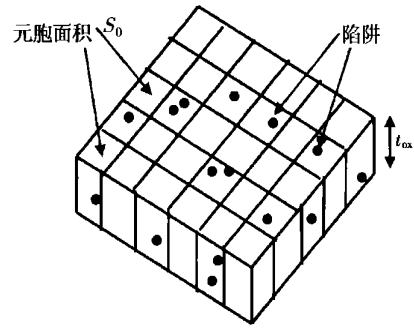


图 3 引发击穿的统计模型示意图

Fig. 3 Schematic of statistic model to induced breakdown

把不同时刻的陷阱密度代入公式(6)可求出 r , B , N_T 和 $n_t(0)$ 的值. 由于不同样品之间存在个体差异性, 对于上述 MOS 电容样品进行了大量的实验. 在本实验中, 对三十个 MOS 电容样品连续进行三十次测量, 对其进行统计分布, 发现该测量结果服从正态分布. 求出这三十次的统计平均值. 在提取相关参数时, 计算量很大, 编了一个计算机统计软件进行拟合求解. 求解的结果如下:

$$r = 1.36 \times 10^{-8}, \quad B = 5.97 \times 10^{-4},$$

$$N_T = 3.05 \times 10^{11} / \text{cm}^2, \quad n_t(0) = 1.09 \times 10^{11} / \text{cm}^2$$

实验发现 B 随注入电流密度的增大而减小, 可做如下解释: 注入电流密度越大, 相应的栅电压越高, 栅氧化层内的电场越高, 注入电子被加速而获得的能量越大, 陷阱越不容易俘获电子. 陷阱产生率 r 的数值随注入电流密度的增大而增大, 这是由于注入电流密度越大, 注入电子被加速而获得的能量越大, 因此产生陷阱的几率就越大.

3 薄栅介质累积失效率的计算

采用击穿的统计模型来分析栅氧化层的击穿. 由于击穿前通过介质的电子和空穴在介质中输运时会造成共价键断裂, 产生缺陷. 这些缺陷通过陷阱(包括界面态)体现出来, 因此用陷阱密度表示缺陷密度. 可以假设面积为 S_T 厚度为 t_{ox} 的氧化层电容是由 N 个面积为 S_0 的小元胞组成的, 如图 3 所示. 陷阱在氧化层中是随机产生的, 当某个单元中的陷阱数 n 达到临界陷阱数 n_{bd} 时, 该元胞中随机产生的陷阱会形成欧姆通道而导致击穿. 累积失效率为^[10]:

$$F(\bar{\rho}) = 1 - \left\{ \sum_{n=0}^{n_{bd}-1} \frac{(S_0 \bar{\rho}_{ox})^n \exp(-S_0 \bar{\rho}_{ox})}{n!} \right\}^N \quad (8)$$

在恒流应力条件下, 体陷阱密度 $\bar{\rho}$ 与应力时间 t 之间的关系为^[10]:

$$\bar{\rho}(t) = \bar{\rho}(0) + \frac{2 \epsilon_x V_{in}}{q t_{ox}} \left\{ \exp\left(\frac{t}{\tau}\right) - 1 \right\} \quad (9)$$

其中 $\bar{\rho}(0)$ 是原生体陷阱密度; V_{in} 为恒流应力对应的最初电压; τ 是由于新电子陷阱产生而存在的电压的驰豫特征时间. 在计算体陷阱密度时, 由于不能直接测量原生陷阱密度, 通常近似认为 $\bar{\rho}(0) = 0$. 本文提出的实验方法, 根据电荷陷落的动态平衡方程, 测量恒流应力下 MOS 电容的栅电压变化曲线和应力前后的高频 $C-V$ 曲线变化. 联立求解这两个方程, 不仅可以方便的测量出应力后的陷阱密度, 还可以利用计算机统计拟合软件精确的计算出原生陷阱密度. 对于公式(9), 当取 $\bar{\rho}(0) = 0$ 时, 可得到计算的 $\bar{\rho}(t)$ 值. 在本实验中, 样品分成五组, 每一组是五个样品. 对上述的每一组实验连续测量五次, 求出这五次的统计平均值. 对五组样品在 200s 后的测量和计算结果如表 2 所示.

表 2 五组样品的 $\bar{\rho}(t)$ 测量值和计算值

Table 2 Measurement value and calculation value of five group samples

样品	测量的 $\bar{\rho}(t)/10^{17} \text{ cm}^{-3}$	计算的 $\bar{\rho}(t)/10^{17} \text{ cm}^{-3}$
1#	7.46	6.74
2#	6.68	6.22
3#	7.12	6.07
4#	6.68	7.26
5#	5.95	6.84

根据实验结果拟合出的 $\bar{\rho}(0) = 0.15 \times 10^{17} \text{ cm}^{-3}$. 公式(9)修正为:

$$\bar{\rho}(t) = 0.15 \times 10^{17} + \frac{2 \epsilon_x V_{in}}{q t_{ox}} \left\{ \exp\left(\frac{t}{\tau}\right) - 1 \right\} \quad (10)$$

把修正前后的 \bar{Q}_t 值分别带入公式(8), 计算所得五组样品在 200s 后各自的累积失效率 $F(\theta)$ 如表 3 所示.

表 3 五组样品修正前后的累积失效率

Table 3 Cumulative failure of five group samples before and after revision

测量值 样品	修正前		修正后	
	$\bar{Q}_t / 10^{17} \text{ cm}^{-3}$	$F(\theta)$	$\bar{Q}_t / 10^{17} \text{ cm}^{-3}$	$F(\theta)$
1#	6.74	0.069	6.89	0.084
2#	6.22	0.035	6.37	0.043
3#	6.07	0.028	6.22	0.035
4#	7.26	0.089	7.41	0.092
5#	6.84	0.079	6.99	0.094

从以上的结果比较中可以看出, \bar{Q}_0 对于实验样品的累积失效率有一定影响的. 如何正确地对待 \bar{Q}_0 进行取舍, 对于累积失效率的计算是重要的. 所以, 如果要对一批样品进行累积失效率的精确评估, 必须对 \bar{Q}_0 的值有一个很好的确定, 这样才能更精确的评估样品的累积失效率.

本文提出了一种实验方法, 用于测量电应力作用下栅介质膜内电荷陷落过程中的几个物理量, 如陷阱电荷密度、电荷中心位置、注入介质膜的电子产生陷阱的几率及介质膜内原有陷阱密度等. 它根据电荷陷落的动态平衡方程, 通过测量恒流应力下 MOS 电容的栅电压变化曲线及加恒流应力前后的高频 $C-V$ 曲线, 求出所需的物理量. 本文给出了陷阱电荷密度的解析表达式及相关参数的提取方法和结果.

4 结论

恒定电流实验是评价薄栅氧化层 TDDB 可靠性的重要方法. 本文提出了一种新的实验方法. 利用

其能方便的测量介质膜内陷阱密度. 从实验中可以直接提取表征陷阱的动态参数, 利用测得的数据, 定量的求出初始陷阱电荷密度 \bar{Q}_0 对栅介质膜累计失效率的影响, 以便更精确地评估样品的累积失效率.

参考文献

- [1] Prendergast J, Suehle J, Chaparala P. TDDB characterization of thin SiO₂ film. Proc IRPS, 1995:124
- [2] Moazzami R, Lee J C, Hu C. Temperature acceleration of time-dependent dielectric breakdown. IEEE Trans Electron Devices, 1989, 36(11):2462
- [3] Dimaria D J, Cartier E. Impact ionization trap creation, degradation and breakdown in silicon dioxide films on silicon. J Appl Phys, 1993, 73(7):3367
- [4] Schuegraf K F, Hu C. Effects of temperature and defects on breakdown time of thin SiO₂ at very low voltage. Proc IRPS, 1994:126
- [5] Apte K C P P, Saraswat K C. Modeling ultra-thin dielectric breakdown on correlation of charge trap generation to charge-to-breakdown. Proc IRPS, 1994:136
- [6] Liang M S, Hu C. Electron trapping in very thin thermal silicon dioxides. IEDM Tech Dig, 1981:396
- [7] Liu Hongxia, Hao Yue. Investigation of thin gate dielectric TDDB. Chinese Journal of Semiconductors, 2001, 22(12):1593(in Chinese) [刘红侠, 郝跃. 薄栅介质 TDDB 效应. 半导体学报, 2001, 22(12):1593]
- [8] Fazan P, Dutoit M, Martin C, et al. Charge generation in thin SiO₂ polysilicon-gate MOS capacitors. Solid-State Electron, 1987, 30(8):829
- [9] Kate I, Horie H, Oikawa K, et al. Distribution of trapped charges in SiO₂ films of a p⁺-gate PMOS structure. IEEE Trans Electron Devices, 1991, 38(6):1334
- [10] Sune J, Placencia I, Narniol N, et al. On the breakdown statistics of very thin SiO₂ films. Thin Solid Films, 1990, 185:347

Solving Process of Trap Density and Extracting of Correlative Parameters in Thin Gate Dielectric^{*}

Liu Hongxia and Hao Yue

(*Institute of Microelectronics, Xidian University, Xi'an 710071, China*)

Abstract: TDDB evaluation experiments are implemented on the thin gate oxides MOS capacitor, and a method of precise measurement and characterization the trap density and accumulative failure are presented. Based on dynamic equilibrium equation in the process of trapped charges, the method can obtain the trap density by measuring the change of gate voltage of MOS capacitance under constant current stress and the change of high frequency $C-V$ curve before and after the stress. The dynamic parameters of characterization the trap density can be extracted from the experiment. On the base of experiment, the accumulation failure of devices can be evaluated precisely.

Key words: thin gate oxides; TDDB (time dependent dielectric breakdown); trap density; accumulative failure

PACC: 7360H; 0710; 7220J

Article ID: 0253-4177(2002)09-0952-05

^{*} Project supported by National High Technology Research and Development Program of China(Grant No.863-SoC-Y-3-6-1)

Liu Hongxia female, was born in 1968, associate professor, PhD. Her present interests and activities cover aging theories and modeling of MOS devices in VLSI, and reliability design of thin gate dielectric.

Hao Yue male, was born in 1958, professor, tutor of PhD candidates. His research interests include VLSI reliability design, deep-submicron device characterization and modeling, novel devices and novel circuits.

Received 13 November 2001, revised manuscript received 16 January 2002

©2002 The Chinese Institute of Electronics

(C)1994-2023 China Academic Journal Electronic Publishing House. All rights reserved. <http://www.cnki.net>