

vfBGA 内部芯片断裂问题

庞恩文¹ 林 晶¹ 郁 芳² 宗祥福¹

(1 复旦大学材料科学系, 上海 200433)

(2 上海大学嘉定校区材料科学与工程学院电子信息材料系, 上海 201800)

摘要: 利用 ANSYS 软件以有限元分析的方法研究了 vfBGA 器件内部芯片断裂问题. 通过建立模型和模型评价得到了适当的三维简化模型及导致芯片断裂的等效应力大小. 根据对测试过程的模拟预测找到了引起芯片断裂的原因. 研究发现, 测试过程中设备与器件间的非正常接触所产生的应力集中是导致芯片断裂的根本原因.

关键词: 有限元分析; 芯片断裂; vfBGA; ANSYS

EEACC: 0170J; 0170N

中图分类号: TN306

文献标识码: A

文章编号: 0253-4177(2002)09-0977-06

1 引言

封装和测试是集成电路器件制造工艺中的重要环节. 封装是连接芯片与系统的桥梁, 具有功率分配、信号分配、散热及保护电路的功能^[1,2]; 测试是对制造完成的器件进行各项性能检测, 以保证满足客户的要求. 随着电子产品向轻、薄、短、小方向发展, 芯片的功能越来越复杂, 电路密度越来越高, 这对封装和测试技术提出了越来越高的要求^[3,4].

vfBGA (very-thin fine-pitch ball grid array) 是一种新型芯片尺度塑料封装技术, 具有很小的焊球中心间距 (0.75mm)、很薄的封装外形 (1mm) 以及更好的市场适应性等优点, 有望应用于移动类电子产品 (如 PDA、寻呼机、移动电话) 和基于存储器的产品 (如机顶盒、闪存卡). 但是用 vfBGA 封装的产品在测试过程中遇到了内部芯片开裂导致的器件失效问题, 产品的失效率远远超过了客户的要求. 并且由于失效发生在封装体内部的芯片上, 工艺线上的目检无法发现, 因此必须分析并找到产生芯片开裂的根本原因并提出相应的解决方法.

有限元法是工程技术领域内常用的数值模拟方法, 已经广泛应用于电子封装的各种失效分析中^[5],

如确定封装体的热循环失效^[6], 分析器件中的变形、开裂及分层现象^[7,8], 预测 BGA 器件焊点的形态^[9]等. 但目前还很少有工作涉及测试过程中的失效问题. 本论文利用 ANSYS 软件以有限元分析的方法对 vfBGA 器件在测试过程中遇到的内部芯片断裂问题进行了研究, 从模型建立、数据模拟到与测试结果的比对, 分析和解决了实际生产中存在的问题. ANSYS 软件是融结构、流体、电场、磁场、声场分析于一体的大型通用有限元分析软件, 其中结构静力分析可用来求解外载荷引起的位移、应力和力.

本文首先结合器件尺寸、材料属性用 ANSYS 的前处理模块建立封装体的简化模型, 然后根据两个独立实验的结果及模拟结果对此模型进行评价, 得到芯片所能承受的最大应力值. 在此基础上, 再根据测试线上的实际情况建立了 8 种加载和承载模型, 模拟得到了芯片上的最大应力值. 最后分析提出了导致芯片断裂的原因.

2 简化模型的建立

vfBGA 封装结合了 BGA 和 SOP (small outline package) 技术, 在 BGA 架构中使用了传统的引线键合、模压传递成形及芯片贴装技术, 如图 1 所示. 与

庞恩文 男, 1978 年出生, 硕士研究生, 目前从事微电子封装研究.

林 晶 女, 1962 年出生, 博士, 副教授, 目前从事微电子封装研究.

郁 芳 女, 1978 年出生, 硕士研究生, 目前主要从事有限元模拟方法设计 CdZnTe 探测器.

2001-11-25 收到, 2002-01-30 定稿

(C)1994-2023 China Academic Journal Electronic Publishing House. All rights reserved.

©2002 中国电子学会

http://www.cnki.net

HBGA (micro ball grid array) 相比, 它可以提供更简单的工艺, 从而降低成本; 同时这一技术还解决了 HBGA 封装中的最小芯片限制问题, 可以封装面积更小的芯片, 具有更好的市场适应性.

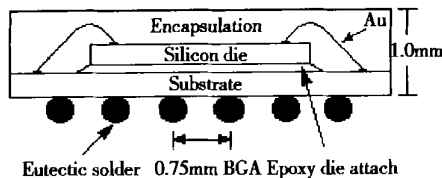


图 1 vfBGA 剖面图

Fig. 1 Cross-section of vfBGA

根据 vfBGA 封装体的尺寸, 利用 ANSYS 的前处理模块建立了一个包括衬底、芯片、芯片粘结剂和塑封料的三维实体模型, 如图 2 所示. 模型的总高度为 0.66mm, 其中芯片厚 0.1715mm (7mil), 芯片粘结剂厚 0.025mm, 衬底厚 0.21mm. 因为芯片粘结剂很薄, 考虑到网格划分时的制约, 把芯片粘结剂定义为 Shell 93 单元, 其余材料定义为 Solid 95 单元. 由于本模型是模拟常温下的测试过程, 所有材料都

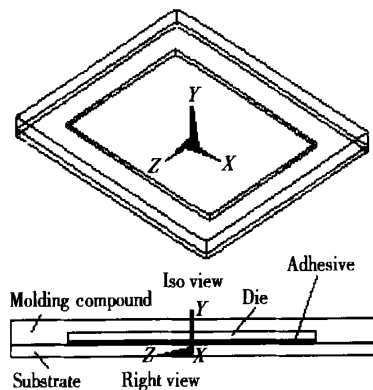


图 2 模型示意图

Fig. 2 Schematic diagram of model

作为有固定参数的各向同性弹性材料, 表 1 是材料的参数.

表 1 材料参数

Materials	Young's modulus/($\text{N} \cdot \text{mm}^{-2}$)	Poisson ratio
Die	1.31×10^5	0.3
Molding compound	20580	0.25
Substrate	3343	0.18
Adhesive	450	0.4

3 模型的评估

首先建立了一套用于测量引起芯片断裂外力大小的实验装置, 如图 3 所示. 实验中器件放置在一个双边支架上, 器件上方用一推头对器件施加持续可控外力, 同时对器件的电学性能进行实时监测, 应力传感器可以记录加载外力的大小. 当芯片断裂时器件的 $I-V$ 特性曲线会发生显著变化, 计算机程序就会记录相应的外力大小. 通过这种方法就可以得到导致芯片断裂的最小加载外力. 实验中使用了两种推头, 经过多次测量得到两种推头下芯片断裂时的平均外力分别为 2.7kg 和 3.92kg, 见表 2.

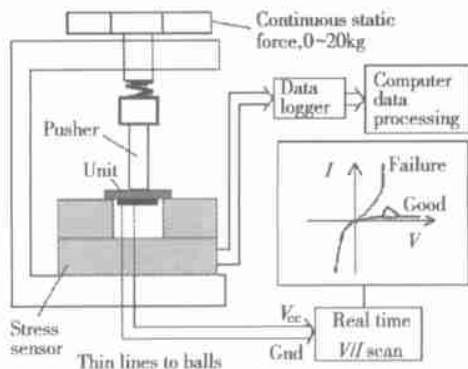
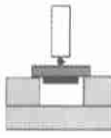





图 3 实验装置示意图

Fig. 3 Diagram of experiment

表 2 两种推头的比较

Table 2 Comparison of two pushers

推头一		推头二	
实验数据	加载模型	实验数据	加载模型
			
芯片断裂时 平均外力大小	$R = 0.25\text{mm}$ 加载外力: 2.70kg	芯片断裂时 平均外力大小	$2\text{mm} \times 0.2\text{mm}$ 加载外力: 3.92kg
2.70kg		3.92kg	

为了对上面建立的三维实体模型进行评估,先将实验中得到的两个平均外力作为模拟过程中的加载条件,再在模型底面虚线位置处加上固定条件(见表 2),然后对模型进行模拟和计算,分别得到两种条件下芯片底面上的应力分布图和最大应力值,如

图 4 所示.其中(a)是推头一的模拟结果,最大应力值为 386.674N/mm^2 ; (b)是推头二的模拟结果,最大应力值为 354.197N/mm^2 ,这两个应力值也就是在两种条件下导致芯片断裂的应力值.

由于同一型号器件中的硅芯片所能承受的最大

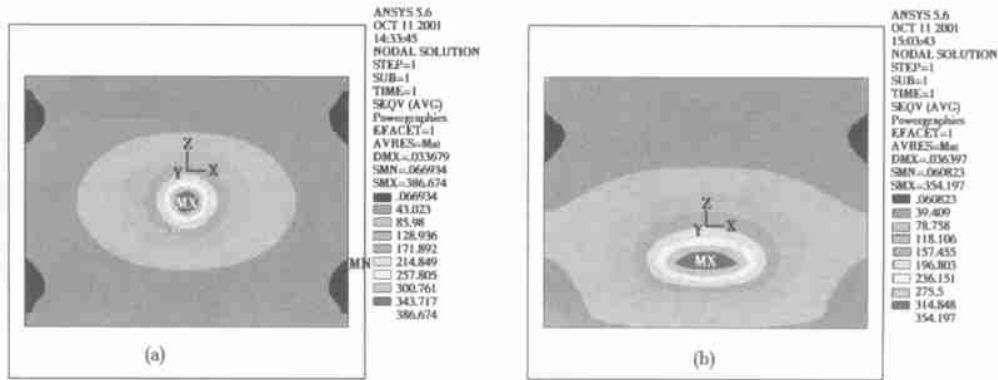


图 4 模拟结果图

Fig. 4 Diagram of simulation results

应力值应该是一致的,理论上说如果前面建立的模型足够精确,则模拟得到的两个导致芯片断裂的应力值应该相等.实际上在建模及计算的过程中都存在着误差,对于模拟分析,一般认为模拟结果误差在 10% 以内都是可以接受的.比较上面的模拟结果 386.674N/mm^2 和 354.197N/mm^2 ,它们之间只有 8.5% 的误差,因此,本模型是可靠的.

通过上述模拟分析证明,将 vfBGA 简化成一个包括衬底、芯片、芯片粘结剂和塑封料的三维实体模型是可行的,ANSYS 的模拟过程也是可信的;导致芯片断裂的等效应力在 350 到 390N/mm^2 之间.

4 测试过程的模拟

根据测试线具体情况,在前面得到验证的三维实体模型上建立了 8 种加载和承载模式,如图 5 所示.承载有两种,分别为双边承载和四边承载.加载有四种,其中工字形和方形二是根据测试线上的实际工艺建立的;方形一与工字形有相同的面积,与方形二有相同的形状;圆形(半径 0.25mm)模拟的是非正常的点接触;所有模式加载的大小都是 5kg (测试过程中一般所加外力大小).

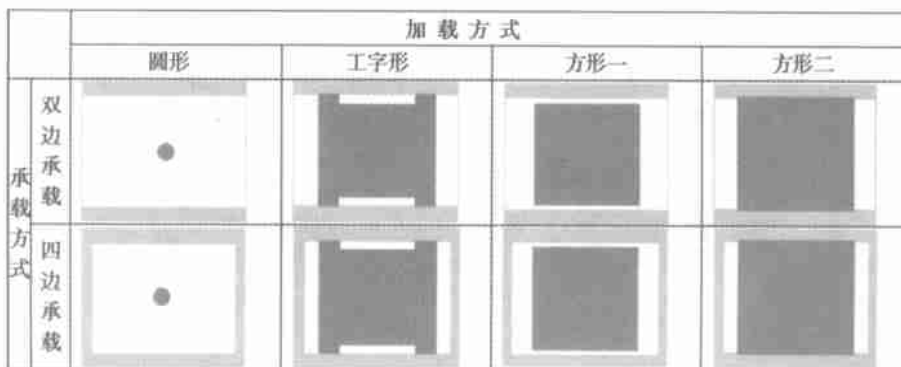


图 5 加载和承载模式示意图

Fig. 5 Schematic diagram of load modes

模型建立后对每一种模型都进行划分网格和计算,各自得到芯片上的最大等效应力值(图6)和应力分布图(图7)。由图7可以得到:正常的测试情况下芯片上的应力都较小,远小于导致芯片断裂的 $350 \sim 390 \text{ N/mm}^2$,说明尽管vfBGA的芯片很薄(0.1715 mm),这并不是导致芯片断裂的主要原因;圆形加载引起的应力最大(大于 700 N/mm^2),远远超过了芯片的断裂值,因此很容易导致芯片断裂;相同加载下四边承载要比双边承载在芯片上引起的应力小,因此更有利于保护芯片;面积相同的工字形和方形一加载,虽然形状不同,但在芯片上引起的应力

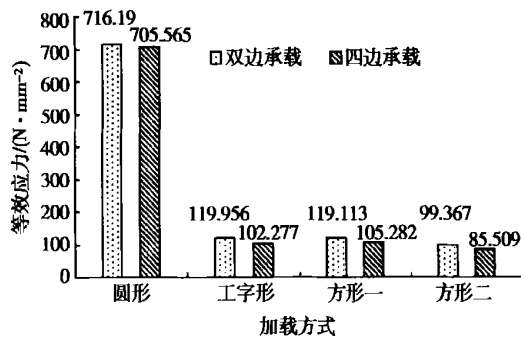


图6 测试过程模拟结果

Fig.6 Simulation results of test process

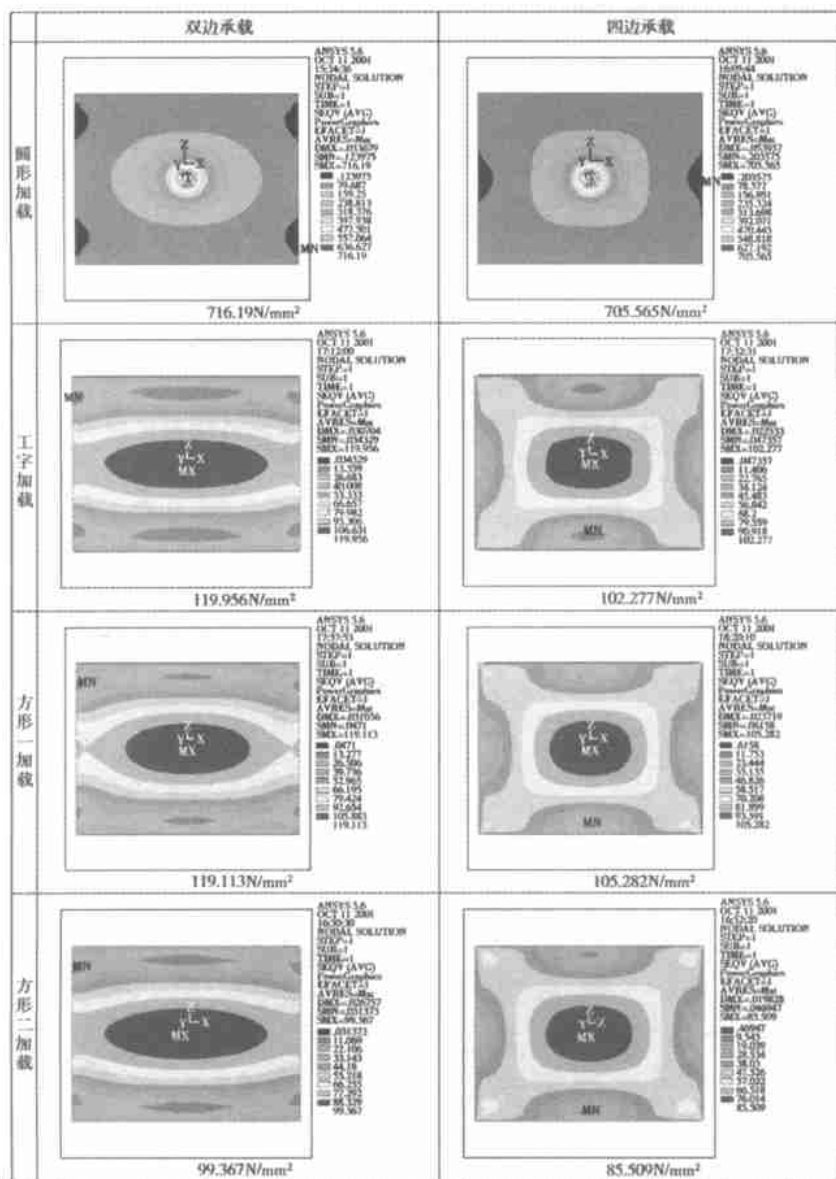


图7 芯片上的应力分布图

Fig.7 Pictures of stress distribution on die

基本相同. 由于最大的应力分布在芯片的底面上, 图 7 中的图形选取的都是芯片底面上的应力分布图, 图形下面的数值是芯片上的最大应力值. 从图中可以看出双边承载和四边承载引起的应力分布区别较明显, 工字形和方形引起的应力分布很相似.

根据以上的分析, 在相同的外力下, 加载面积对芯片上应力大小有决定性的作用, 面积越大芯片上的应力越小, 因此在实际的测试过程中应尽量增加设备与器件之间的接触面积; 芯片的断裂可能是由于类似于上面模型中圆形加载所对应的设备与器件非正常接触产生的应力集中引起的.

在这一模拟结果的指导下, 经过对测试设备和失效器件进行细致分析, 最终找到了主要有两个因素可能引起器件内部芯片的断裂, 如图 8 所示. 其中 (a) 表示芯片在传输过程中没有放置平整, (b) 表示测试时推头没有调整好. 这两种情况都引起测试设备与器件之间局部的线接触甚至是点接触, 应力的过分集中导致了内部芯片的断裂. 最后经过对引起上述两种失效因素的测试工艺进行改进后, vFBGA 器件内部芯片的断裂问题得到了圆满解决.

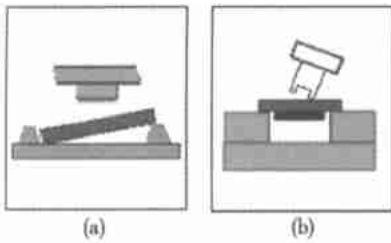


图 8 断裂原因示意图

Fig. 8 Cause of die crack

5 结论

一个 vFBGA 器件可以简化成为包括衬底、芯片、芯片粘结剂和塑封料的三维实体模型; vFBGA 器件的芯片很薄(0.1715mm), 并不是导致芯片断

裂的主要原因; 测试过程中设备与器件的非正常接触产生的应力集中才是这一问题产生的根本原因. ANSYS 是一个很实用的有限元分析软件, 可以对器件的力学失效进行精确的定量分析.

参考文献

- [1] Anjoh I, Nishimura A, Eguchi S. Advanced IC packaging for the future applications. *IEEE Trans Electron Devices*, 1998, 45(3): 743
- [2] Sinnadurai N. Reliability of new packaging concepts. *Microelectronics Reliability*, 2000, 40(7): 1073
- [3] Burggraaf P. Chip scale and flip-chip attractive solutions. *Solid State Technology*, 1998, 41(7): 239
- [4] Sidharth, Valluri V, Gannamani R, et al. Characterization of a novel fine-pitch ball grid array package for flash memory application. In: 2000 Proc 50th ECTC, 2000: 353
- [5] Weide K. Impact of FEM simulation on reliability improvement of packaging. *Microelectronics Reliability*, 1999, 39(6): 1079
- [6] Chen Liu, Zhang Qun, Wang Guozhong, et al. Thermal cycle failure of SnPb solder joint for flip chip package and effects of underfill material. *Chinese Journal of Semiconductors*, 1999, 22: 107 (in Chinese) [陈柳, 张群, 王国忠, 等. 到装焊 SnPb 焊点热循环失效和底胶的影响. *半导体学报*, 1999, 22: 107]
- [7] Takahashi Y, Inoue M, Inoue K. Numerical analysis of fine lead bonding effect of pad thickness on interfacial deformation. *IEEE Trans Compon Packag Technol*, 1999, 22(2): 291
- [8] Fan X J, Wang H B, Lim T B. Investigation of the underfill delamination and cracking in flip-chip modules under temperature cyclic loading. *IEEE Trans Compon Packag Technol*, 2001, 24(1): 84
- [9] Zhou Dejian, Pan Kailin, Wu Zhaohua, et al. Modeling and predicting solder joint shapes of ball grid array. *Chinese Journal of Semiconductors*, 1999, 20: 47 (in Chinese) [周德俭, 潘开林, 吴召华, 等. 球栅阵列(BGA)器件焊点形态成形建模与预测. *半导体学报*, 1999, 20: 47]

Inner Die Crack Simulation of vfBGA

Pang Enwen¹, Lin Jing¹, Yu Fang² and Zong Xiangfu¹

(¹ Department of Materials Science, Fudan University, Shanghai 200433, China)

(² School of Materials Science and Engineering, Jiading Campus, Shanghai University, Shanghai 201800, China)

Abstract: The ANSYS software is employed to analyze the inner die crack of vfBGA. A suitable 3D model and the minimum stress causing die crack are achieved by modeling and estimating. The crucial cause of inner die crack is predicted and found after the simulation of the test process. It is the great stress induced by the abnormal contact between the testing equipment and vfBGA unit that causes the inner die crack.

Key words: finite element analysis; die crack; vfBGA; ANSYS

EEACC: 0170J; 0170N

Article ID: 0253-4177(2002)09-0977-06

Pang Enwen male, was born in 1978. Now he is a master candidate and engaged in microelectronic packaging.

Lin Jing female, was born in 1962. Now she is a associate professor and engaged in microelectronic packaging.

Yu Fang female, was born in 1978. Now she is a master candidate and engaged in the research on the electrode design for CdZnTe coplanar-grid detectors by finite element method.

Received 25 November 2001, revised manuscript received 30 January 2002

©2002 The Chinese Institute of Electronics
(C)1994-2023 China Academic Journal Electronic Publishing House. All rights reserved. <http://www.cnki.net>