

150Ms/s、6bit CMOS 数字工艺折叠、 电流插值 A/D 转换器^{*}

刘 飞 吉利久

(北京大学微电子所, 北京 100871)

摘要: 在 1.2 μm SPDM 标准数字 CMOS 工艺条件下, 实现 6bit CMOS 折叠、电流插值 A/D 转换器; 提出高速度再生型电流比较器的改进结构, 使 A/D 转换器(ADC) 总功耗下降近 30%; 提出一种逻辑简单易于扩展的解码电路, 以多米诺(Domino) 逻辑实现. 整个 ADC 电路中只使用单一时钟. 在 5V 电压条件下, 仿真结果为采样频率 150-Ms/s 时功耗小于 185mW, 输入模拟信号和二进制输出码之间延迟小于 2 个时钟周期.

关键词: A/D 转换器; CMOS; 折叠; 电流模; 插值; 多米诺

EEACC: 1265; 1280; 2570D

中图分类号: TN432

文献标识码: A

文章编号: 0253-4177(2002)09-0988-08

1 引言

近年来在数模混合电路中, 高速、低精度 A/D、D/A 转换器一直保持旺盛需求量. 磁盘读写驱动电路、医用图象仪器、通讯设备、HDTV 等多种领域都需要 6~12bit 高速 A/D、D/A 转换器^[1~8]. 同时, 在 SoC 技术中, A/D 转换器(ADC) 将与数字系统集成在同一芯片, 需要适合 SPDM 的 CMOS 工艺, 因此不含精确电容的 ADC 新结构成为研究热点.

在高采样率、低精度的 ADC 中, 通常首选 flash 结构, 它具有高速、低延迟的优点, 但其缺点也相当明显, 对于 N 位精度需要 2^N 个比较器, 导致功耗及信号负载电容过大. 即使精度限制在 6~8bit, 功耗也往往达到 W 量级^[4], 这限制了它在嵌入式系统、便携式电子设备、无线通讯等领域的应用. 采用折叠插值 ADC 结构则有助于减少比较器的数目^[9,10], 该结构在比较器阵列前增加了预处理电路(preprocessing circuit) 以减少比较器数目. 预处理电路的使用还可以有效降低整个 ADC 的输入电容^[9], 有利于提

高输入信号的带宽.

本文的第 2 节将讨论折叠结构 ADC 的设计方案; 第 3 节阐述对再生型电流比较器的改进设计, 这是提高速度、降低功耗的关键; 第 4 节描述解码器和误码校正电路设计; 最后在第 5 节给出仿真结果和分析总结.

2 折叠插值 ADC 的设计方案

折叠插值 ADC 由预处理电路、比较器阵列、decoder 和参考偏置电路组成, 图 1 给出本设计方案的结构框图. 在设计过程中综合考虑了速度、功耗和面积等诸方面因素, 确定折叠率、插值率以及 Coarse ADC 的 MSBs 和 Fine ADC 的 LSBs 的分配^[9,10].

2.1 预处理电路的结构选择

折叠插值 ADC 的预处理电路通常由采样/保持(S/H) 电路、folder、电压(电流) 插值电路几部分构成.

在 ADC 中, 采用 S/H 电路可以增加输入信号

^{*} 电子预先研究(Nos. 41308010402, 415011005) 资助项目

刘 飞 男, 1974 年出生, 博士研究生, 主要从事数模混合电路设计研究.

吉利久 男, 教授, 博士生导师, 现从事集成电路设计研究.

2001-12-13 收到, 2002-02-01 定稿

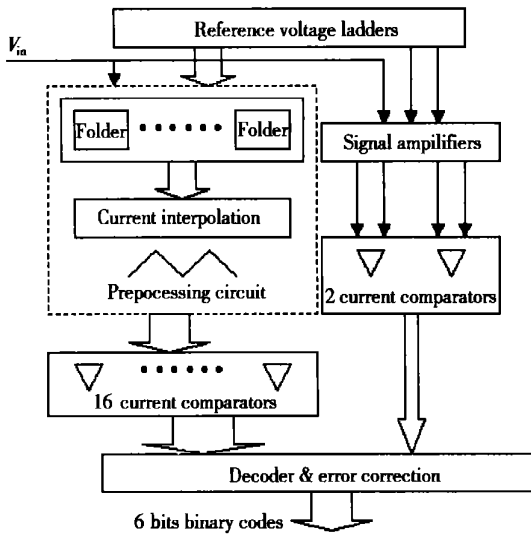


图 1 折叠插值 ADC 框图

Fig. 1 Folding and interpolating ADC block diagram

带宽, 提高分辨率. 然而高速 S/H 电路设计非常困难, 以致于当采样率大于 100MHz 时, 基本无法使用 S/H 电路^[5]. 近年来, 有人通过采用新型 Trimming 结构^[11]、分布式 S/H 电路^[12]、级联折叠^[13]、pipelined 折叠^[14]等方式提高分辨率和采样率, 但速度或延迟依然受到限制, 因此本设计中预处理电路不包含 S/H 电路.

输入信号通过预处理电路中 folder 单元后, 理想输出波形为锯齿波. 理想的锯齿波实际上很难得到, 因此通常是通过 Gilbert 正弦波发生器得到如图 2 所示的准三角波.

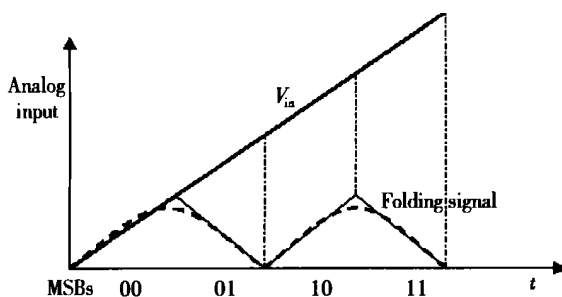


图 2 输入与折叠信号

Fig. 2 Input and folding signals

2.2 折叠器电路的设计考虑

Gilbert 正弦发生器结构 folder 已被双极工艺广泛采用^[1,2], 但由于 MOS 管跨导远小于 BJT 的跨导, 且匹配性差^[3], 使得这种结构会由于输出节点寄

生电容和输出电阻过大, 导致折叠信号带宽严重受限, 以致于不能直接应用^[4]. 此外, Gilbert 结构产生的三角波在拐角处随着输入电压的变化呈非线性趋势, 限制了线性区范围.

Folder 输出的非线性问题可通过采用 2 或多个 offset folder 的方式来解决, 以使输入信号始终处于 folder 输出的线性区^[2], 同时克服工艺、电源电压、温度变化等多种不确定因素的影响. 本设计采用比较 folder 的互补输入 (zero-crossings) 来确定输出的结构, 以节点定位替代线性比较, 有效提高电路的精度和可靠性.

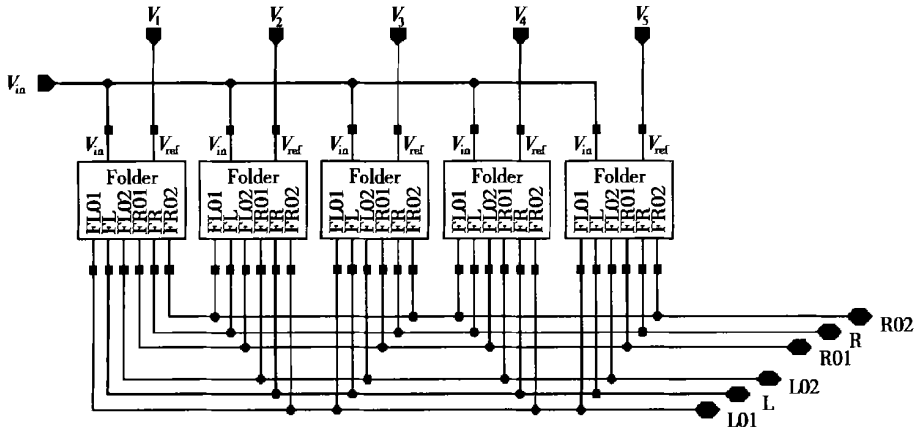
为增加 folder 的跨导, 提高工作速度, 已有多种可行案被提出^[2~5]. 本设计采用 Flynn^[3]等人提出的一种 2 级放大器结构, 该结构成功地提高了 folder 跨导, 并能同时实现电流模插值功能. 通过低阻、电流模插值方法, 使电路工作速度得到最大化, 如图 3 (a)、(b) 所示, 其中, 为避免使用大电阻造成版图布局困难, folder 的参考电平将由分压电阻阵列直接提供.

电流插值的使用在减少预处理器输入电容的同时, 有助于提高速度, 而且非常适合低压便携式系统的要求^[15]. 但电流插值会由于 MOS 管匹配问题^[16]带来信号的非单调性问题, 这使它不适合做多位插值.

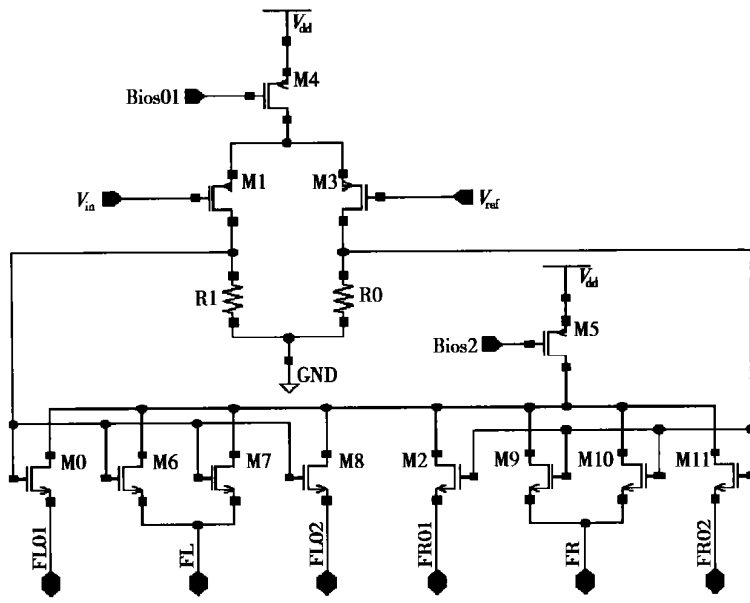
出于速度优先的考虑, 本 6bit ADC 采用 4 折叠率, 1 位电流插值, 同时通过 8 个 offset folder 单元将分辨率提高 3bit, 这使 Coarse ADC 只需 1 位精度即可. 参考电平由 bandgap 电压源提供的 2V 恒压通过多晶硅电阻串分压产生, 以保证整个 ADC 良好的温度特性和电源电压抑制能力.

3 电流比较器分析与设计

比较器的运算速度是限制 ADC 最大采样率的主要因素, 因此在高速 ADC 中, 快速比较器^[17]的设计尤为重要. 比较器的性能是对速度、精度、功耗的综合考虑. 再生型 (regenerative) 比较器可以在功耗允许的范围获得很高的工作速度, 因此在高速 ADC 设计中被广泛采用, 但其控制时钟往往比较复杂, 不利于高频下工作. Roovers 和 Steyaert^[5]给出了结构和时钟相对简单的一种高速再生型电流比较器 (以下简称 R & S 比较器), 这种结构可以获得更高的工作速度, 但功耗过大. 本设计对这一结构做了较大改进.



(a)



(b)

图 3 (a) 带电流分流的折叠器;(b) 折叠器中所用的两级放大器

Fig. 3 (a) Folder with current division;(b) Two-stage amplifier used in folder

3.1 R&S 比较器结构分析

图 4(不含虚线框内 \$M3, M4\$ 和反相器)是 R&S 比较器的电路结构. 在此结构中 \$M1, M2\$ 对电路的速度和功耗有重要影响, 实际采用大宽长比的 NMOS 管.

设比较器输入电流分别为 \$I_{in} = I_0 \pm i/2\$, 输入节点电压为 \$V_{A1}\$ 和 \$V_{A2}\$, 输出节点电压为 \$V_{B1}\$ 和 \$V_{B2}\$.

电路按对称设计, 所以有 \$g_{ds1} = g_{ds2} = 1/r_{in}, g_{m5} = g_{m6}, g_{m7} = g_{m8}, g_{m9} = g_{m10}, g_{ds5} = g_{ds6}, g_{ds7} = g_{ds8}, g_{ds9} = g_{ds10}\$.

令比较器输出节点电压差 \$V_d = V_{B1} - V_{B2}\$, 其电

路方程为

$$C_B \frac{dV_d(t)}{dt} = (g_{m5} + \frac{g_{m7}}{1 + g_{m7}R_{in}} + g_{m9}) V_d(t) + \frac{g_{m7}r_{in}}{1 + g_{m7}r_{in}} i - (g_{ds5} + \frac{g_{ds7}g_{ds1}}{1 + g_{ds7}g_{ds1}} + g_{ds9}) V(t) \quad (1)$$

其中 \$C_B\$ 为输出节点总电容(包括负载和寄生电容).

设输出节点总跨导 \$g_{mB} = \frac{g_{m7}}{1 + g_{m7}R_{in}} + g_{m5} + g_{m9}\$,

输出节点总导纳 \$g_{dB} = g_{ds5} + \frac{g_{ds7}g_{ds1}}{1 + g_{ds7}g_{ds1}} + g_{ds9}\$, 且因

为 \$g_{dB} \ll g_{mB}\$, 则(1)式可化简为

$$\Delta Q \approx g_{m7} r_{in} \Delta I_{in} \Delta T \gg \Delta q \quad (6)$$

仿真结果表明,改进型电流比较器能在 150MHz 最高工作频率情况下,节省功耗约 40%,提高翻转速度 15%,且功耗随采样频率降低呈大幅度下降趋势.

4 Decoder 和 Error Correction 电路

折叠 ADC 比较器输出一组循环温度码.由于电路工作频率很高,且功耗也有限制,因此对 Decoder 电路设计提出较高要求.作为高速混合信号电路的一部分,Decoder 单元必需具备高速度、低功耗、抗噪声特性.采用普通逻辑电路或 ROM 单元进行解码会带来电路延迟增加、功耗上升、噪声容限下降或电路复杂性随分辨率上升增大过快等诸多不利因素.

本文采用 Domino 电路^[18]作为基本逻辑单元,使电路得到简化,同时具有高速度、低功耗和易于扩展的优点.

对于 N 位循环温度码,其解码逻辑可表述如下:

$$OUT_0 = IN_m$$

$$OUT_1 = IN_m \oplus IN_{(m-1)/2}$$

$$OUT_2 = IN_m \oplus IN_{m-(m+1)/4} \oplus IN_{m-(m+1)/2} \oplus IN_{m-(m+1)3/4}$$

.....

$$OUT_N = IN_m \oplus IN_{m-1} \oplus IN_{m-2} \oplus \dots \oplus IN_2 \oplus IN_1 \oplus IN_0 \quad (10)$$

对本设计中 16bit 循环温度码的解码波形进行分析,可将上述逻辑化简为:

$$OUT_0 = IN_{15}$$

$$OUT_1 = IN_{15} \oplus IN_7$$

$$OUT_2 = IN_{15} \oplus IN_{11} \oplus IN_7 \oplus IN_3$$

$$OUT_3 = IN_{15} \oplus IN_{13} \oplus IN_{11} \oplus IN_9 \oplus IN_7 \oplus IN_5 \oplus IN_3 \oplus IN_1$$

$$OUT_4 = IN_{15} \oplus IN_{14} \oplus IN_{13} \oplus IN_{12} \oplus \dots \oplus IN_3 \oplus IN_2 \oplus IN_1 \oplus IN_0 \quad (11)$$

采用 Domino 结构同或门的布线与特性,很容易实现上述逻辑功能,如图 5 所示.由于 Domino 电路是受时钟控制,因此可作为比较器输出锁存器一部分,构成沿触发工作方式,从而在保持高速度、低功耗优点的同时,提高了 Decoder 单元的抗噪声能力.

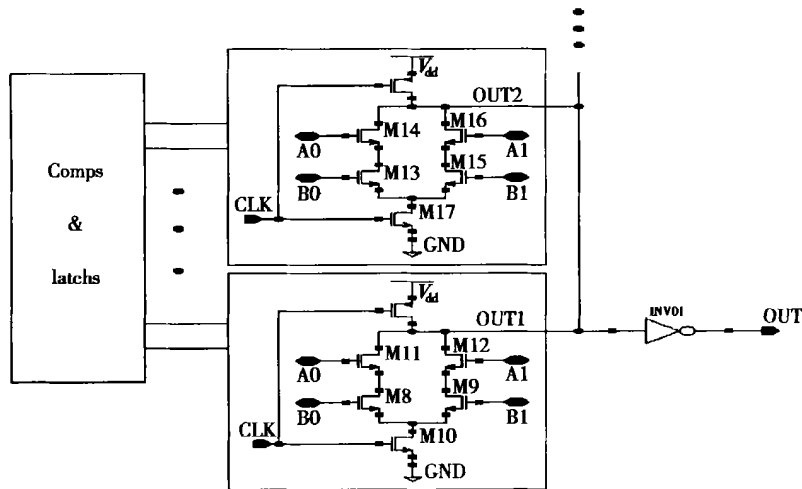


图 5 基于 Domino 逻辑电路的解码电路

Fig.5 Decoder based on Domino logic circuit

折叠 ADC 的 Coarse ADC 和 Fine ADC 处于并行工作方式,因此 Coarse ADC 转换时,由于任何由工艺偏差、失配或时间延迟不同等不可控因素引起的微小误差都有可能对整个输出码的很大误差,特别在 011111~100000 转换时.对于只有 1bit 的

Coarse ADC 来说,其 MSB 位的转换电平正好和 MSB-1 的转换电平相重合,因此可以通过 Fine ADC 的最高位 MSB-1 来判断 MSB 输出^[3].其具体实现是 Coarse ADC 由 2 个比较器构成,参考电平分别为 $1/2 \pm 1/8$ 全电平,因此 2 个比较器输出分

别为 MSB-H、MSB-L.

当 $MSB-1=0$ 时, $MSB=MSB-L$,

当 $MSB-1=1$ 时, $MSB=MSB-H$.

这种设计能使 MSB 在 $\pm 1/8$ 全电平偏差内都保持正确输出.

Coarse ADC 设计采用与 Fine ADC 类似结构以达到相同的高转换速度, 这使整个电路的电流比较器数目增加到 18 个. 同时, MSB 输出的判断逻辑也采用 Domino 电路同步实现, 使整个 Decoder 电

路不需要为误码校正增加额外时钟周期.

5 仿真结果

输入 500kHz 正弦波, 采样频率为 150MHz 时, Cadence Spectre 仿真输出结果如图 6(a) 所示. 根据输出码重构出的输出波形与输入正弦波对比如图 6(b) 所示, 其中为便于对比, 根据 A/D 转换总延迟时间, 对 V_{in} 做了 $13ns$ (2 时钟周期) 延时平移处理.

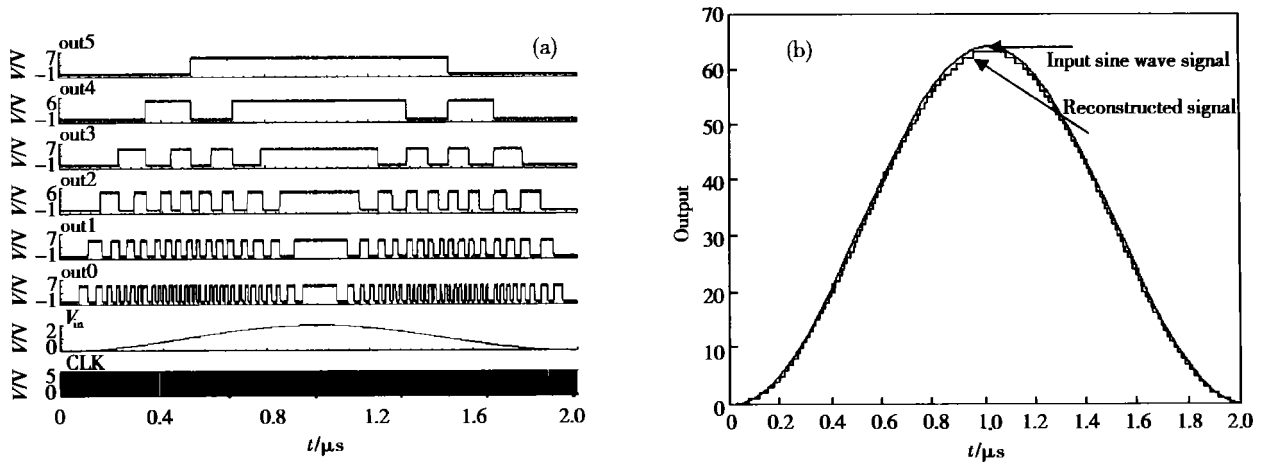


图 6 (a) 仿真输出结果; (b) 正弦输入信号与输出重构波形

Fig. 6 (a) Simulating output results; (b) Sine wave input signal & reconstructed signal

从仿真结果分析可知, 整个 ADC 在高采样率情况下, 仍能保持低的失调误差和增益误差, 这源自整个 ADC 参考电平全部由 bandgap 电压源提供的参考电压通过电阻串分压产生, 比较器翻转点 (zero crossings) 直接对应于各级参考电平, 而与电路本身工作点无关, 这使预处理电路和比较器的误差不会产生累加效应.

ADC 性能参数总结如表 1 所示.

表 1 ADC 仿真结果

Table 1 Simulated results of ADC

分辨率	6bit
最大采样率	150Ms/s
输入信号频率范围	$\geq 500kHz$
输入信号电压范围	2V
输入电容	4pF
INL/DNL	0.8/0.5LSB
电源电压	5V
功耗	185mW
工艺	1.2 μm 标准数字 CMOS
最大延迟时间	< 2 clock cycles

6 结论

设计利用 1.2 μm 数字 CMOS 工艺实现 150Ms/s 采样率、6bit CMOS 折叠、电流插值 A/D 转换器. 采用一种改进型低功耗、高速度再生型电流比较器能节省功耗约 40%. 由于整个 A/D 转换器中比较器阵列功耗占总功耗 70% 以上, 因此这种比较器的使用大幅度降低了整个电路功耗. 通过采用 Domino 逻辑电路, 一种逻辑简单易于扩展的解码电路被实现, 并能同时满足高速与低功耗的要求. 整个电路输入信号和输出码之间延迟小于 2 个时钟周期. 整个 ADC 电路中只使用单一时钟和它的互补信号. 在 5V 电压条件下, 整个电路功耗约为 185mW.

参考文献

- [1] Van De Grift R E J, Rutten I W J M, Van Der Veen M. An 8bit video ADC incorporating folding and interpolation tech-

- niques·IEEE J Solid-State Circuits, 1987, SC-22(6):944
- [2] Flynn M P, Allstot D J. CMOS folding A/D converters with current-mode interpolation. IEEE J Solid-State Circuits, 1996, 31(9):1248
- [3] Flynn M P, Sheahan B. A 400-Msample/s, 6-b CMOS folding and interpolating ADC. IEEE J Solid-State Circuits, 1995, 30(12):1932
- [4] Nauta B, Venes A G W. A 70-MS/s 110mW 8-b CMOS folding and interpolating A/D converter. IEEE J Solid-State Circuits, 1996, 30(12):1302
- [5] Roovers R, Steyaert M S J. A 175-MS/s, 6b, 160mW 3.3V CMOS folding and interpolating A/D converter. IEEE J Solid-State Circuits, 1996, 31(7):938
- [6] Van Valburg J, Van De Plassche R J. An 8-b 650-MHz folding ADC. IEEE J Solid-State Circuits, 1992, 27(12):1662
- [7] Kim Kyung Myun, Yoon Kwang Sub. An 8-b CMOS current-mode folding and interpolation A/D converter three-level folding amplifiers. In: Proceedings of IEEE Asia Pacific Conference on Circuits and Systems '96, 1996:409
- [8] Xu Yang, Min Hao. High speed current domina CMOS D/A converters design. Chinese Journal of Semiconductors, 2000, 21:597
- [9] Roovers R, Steyaert M, Leuven K U. Design of CMOS A/D converters with folding and/or interpolating techniques. Conference Publication of Advanced A-D and D-A Conversion Techniques and Their Application, 1994:76
- [10] Lin K L, Van Den Boom T, Stevanovic N, et al. A basic design guide for CMOS folding and interpolating A/D converters- overview and case study. In: Proceedings of ICECS'99, 1999:529
- [11] Choe Myung-Jun, Song Bang-Sup, Bacrania Kantilal. An 13-b 40-Msample/s CMOS pipelined folding ADC with background offset trimming. IEEE J Solid-State Circuits, 2000, 35(12):1781
- [12] Venes A G W, Van de Plassche R J. An 80-MHz, 80-mW, 8b, CMOS folding and interpolating A/D converter with distributed track-and-hold preprocessing. IEEE J Solid-State Circuits, 1996, 31(12):1846
- [13] Vorenkamp P, Roovers R. A 12-b, 60-Msample/S cascaded folding and interpolating ADC. IEEE J Solid-State Circuits, 1997, 32(12):1876
- [14] Choe Myungjun, Song Bangsup, Bacrania Kantilal. An 8-b, 100-Msample/s pipelined folding ADC. IEEE J Solid-State Circuits, 2001, 32(2):184
- [15] Song Bangsup, Rakers P L, Gillig S F. A 1-V 6-b 50Msample/s current-interpolating CMOS ADC. IEEE J Solid-State Circuits, 2000, 35(4):647
- [16] Pelgrom M J M, Duinmaijer A C J, Welbers A P G. Matching properties of MOS transistors. IEEE J Solid-State Circuits, 1989, 24(5):1433
- [17] Chen Lu, Shi Bingxue, LU Chun. Novel high-performance CMOS current comparator circuit. Chinese Journal of Semiconductors, 2001, 22:362
- [18] Krambeck R H, Lee C M, Law H F S. High-speed compact circuits with CMOS. IEEE J Solid-State Circuits, 1982, SC-17(3):614

150Ms/s、6bit Digital CMOS Folding A/D Converter with Current-Mode Interpolating*

Liu Fei and Ji Lijiu

(Institute of Microelectronics, Peking University, Beijing 100871, China)

Abstract: A 150M samples/s, 6bit CMOS folding and current-mode interpolating analog-to-digital is designed in a 1.2 μm digital CMOS technology. A low power, high speed regenerated current comparator is proposed. By adopting Domino logic circuit, a very simple and flexible decoder is realized with high speed and low power. The latency between input signal and output code is less than 2 clock cycles. The ADC only uses a single clock and its complement which simplifies the whole circuit. The converter power dissipation is simulated as 185mW from a 5V supply.

Key words: ADC; CMOS; folding; current mode; interpolating; Domino

EEACC: 1265; 1280; 2570D

Article ID: 0253-4177(2002)09-0988-08

* Project supported by the Electronic Advanced Research (Nos. 415011005, 41308010402)

Liu Fei male, was born in 1974, PhD candidate. His research interest includes mixed-mode circuits and system design, especially high-speed A/D and D/A converters, PLL.

Ji Lijiu male, professor. His research interests are focused on IC design.

Received 13 December 2001, revised manuscript received 1 February 2002

©2002 The Chinese Institute of Electronics
(C)1994-2023 China Academic Journal Electronic Publishing House. All rights reserved. <http://www.cnki.net>