

能量回收电路的功耗优化方法^{*}

戴宏宇 张 盛 周润德

(清华大学微电子学研究所, 北京 100084)

摘要: 能量回收电路的非绝热损失正比于 $C_L \Delta V^2$, 文中提出了两种方法降低 C_L 和 ΔV 因子. HEERL (high efficient energy recovery logic) 电路利用自举效应减小了回收节点的残留电压 ΔV , IERL (improved energy recovery logic) 电路增加了回收的通路, 在控制回收通路的小电容节点产生了 $C_A \Delta V^2$ 的非绝热损失, 从而使大电容输出节点电荷被充分回收, 降低了电路的整体功耗. 降低非绝热损失两个因子 C_L 和 ΔV 的能量回收电路与其它能量回收电路相比, 电路面积增加很小 (2 个 NMOS 管), 而功耗可降低 50% 以上.

关键词: 能量回收; 低功耗; 绝热计算; CMOS 电路

EEACC: 1265A; 2560; 2570D

中图分类号: TN432; TN47

文献标识码: A

文章编号: 0253-4177(2002)09-0996-05

1 引言

近年来, 集成电路的功耗问题得到越来越多的关注, 这主要有以下两个方面原因: 一是电路集成规模和工作速度按照摩尔定律增长, 电路功耗的增加给电路散热带来困难, 同时也限制了电路性能的进一步提高; 二是个人通讯和笔记本电脑等电池供电设备的广泛使用, 要求电路低功耗工作以提高电池的工作时间. 因此, 降低集成电路的功耗已经成为集成电路设计过程中主要考虑的因素. 数字 CMOS 集成电路的低功耗设计无法克服一次翻转消耗 CV^2 的能量壁垒. 能量回收逻辑 (energy recovered logic), 也称绝热电路 (adiabatic circuit) 以其独特的低功耗工作原理近年来得到了广泛的重视^[1].

根据能量回收电路是否能够完全回收节点电荷, 可以分为完全绝热电路和部分绝热电路. 完全绝热过程有两个方案实现: 逐级收缩时钟和信号再生. 逐级收缩时钟需要多级脉宽不定的嵌套时钟信号, 使功率时钟的产生十分困难; 信号再生方法则要求

电路的逻辑功能可逆. 在电路中引入可逆逻辑同样给电路实现带来诸多问题^[7,8], 如设计复杂, 电路结构复杂, 需要冗余的输入、输出与中间锁存器. 需要多相复杂功率时钟等. 实现一个 3bit 加法器, 完全绝热电路需要的电路面积和器件数目是传统 CMOS 电路的 32 倍和 20 倍^[7].

部分绝热电路在电路复杂性上比完全绝热电路有很大降低, 同时具有将电路大部分能量回收的特点, 是一种适合于实际使用的低功耗电路结构. 目前已有多种不同结构形式的部分绝热电路^[1,3,4,5,9,10]. 这些电路的共同特点是回收通路的控制信号是回收信号的本身, 电路节点电荷不能被完全回收, 节点的残留电压与开关的敏感性有关. 在 CMOS 电路中, 残留电压 ΔV 和 MOSFET 的开启电压 V_T 有关. 如果节点的电容为 C_L , 则电路的非绝热损失为 $E_{non} = C_L \Delta V^2$. 文献中有采用低开启电压器件的绝热电路来降低 ΔV . 本文从电路结构角度提出了降低 C_L 和 ΔV 两个因子的措施.

本文第二部分介绍利用自举效应提高输出节点电荷的回收效率, 等效于使用低 V_T 器件实现的电

^{*} 国家自然科学基金 (批准号: 59995550-1) 及清华大学 985 关键研究基金资助项目

戴宏宇 男, 1975 年出生, 博士研究生, 现从事 CMOS 低功耗集成电路与嵌入式系统研究.

张 盛 男, 1975 年出生, 博士研究生, 现从事低功耗高层次综合与低功耗 CPU 结构研究.

周润德 男, 1945 年出生, 教授, 博士生导师, 现从事低功耗集成电路与嵌入式系统研究.

2001-12-12 收到, 2002-02-25 定稿

路性能. 在第三部分介绍采用增加额外回收路径的方法充分回收输出节点的电荷, 使非绝热损失发生在小电容节点.

2 降低 V_{out} 的 HEERL 电路

2.1 电路结构与工作原理分析

HEERL (high efficient energy recovery logic) 电路如图 1 所示, 和其它交叉耦合的能量回收电路

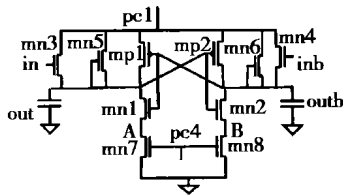


图 1 HEERL 反相器电路与四相功率时钟 1:wait; 2:evaluate; 3:hold; 4:recover

Fig. 1 HEERL inverter structure and four phase power clock 1:wait; 2:evaluate; 3:hold; 4:recover

$pc1$ 开始下降, $pc4$ 为低电平, 将输出节点 out 、 $outb$ 和地的通路截断. 此时 out 为高电平, $outb$ 为低电平, 输入 in 和 inb 都被上一级回收到 0 电平. $outb$ 没有连接到电压源和地的通路, 处于浮空状态. 随着 $pc1$ 的下降, 在 $mp1$ 的栅源电容 C_{gs} 作用下, $outb$ 跟随 pc 下降, 如果 pc 从 V_{dd} 降为 0, 则 $outb$ 的下降幅度为: $\Delta V_{\text{drop}} = \frac{C_{gs}}{C_{gs} + C_L} V_{dd} \cdot C_L$ 包括了输出节点的负载电容和其它寄生电容. 如果 $\Delta V_{\text{drop}} > |V_{tp}|$, 则 $mp1$ 在回收期间一直保持导通, 从而将 out 节点的电荷充分回收. 如图 2 所示的是 $outb$ 节点电压值与 out 节点残留电压的关系图, 如果 $outb$ 一直为 0 电平, 则 out 在 β 点停止下降; 如果 $outb$ 跟随 $pc1$ 下降, 则 β 点沿着直线下移, 当 $\Delta V_{\text{drop}} > |V_{tp}|$, β 点可以到达 0.

在 out 节点电荷回收期间, $outb$ 电压为负值, 但是不会增加电路的能耗. 在本级功率时钟 $pc1$ 完成回收处于低电平保持时, out 节点为 0 电平或更高 (由于回收不完全), $pc4$ 开始上升, $outb$ 节点负电压会通过 $mn2$ 和 $mn8$ 组成的支路和 Gnd 连接而恢复到 0 电平, 这个过程不消耗功率时钟的能量, 因此不增加电路的能耗.

相比, 有两个不同特点: 一是在下拉路径上增加了两个 NMOS 管 $mn7$ 和 $mn8$, 用 $pc4$ 控制, 使回收期间在输出节点产生自举效应; 二是增加 $mn5$ 和 $mn6$ 提高回收速度. 电路的工作过程描述如下:

$pc1$ 的上升沿是本级电路的求值期, 此时 $pc4$ 为高电平, $mn7$ 和 $mn8$ 导通. 设此时输入状态 in 为高电平, inb 为低电平, 则 $pc1$ 通过 $mn3$ 对 out 节点充电, 当 $V_{\text{out}} > V_T$, $mn2$ 导通, $outb$ 被下拉到地. 同时将 $mp1$ 导通, $pc1$ 通过 $mp1$ 和 $mn3$ 组成的 CMOS 通路对 out 节点充电, 不存在非绝热损失. 在回收期间,

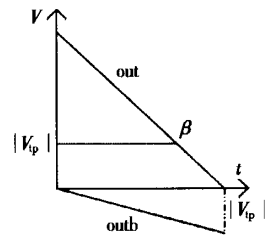
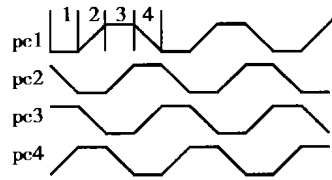


图 2 自举节点电压与被回收节点残留电压关系

Fig. 2 Relation of bootstrapped node voltage and control node voltage

2.2 HEERL 电路模拟结果

图 3 是 HEERL 电路 Hspice 模拟结果, 模拟采用了 0.35 μm 标准 CMOS 工艺器件模型. 图 3(a) 的输出节点波形说明在回收期间浮空节点电压降到 -0.5V , 输出节点的残留电压为 0.5V , 而没有采用自举的电路残留电压为 1V 以上. 图 3(b) 是 HEERL 和 PAL-2N 的能量消耗曲线, 功率时钟的上升和下降时间为 0.1ns , 驱动 20fF 负载, 在每个翻转周期内:

PAL-2N 能耗: $1.13 \times 10^{-13} \text{J}$,

HEERL 能耗: $0.635 \times 10^{-13} \text{J}$,

得到其功耗为:

$$P_{\text{pal-2N}} = 1.13 \times 10^{-13} / 0.4 = 0.283 \mu\text{W},$$

$$P_{\text{HEERL}} = 0.635 \times 10^{-13} / 0.4 = 0.159 \mu\text{W},$$

自举效应节省了 40% 的能量, 说明 HEERL 是一种有效的低功耗电路结构.

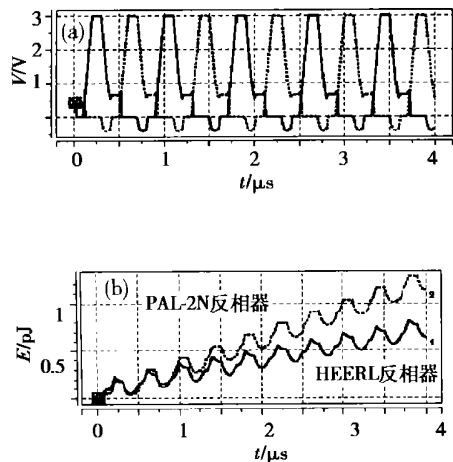


图 3 HEERL 电路模拟结果 (a) HEERL 反相器输出 out 和 outb 波形曲线; (b) HEERL 反相器和 PAL-2N 反相器能耗曲线

Fig. 3 Simulation results of HEERL circuit

(a) Waveform of HEERL inverter output node out and outb; (b) Energy dissipation of HEERL and PAL-2N inverter

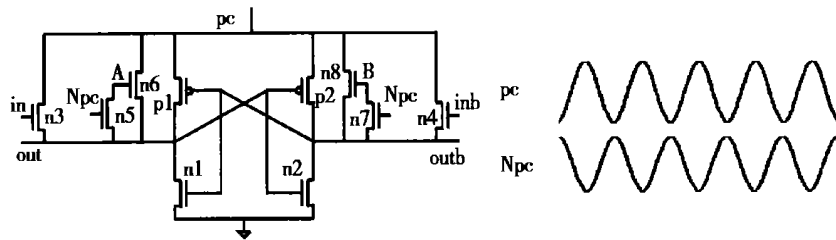


图 4 IERL 反相器/缓冲器电路与功率时钟

Fig. 4 IERL inverter/buffer structure and two phase sinusoidal power clock

点 out 上所节省的能量为 $\frac{1}{2} C_L |V_{\text{tp}}|^2$. 为了能够使电路在增加回收通路后功耗得到降低, 则需要 $\frac{1}{2} C_L |V_{\text{tp}}|^2 > \frac{1}{2} C_A V_{\text{dd}}^2$, 即 $C_L > \left(\frac{V_{\text{dd}}}{V_{\text{tp}}}\right)^2 C_A$, 将典型值 ($V_{\text{dd}} = 3\text{V}$, $V_{\text{tp}} = 0.7\text{V}$) 带入, 可得: $C_L > 11C_A$. 因此在驱动大负载的情况下, 电路的低功耗性能会有很大提高, Hspice 的模拟结果也证实了这个结论.

3 IERL 电路

3.1 电路结构与分析

如图 4 所示的 IERL (improved energy recovery logic) 电路, 充电的通路为 $n^3 + p^1$ 或者 $n^4 + p^2$, 回收的通路为 $n^6 + p^1$ 或者 $n^8 + p^2$, 充电和回收都是 CMOS 的路径, 因此输出节点的电荷可以被充分回收. n^5 和 n^7 对输出节点的电压进行采样, 用于控制 n^6 和 n^8 在回收期间的状态. 具体工作过程描述如下: IERL 电路采用两相正弦功率时钟, 在本级求值期间, pc 开始上升, Npc 开始下降, 根据输入的逻辑电平, pc 通过 CMOS 路径对 out 或者 outb 节点充电, 同时此电平被采样到 A 和 B 点; 在回收期间, pc 开始下降, 如果 out 为高电平, 则 A 点采样电压为高电平, n^6 导通, 和 p^1 一起组成了回收通路, 从而使输出节点的电荷被充分回收.

在整个工作过程中, 为了实现回收通路的控制, 节点 A 的电荷不能够得到回收. 在采样期间, 对 A 的充电是绝热的方式, 在下一次采样过程中, 如果其状态翻转, 则所存储的 $\frac{1}{2} C_A V_{\text{dd}}^2$ 能量将被浪费. 在节

3.2 电路模拟结果

采用 $0.35 \mu\text{m}$ 标准 CMOS 工艺的器件模型, 对 IERL 电路进行了 Hspice 模拟, 模拟结果如图 5 所示.

在 10MHz 频率下驱动 20fF 电容负载, 采用正弦功率时钟的 IERL 反相器和 PAL-2N 反相器的能耗曲线如图 5(b) 所示. 在每个翻转周期内能耗分别为:

$W_{IERL} = 0.936 \times 10^{-13} \text{ J}$, $W_{PAL-2N} = 2.09 \times 10^{-13} \text{ J}$,
功耗为: $P_{IERL} = 0.936 \mu\text{W}$, $P_{PAL-2N} = 2.09 \mu\text{W}$. IERL

电路的功耗比 PAL-2N 降低了 55%, 性能的提高是显而易见的.

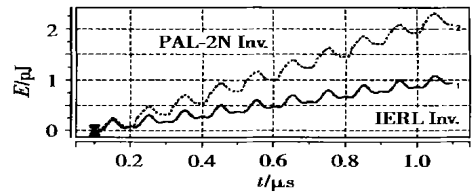
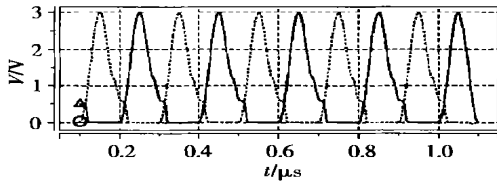


图 5 IERL 电路模拟结果 (a) IERL 反相器/缓冲器输出 out 和 outb 波形曲线; (b) IERL 反相器与 PAL-2N 反相器能耗曲线

Fig. 5 Simulation results of IERL inverter circuit (a) Waveform of IERL Inv output node out and outb; (b) Energy dissipation curve of IERL inverter and PAL-2N inverter

3.3 复杂逻辑门设计与多级电路的级联

利用传输门逻辑或者 CVSL (cascade voltage switch logic) 逻辑构成的 NMOS 功能块代替 IERL 和 HEERL 电路中的 n^3 和 n^4 , 即可实现相应的复杂逻辑, 如图 6(a) 所示的与、异或逻辑通路. 通过四

相梯形功率时钟或两相正弦功率时钟实现多级电路级联, 四相功率时钟的电路每一级依次进行求值→保持→回收→等待四个状态的循环, 两相正弦功率时钟电路每一级则依次在求值→回收状态循环. 级联电路的功率时钟和连接方式如图 6(b) 所示.

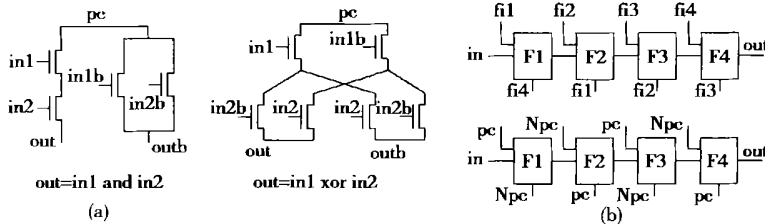


图 6 (a) 复杂逻辑实现; (b) 多级电路的级联

Fig. 6 (a) Complex logic realization; (b) multi-stage circuit cascading

4 结论

部分绝热电路的电路形式和功率时钟比完全绝热电路有很大简化, 同时具备将能量回收的功能, 适合于要求低功耗性能很高的低速工作场合. 如何进一步降低部分绝热电路的功耗, 简化其电路形式是目前研究的热点. HEERL 电路利用自举效应提高回收效率, 等效于采用了低阈值电压工艺的器件; IERL 电路增加了回收通路, 以小电容节点的非绝热损失换取大电容节点的高效率回收, 明显降低了电路的功耗, 采用正弦功率时钟减小了电路在实际应用时的困难, 用 Hspice 模拟的结果验证设计是有效的.

参考文献

- [1] Hinman R T, Schlecht M F. Recovered energy logic, a highly efficient alternative to today's logic circuits. IEEE Power Electronics Specialists Conference Record, 1993: 17
- [2] Denker J S. A review of adiabatic computing. Proceedings of the 1994 Symposium on Low Power Electronics, San Diego, 1994: 94
- [3] Oklobdzija V G, Maksimovic D, Lin Fengcheng. Pass-transistor adiabatic logic using single power-clock supply. IEEE Trans Circuits Syst II: Analog and Digital Signal Processing, 1997, 44(10): 842
- [4] Moon Y, Jeong D K. An efficient charge recovery logic circuit. IEEE J Solid-State Circuits, 1996, 31(4): 514
- [5] Liu F, Lau K T. Pass-transistor adiabatic logic with NMOS pull-down configuration. Electron Lett, 1998, 34(8): 739

- [6] Athas W C, Svensson L J, Koller J, et al. Low power digital systems based on adiabatic switching principles. IEEE Trans VLSI Systems, 1994, 2: 398
- [7] Athas W C, Svensson L J. Reversible logic issues in adiabatic CMOS. 1994 Workshop on Physics and computing, PhysComp'94, 1994
- [8] Fredkin E, Toffoli T. Conservative logic. Int J Theor Phys, 1982, 21(3/4): 219
- [9] Hang Guoqiang, Wu Xunwei. Adiabatic CMOS switching circuits adopting two-phase power-clock supply and avoiding floating output. Chinese Journal of Semiconductors, 2001, 22(3): 366 (in Chinese) [杭国强, 吴训威. 采用二相功率时钟的无悬空输出绝热 CMOS 电路. 半导体学报, 2001, 22(3): 366]
- [10] Li Xiaomin, Qiu Yulin, Chen Chaoshu. A type of bootstrapped charge-recovery logic circuit. Chinese Journal of Semiconductors, 2000, 21(9): 887 (in Chinese) [李晓民, 仇玉林, 陈潮枢. 一种利用自举效应的 Charge-Recovery 逻辑电路. 半导体学报, 2000, 21(9): 887]

Power Optimization Methods of Energy Recovery Circuits^{*}

Dai Hongyu, Zhang Sheng and Zhou Runde

(Institute of Microelectronics of Tsinghua University, Beijing 100084, China)

Abstract: The non-adiabatic loss in energy recovery circuit is proportional to $C_L \Delta V^2$. Two methods are presented to lower the two factors of C_L and ΔV . High efficient energy recovery logic (HEERL) circuit utilizes bootstrap effect to decrease node resistential voltage ΔV . Improved energy recovery logic (IERL) adds extra recovery path to improve the recovery efficiency. At the same time the control node has $C_A \Delta V^2$ non-adiabatic loss, but the total circuit power is saved. Compared with other energy recovery circuits, the two circuits presented show more than 50% power saving with only small area loss.

Key words: energy recovery; low power; adiabatic computation; CMOS circuit

EEACC: 1265A; 2560; 2570D

Article ID: 0253-4177(2002)09-0996-05

* Project supported by National Natural Science Foundation of China (No. 59995550-1) and Tsinghua University 985 Key Research Funds

Dai Hongyu male, was born in 1975, PhD candidate. His research interests are low power CMOS circuit design and embedded system design.

Zhang Sheng male, was born in 1975, PhD candidate. His research interests are low power high level synthesis methods and low power CPU structure.

Zhou Runde male, was born in 1945, professor and advisor for PhD candidates. His research interests are low power IC design and embedded system structure.