

# REBULF LDMOS 实验结果及具有部分 $n^+$ 浮空层结构的分析\*

段宝兴<sup>†</sup> 黄勇光 张 波 李肇基

(电子薄膜与集成器件国家重点实验室, 电子科技大学, 成都 610054)

**摘要:** 分析了 REBULF LDMOS 的实验结果,由击穿电压的测试结果验证了模拟仿真中发现的漏电流增加源于  $n^+$  浮空层的作用,但暴露于表面的  $n^+$  p 结的漏电流使击穿电压降低.为了解决这个问题,文中分析了具有部分  $n^+$  浮空层的 REBULF LDMOS 结构,此结构不但具有降低体内电场的 REBULF 效应,而且终止于源端体内的  $n^+$  p 结解决了文献[10]中的大漏电流问题.分析结果表明,击穿电压较一般 RESURF LDMOS 结构提高 60% 以上.

**关键词:** LDMOS;  $n^+$  浮空层; REBULF 效应; 击穿电压  
EEACC: 2560R; 2560B

**中图分类号:** TN386 **文献标识码:** A **文章编号:** 0253-4177(2007)08-1262-05

## 1 引言

高压集成电路 (high voltage integrated circuit, HVIC) 和智能功率集成电路 (smart power integrated circuit, SPIC)<sup>[1,2]</sup> 是指将高压功率器件与信号处理系统及外围接口电路、保护电路、检测诊断电路等集成在同一芯片上,它将信号采集、处理与功率控制合一,是引发第二次电子革命的关键技术<sup>[3]</sup>. 为满足高、低压隔离的需要,在硅基材料中国际上目前主要开展的是薄外延导电硅层的技术研究. 高压集成技术中关键的高压器件部分还是使用厚度为  $10\sim 20\mu\text{m}$  的外延层,这主要是为了满足横向器件纵向耐压的需要. 但厚的外延层在工艺上势必增加隔离难度. 所以为了满足高、低压兼容的需要,在硅基中采用超薄外延横向技术已成为发展的趋势. 超薄外延高压 LDMOS 器件中的横向耐压可以通过 RESURF (Reduced Surface Field)<sup>[4]</sup> 及相应的技术<sup>[5~9]</sup> 解决. 为了提高纵向饱和击穿电压,文献[10, 11]提出了降低器件体内高电场的 REBULF (Reduced Bulk Field) 技术,这种技术与文献[12]的不同之处在于使用了高阻衬底,高阻衬底满足了高耐压的需要,但这种结构存在的一个关键问题是高阻衬底与浮空的  $n^+$  层形成的  $n^+$  p 结延伸到了单元的表面,即形成的  $n^+$  p 结暴露于空气中,表面严重的缺陷与离子沾污使这个  $n^+$  p 结很难承担高的电压且易发生由于漏电引起的软击穿.

本文为了解决具有完全  $n^+$  浮空层 REBULF LDMOS 中  $n^+$  p 结的大漏电和软击穿问题,以对文献[10]结构的实验分析结果为依据,提出并分析了一种具有部分  $n^+$  浮空层的 REBULF LDMOS,这种结构在实现降低体内高电场、提高击穿电压的条件下,满足了实际设计的需要.

## 2 REBULF LDMOS 结构的实验结果分析

如图 1(a) 为文献[10]的结构和等势线分布图,可以看出,由于  $n^+$  浮空层的等电位作用,使漏端的等势线有一部分分配到了源端,这就降低了漏端体内的高电场;分配到源端的等势线提高了源端的电场且承担了一部分纵向击穿电压,这部分电压等同于高阻衬底与  $n^+$  浮空层形成的  $n^+$  p 结承担的电压. 但在实际设计中(如图 1(b) 的圆环型版图: D 表示漏电极; S 表示源电极; G 表示栅) 这个平行平面  $n^+$  p 结终止于表面而暴露在空气中,表面高的缺陷和严重的离子沾污使这个理论上应该能够承担高电场的平行平面结很难达到要求,表面大的漏电流使器件很容易发生软击穿. 一般 RESURF LDMOS 利用图 1(b) 的圆环型版图设计,漏端的高电位被源端和衬底的零电位包围,包含高电场的漏端结位于器件内部,除受结的曲率影响外,击穿由硅材料的临界击穿电场决定. 但如果 REBULF LDMOS 结构应用这种设计,漏端的高电场在器件横向虽被零电位的

\* 国家自然科学基金重点基金资助项目(批准号:60436030)

<sup>†</sup> 通信作者. Email: bxduan@163.com

2007-01-17 收到,2007-03-10 定稿

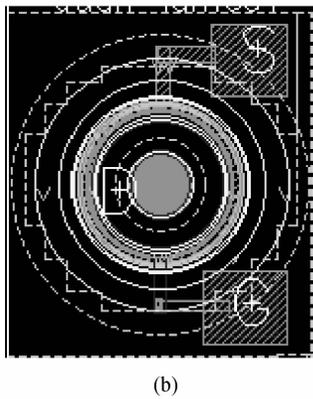
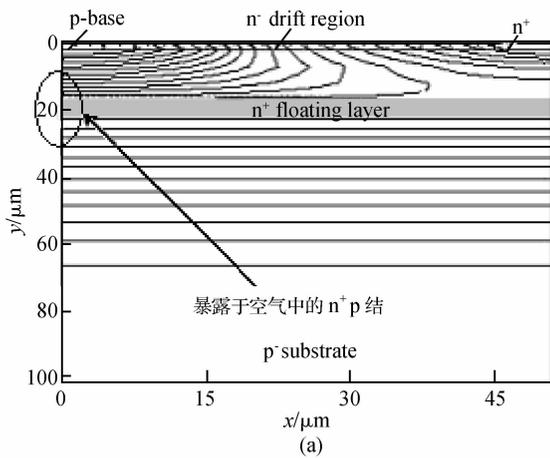


图 1 (a) n<sup>+</sup>-floating 层 REBULF LDMOS 结构等势线分布；  
(b) 圆环型版图  
Fig. 1 (a) Potential distribution of REBULF LDMOS; (b) Circle layout

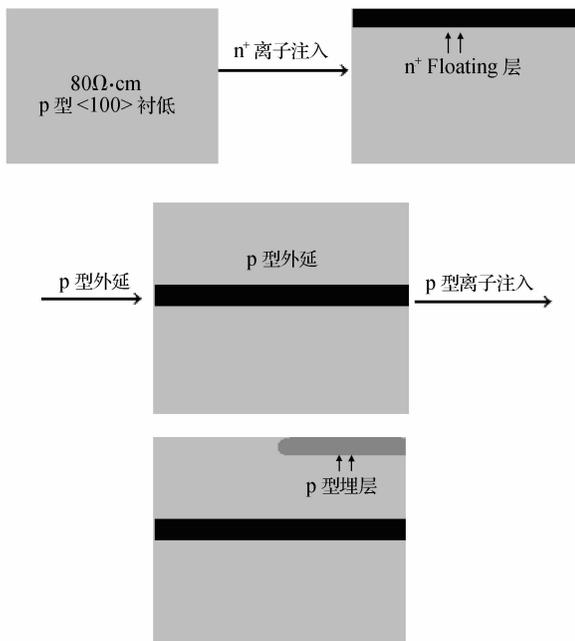


图 2 衬底材料制备的工艺流程  
Fig. 2 Technics process of substrate material

源端包围,但由于具有一定电位的 n<sup>+</sup> 浮空层的等电位作用,将高电场引到了单元的边缘,这时器件的击穿除由硅材料的临界击穿电场决定外,还受表面缺陷的影响,而表面缺陷和离子沾污在一定程度上会降低材料的临界击穿电场.

实验用有源片直径为 125mm 的硅片、电阻率为 80Ω·cm、晶向<100>p 型硅衬底,图 2 所示为衬底材料制备的工艺流程.

第一步:选择 p 型<100>晶向的衬底,经过预处理后在 p 型衬底上注入 As,形成高浓度的 n<sup>+</sup> 浮空层.

第二步:在 n<sup>+</sup>-floating 层上外延一定电阻率的 p 型外延层,外延层的电阻率和厚度由 REBULF 条件<sup>[10]</sup>决定.

第三步:为了防止浮空的 n<sup>+</sup> 层将等势线扩展向源端时,引起源端的穿通击穿,在源端沟道处离子注入 p 型材料形成 p 型埋层,p 型埋层还具有优化表面电场、降低比导通电阻的作用<sup>[13]</sup>.

图 3 所示为文献[10]结构的击穿曲线,实验设计的 REBULF LDMOS 为具有 n 沟道、漂移区为 n

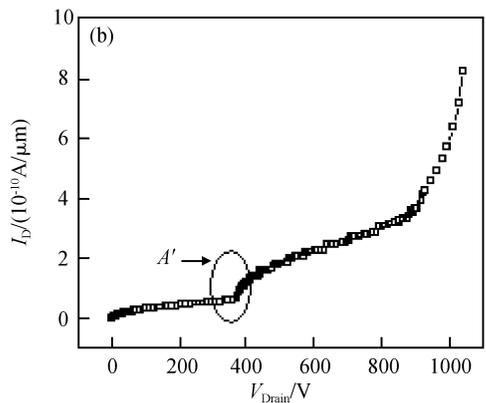
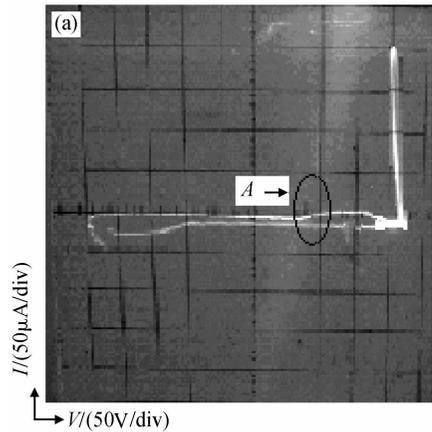
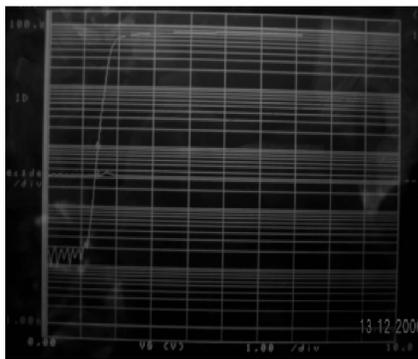


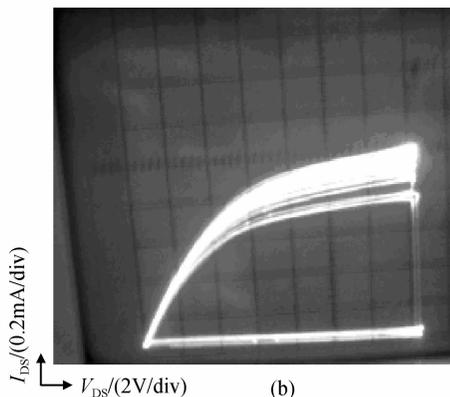
图 3 文献[10]中的击穿曲线 (a) 实验曲线;(b) 模拟曲线  
Fig. 3 Breakdown voltage of Ref. [10] (a) Experiment result;(b)Simulation result

型的 LDMOS. 主要的结构参数为: p 型衬底的浓度  $N_{\text{sub}} = 2 \times 10^{14} \text{ cm}^{-3}$ , p 型外延层的厚度  $W = 50 \mu\text{m}$ , n 型漂移区外延层厚度为  $4 \mu\text{m}$ , 漂移区长度  $L_d = 70 \mu\text{m}$ . 从图 3(a) 的击穿曲线可以看出, 当漏端电压达到 A 点的 370V 左右时, 器件的漏电流有所增加, 这是由于 370V 的漏端电压使漏端的耗尽层刚好耗尽至  $n^+$  浮空层,  $n^+$  浮空层参与结终端而使漏电流有所增加, 这与利用 TSUPREM-4<sup>[14]</sup> 和 MEDICI<sup>[15]</sup> 联合模拟仿真的结果(图 3(b) 中的 A' 点)吻合, 但这种增加的漏电流很小, 不足以引起器件的雪崩或软击穿. 当  $n^+$  浮空层参与终端后, 高阻衬底与  $n^+$  浮空层形成的结开始承担反向耐压, 这就是图 3(a) 中大于 A 点的电压部分. 但由以上的分析可知, 这种终止于表面的  $n^+$  p 结很难承担高的电压. 图 3(a) 所示当电压为 500V 左右时出现漏电流剧增的击穿现象, 而模拟设计的  $n^+$  p 结应当承担的电压为 900V 左右, 这就说明了暴露于表面的平行平面结很难达到设计的要求.

图 4 所示为实验得到文献[10]结构的转移特性曲线与开态  $I$ - $V$  曲线. 从图 4(a) 的转移曲线获得的器件阈值电压为 1.4V 左右(横坐标: 1.0V/div; 纵坐标最大  $100 \mu\text{A}$ ), 与通过 TSUPREM-4 工艺仿真模拟得到的 1.3~1.4V 基本吻合. 图 4(b) 的  $I$ - $V$  曲



(a)



(b)

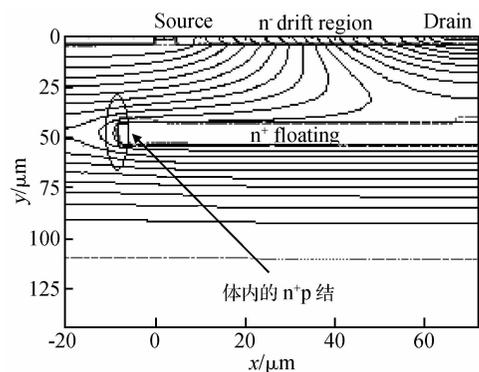
图 4 (a)  $V_g$ - $I_d$  曲线; (b)  $V_d$ - $I_d$  曲线Fig. 4 (a) Curves of  $V_g$ - $I_d$ ; (b) Curves of  $V_d$ - $I_d$ 

线与工艺仿真的吻合也说明了在衬底材料制备完成之后, 后序的流片过程达到了设计的参数要求.

### 3 具有部分 $n^+$ 浮空层 REBULF LDMOS 结构的模拟分析

为了解决文献[10]结构具有的  $n^+$  p 结击穿电压低的问题, 本论文首次提出了具有部分  $n^+$  浮空层的 REBULF LDMOS 结构和等势线分布, 如图 5 所示. 这种结构将暴露于表面的  $n^+$  p 结终止于器件的源端体内, 版图设计中避免了文献[10]具有的大漏电流和软击穿问题. 从图 5 中可以看出, 漏端高的电场已通过将部分等势线分配到源端的  $n^+$  浮空层末端而降低, 也达到了如文献[10, 11]降低体内高电场、提高击穿电压的目的. 终止于  $n^+$  浮空层末端的等势线(或末端处电力线集中)会增加此处的电场, 这与一般扩散结的曲率效应类似. 但这种终止于体内的电力线不会因表面缺陷或离子沾污而降低硅材料的临界击穿电场, 不存在大的漏电流.

图 6 所示为具有相同结构参数时, 一般 RESURF LDMOS 与具有部分  $n^+$  浮空层 REBULF LDMOS 结构的电场分布. 可以看出, 与一般 RESURF LDMOS 结构相比, 漏端高电场峰通过部分  $n^+$  浮空层分成了两个峰(图 6 中的 Pk1 和 Pk2), Pk2 的引入降低了 Pk1 的电场, 使器件达到硅材料临界击穿电场时纵向电压提高. 在图 6 所示的结构参数下, 具有部分  $n^+$  浮空层 REBULF LDMOS 结构的击穿电压为 968V, 比一般 RESURF LDMOS 结构的 598V 提高了 61%. 这与同参数下文献[10]得出的击穿电压提高 75% 以上的偏低, 主要原因为具有部分  $n^+$  浮空层使终结于体内的  $n^+$  p 结受到结曲率的影响. 源端由于浮空的  $n^+$  层作用, 电场较一般 RESURF LDMOS 的增加, 这部分增加的电压等

图 5 具有部分  $n^+$  浮空层 REBULF LDMOS 结构等势线分布Fig. 5 Potential distribution of REBULF LDMOS with partial  $n^+$ -floating layer

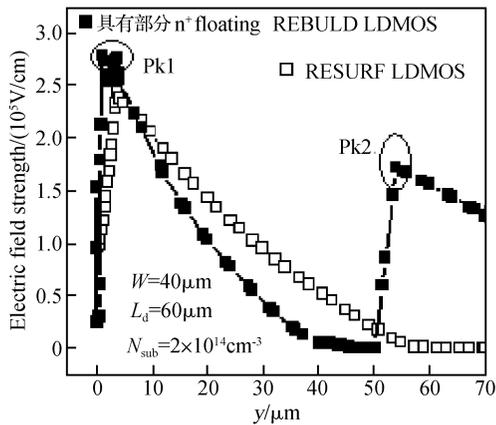


图 6 漏端纵向电场分布

Fig. 6 Vertical electric field profiles around the drain

同于部分  $n^+$  浮空层与高阻衬底的耐压。

图 7 为漂移区长度 ( $L_d$ ) 与击穿电压的关系曲线。可以看出,两种结构的击穿电压在达到最大值之前都随  $L_d$  的增大而增大,这是因为当  $L_d$  较小时,器件的击穿电压主要由横向耐压决定, $L_d$  增大到一定值时纵向耐压达到最大;REBULF LDMOS 结构由于  $n^+$  浮空层的作用,击穿电压达到最大值后,随  $L_d$  增大而降低,这是由于随  $L_d$  的增大, $n^+$  浮空层上的电压减小,这与一般 RESURF LDMOS 结构击穿电压饱和的规律不同。从图 7 可以看出,具有部分  $n^+$  浮空层 REBULF LDMOS 的最大耐压比 RESURF LDMOS 结构的提高了  $\Delta V$ ,这也是采用 REBULF 技术提高器件纵向耐压的目的所在。

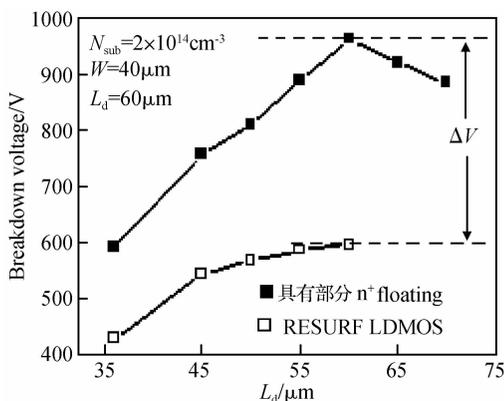


图 7 漂移区长度与击穿电压关系曲线

Fig. 7 Breakdown voltage versus the length of drift region

## 4 结论

本文在分析 REBULF LDMOS 结构实验结果的基础上,从击穿电压测试方面验证了此结构漏电

流增加的原因是由于  $n^+$  浮空层的终端作用。击穿电压较模拟分析低的原因因为暴露于表面的  $n^+$  p 结大的漏电流,表面严重的缺陷和离子沾污使  $n^+$  p 结很难承担设计的耐压。为了解决这个问题,本文首次提出并分析了具有部分  $n^+$  浮空层的 REBULF LDMOS,终止于源端体内的  $n^+$  p 结解决了大漏电流问题。分析结果表明击穿电压较一般 RESURF LDMOS 结构提高了 60% 以上。

致谢 感谢中电集团 58 所和上海新傲公司对本文实验部分的支持。

## 参考文献

- [1] Robb S P, Sutor J L, Terry L. Industry trends in power integrated circuits. IEDM Tech Dig, 1988; 792
- [2] Udrea F, Trajkovic T, Amaratunga G A J. Membrane high voltage devices—a milestone concept in power ICs. IEDM Tech Dig, 2004; 451
- [3] Chen X B. First and second electronic revolution caused by semi-conductor electronic technology. Journal of UESTC, 2000, 2(2): 20 (in Chinese) [陈星弼. 由半导体微电子技术引起的两次电子革命. 电子科技大学学报, 2000, 2: 20]
- [4] Appels J A, Collet T M G, Hart P A, et al. Thin layer high-voltage devices (RESURE devices). Philips Journal of Research, 1979, 35(1): 1
- [5] Imam M, Hossain Z, Quddus M, et al. Design and optimization of double-RESURF high-voltage lateral devices for a manufacturable process. IEEE Trans Electron Devices, 2003, 50(7): 1697
- [6] Chen Xing-Bi, Sin J K O. Optimization of the specific on-resistance of the COOLMOSTM. IEEE Trans Electron Devices, 2001, 48(2): 344
- [7] He Jin, Zhang Xing, Wang Yangyuan. Linearly varying surface-implanted n-layer used for improving trade-off between breakdown voltage and on-resistance of RESURF LDMOS transistor. Microelectronics Journal, 2001, 32: 969
- [8] Duan Baoxing, Zhang Bo, Li Zhaoji. A new partial SOI power device structure with P-type buried layer. Solid-State Electron, 2005, 49: 1965
- [9] Duan Baoxing, Zhang Bo, Li Zhaoji. New thin-film power MOSFET's with a buried oxide double step structure. IEEE Electron Device Lett, 2006, 27(5): 377
- [10] Zhang Bo, Duan Baoxing, Li Zhaoji. Breakdown voltage analysis of REBULF LDMOS structure with  $n^+$ -floating layer. Chinese Journal of Semiconductors, 2006, 27(4): 730 (in Chinese) [张波, 段宝兴, 李肇基. 具有  $n^+$  浮空层的体电场降低 LDMOS 结构耐压分析. 半导体学报, 2006, 27(4): 730]
- [11] Duan Baoxing, Zhang Bo, Li Zhaoji. New lateral super junction MOSFET's with  $n^+$ -floating layer on a high-resistance substrate. Chinese Journal of Semiconductors, 2007, 28(2): 166
- [12] Khemka V, Parthasarathy V, Zhu Ronghua, et al. A floating RESURF (FRESURF) LD-MOSFET device concept. IEEE Electron Device Lett, 2003, 24: 664
- [13] Stupp E H, Colak S, Ni J. Low specific on-resistance 400V LDMOS. IEDM Tech Dig, 1981: 426

[14] TSUPREM4. A two-dimensional process simulator. TMA, Palo Alto, CA, 1991

[15] TMA MEDICI 4.2, Technology Modeling Associates Inc, Palo Alto, US

## Experiment Results of REBULF LDMOS and Analysis of a Partial $n^+$ -Floating Structure\*

Duan Baoxing<sup>†</sup>, Huang Yongguang, Zhang Bo, and Li Zhaoji

(State Key Laboratory of Electronic Thin Films and Integrated Devices, University of Electronic Science and Technology of China, Chengdu 610054, China)

**Abstract:** The results of an experiment on REBULF LDMOS are analyzed. The increased leakage current is due to the  $n^+$ -floating layer, as proved by the test results of breakdown voltage. However, the breakdown voltage decreases as a result of the leakage current of the  $n^+$  p junction being exposed to the surface. In order to resolve this problem, a REBULF LDMOS with a partial  $n^+$ -floating layer is proposed for the first time. An effective REBULF is obtained using this structure, and the large leakage current of Ref. [10] is eliminated by an inner  $n^+$  p junction around the source. The results show that the breakdown voltage is increased by 60% in comparison with traditional RESURF LDMOS.

**Key words:** LDMOS;  $n^+$ -floating layer; effect of REBULF; breakdown voltage

**EEACC:** 2560R; 2560B

**Article ID:** 0253-4177(2007)08-1262-05

---

\* Project supported by the National Natural Science Foundation of China (No. 60436030)

<sup>†</sup> Corresponding author. Email: bxduan@163.com

Received 17 January 2007, revised manuscript received 10 March 2007