

一种用于提取超大规模集成电路电容的新型库查找法^{*}

赵 鹏 张 杰 陈抗生 王浩刚[†]

(浙江大学信息与电子工程学系, 杭州 310027)

摘要: 提出了八种节点电容典型结构用以建立电容模型库, 并阐明了这八种结构可以提取大多数 VLSI 互连线的电容参数, 给出了这些结构的拟合公式. 采用该库查找法计算的互连线电容结果与 FastCap 所得结果非常吻合. 由于电容是直接代入拟合公式计算得到的, 所以计算速度非常快.

关键词: 库查找法; 多层; VLSI 互连线; 互连线电容

EEACC: 1130B; 2570A; 1110

中图分类号: TN405.97

文献标识码: A

文章编号: 0253-4177(2007)11-1794-09

1 引言

在 VLSI 电路里, 金属线排布得非常密, 而且是多层布线的. 在 $0.18\mu\text{m}$ 的 CMOS 工艺中, 存在 6 层金属互连层和 1 层多晶硅, 而英特尔 65nm 工艺采用了 8 层铜互连^[1]. 密集的布线产生金属线间的互电容. 虽然低介电系数介质的使用可降低互连线的互电容, 但芯片特征尺寸的减小和布线密度的增加使得这种电容又变得不可忽视^[2]. 二、三维数值解法(常称作场求解器), 虽然能够对任意复杂形状的导体求电容, 且得到的结果非常精确^[3,4], 但是由于庞大的内存开销和极长的计算时间, 而不适合芯片级的 VLSI 电路的电容提取^[5,6]. 层次式算法^[7,8]可以加速电容提取而且精度较高, 但如果芯片非常大, 希望提取时间更短, 采用基于分析方法的电容提取库方法则非常适合.

相比于传统的简单经验公式的局限性^[9], 采用模式库的方法则要准确很多. 其核心思想是在某一工艺条件下, 将介质层厚度、金属层厚度和介电常数等不变的参数用数值方法求得其在最终电容中所起的作用, 而将那些在具体问题中会改变的参数作为查找库所需要的变量^[5,10], 最后生成的库中存放着预先得到的结合模式库的插值点或者解析公式^[2]. 近几年, 已有很多学者在这方面做了大量的工作. 在国内, 张雷等人^[11]提出了一种在工艺变动的情况下建库的方法, 解决了由于刻蚀不均匀引起的工艺变动问题; 戴斌华等人^[12]介绍了两种电容建库方法:

分析模型建库和电容宏模型建库, 并给出了一种对复杂三维互连结构宏模型建库的解决方法. 对于分析模型建库, Sim 等人^[13]用了很少的模型来建库, 建库非常快, 但是这种模型只考虑目标线周围很少邻线效应, 电容结果可能不准确; 文献^[10,14]同样存在这个问题, 当目标线周围邻线排布较密时, 邻线的影响就不能被忽略. Wong 等人^[15]为其模式建立了比较完善的拟合公式, 但是这些公式只能处理比较对称的结构.

针对上述问题, 本文应用了文献^[6]中的一些结论, 首次提出了用八种典型的局部互连线模型及其组合来对不规则模型建模的方法, 这八种模型考虑了邻线的影响并可以处理不对称结构. 由于用了较少的模型就可以对多种结构建模, 所以大大减少了建库时间. 对于每种模型, 我们还给出了相应的计算拟合公式及其建库的方法. 本文的数值结果充分显示了库查找法的有效性. 此外, 当前的纳米级工艺又出现了很多电容提取新问题, 比如工艺参数变动、高级电介质和铜工艺、X 结构互连、DFM 等问题. 张雷等人^[11]专门针对工艺参数变动问题提出了解决办法, 本文的建库方法也能处理导线宽度和间距的工艺变动, 但是高度的工艺变动就需要重新建库. 对于铜工艺问题, 现在很多场求解器使用代工厂提供的详细数据对高级电介质、梯形导体、铜技术和其他性能变化效应提供了三维的建模和表征^[16], 从而使本文这种依靠场求解器的库方法也能处理这类问题. 但是本文的方法不能解决 X 结构互连和 DFM 问题, 对 X 结构互连的建模和在设计阶段预估并修

^{*} 国家教育部博士点基金(批准号: 20060335065)和浙江省自然科学基金(批准号: Y105477)资助项目

[†] 通信作者. Email: hgwang@zju.edu.cn

2007-05-14 收到, 2007-06-29 定稿

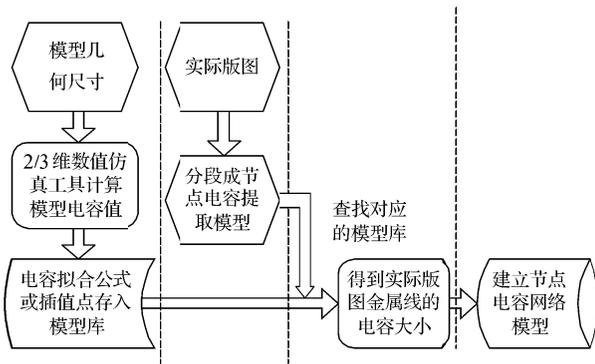


图 1 库查找法的示意图
Fig. 1 Flow of library approach

正电气、平板刻蚀工艺的特性与变化将是我们的下一步工作。

2 用库查找法提取电容的步骤

本文建立的库查找法的具体步骤如图 1 所示. 第一步是模式建库, 选取几个有代表性的电容模式, 用场求解器(本文用 FastCap^[4])提取电容, 拟合出电容解析公式或存储样本电容用于电容插值. 第二步是电路电容分节点, 即把实际电路中的互连线先进行分段, 并把分成的每一段导线看作最后生成的电路模型中的一个节点. 第三步是匹配电容模式, 每段导线和周围邻线构成一个电容提取单元, 每个单元找到库中相匹配的电容模式, 代入插值点或解析公式, 求出每段导线的电容. 第四步, 把这些节点电容映射成一个等效网络, 就能得到一个可以被 SPICE 等软件识别的文件.

3 VLSI 布线电容提取模型

为了建立有效的电容模型, 我们首先需要了解 VLSI 的几何布线结构以及导线的耦合情况. 大多数金属布线都采用相邻层垂直正交的布线结构. 这样可以减小重叠电容, 增加布线的机动性^[15], 还可以减小串扰和延时等的影响^[5].

根据形成电容的 VLSI 电路几何结构可以把电容分成平行板电容、侧向耦合电容和边缘电容三种^[5, 10, 17]. 在二点五维模型中, 可以把电容根据目标导线层和其他层之间的关系也分成三种电容, 即同层之间的侧向耦合电容, 邻层之间交叉电容和隔层之间的对地板电容^[15].

其中邻层之间交叉电容 C_{cr} 如图 2(a) 所示, 为目标导线与邻层金属线的重叠电容, 目标导线侧壁和邻层金属线上底面的边缘电容以及邻层金属线侧壁和目标导线下底面的边缘电容三部分之和. 即

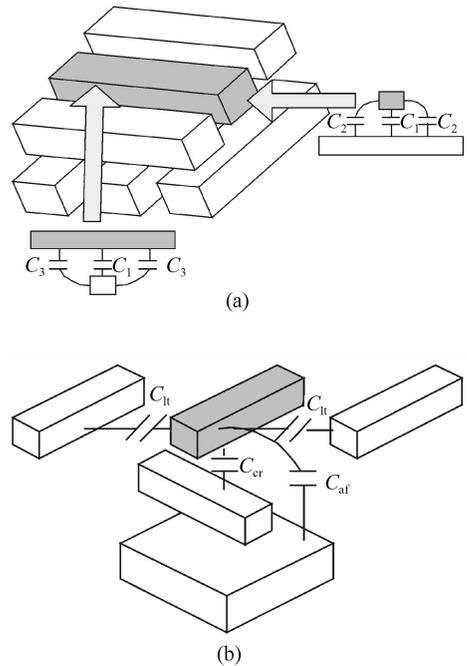


图 2 (a) 邻层的交叉电容; (b) 同层的侧向耦合电容和隔层的对地板电容
Fig. 2 (a) Crossover capacitance; (b) Lateral capacitance and capacitance to ground

$C_{cr} = C_1 + 2C_2 + 2C_3$. 同层侧向耦合电容 C_{lt} 如图 2(b) 中所示, 即目标导线与同层邻线的耦合电容. 隔层的对地板电容 C_{af} 如图 2(b) 中所示, 是目标导线与隔层地板之间的重叠电容和目标导线侧壁与隔层地平面之间的边缘电容之和.

4 分段分块与八种典型结构

本文的库查找法使用了分段和分块的思想, 可以把不对称结构建模成对称结构. (1) 分段: 对于芯片级互连线网络, 建立电容模型和查找模型库都很困难, 而把导线分段成节点模型, 就使得建模变得简单很多. (2) 分块: 如果一个节点周围的局部布线结构不对称, 则需要建立的模型库非常多, 建库时间也就相应地变得很长. 本文根据文献^[6]的一些结论, 提出了把每段导线(即一个节点)和邻线间的电容分成上左前、上右前、下左前、下右前、上左后、上右后、下左后和下右后八部分单独计算的方法, 然后把每部分都拓展成一对称完整电容提取单元, 该部分电容就是对称完整电容提取单元电容值的 1/8. 这样每个模型涉及的几何参数就非常少, 需要的模型库也相应地少了.

4.1 对基本物理结构的定义

目标节点所在层定义为 i 层, 与 i 层相邻的靠

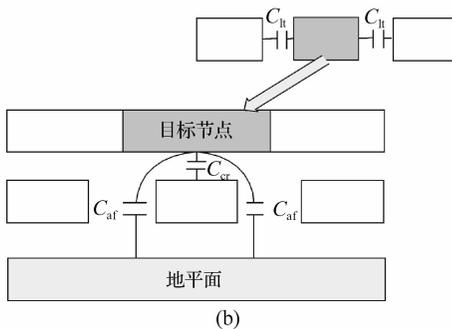
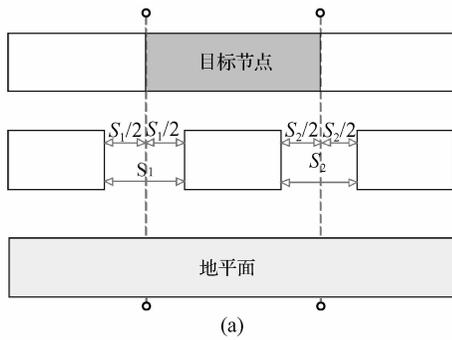


图 3 (a)节点的分割;(b)节点电容

Fig.3 (a) Nodal segmentation;(b) Nodal capacitance

近晶体管的一层定义为下层或 $i-1$ 层, 靠近封装的一层定义为上层或 $i+1$ 层, 依次类推. 把导线的同层邻线定义为左右导线. 金属线的长、宽、厚和线间距离分别定义为 w, l, t 及 s , 介质层厚度定义为 h .

4.2 分段与建立节点单元模型

目标导线根据其穿过的不同结构分成了若干节点. 考虑到一般的多层互连线越靠近晶体管越密, 所以本文把目标导线根据下层金属线分段成节点, 每个节点与下层一条金属线对应(见图 3(a)). 这样由于节点取得较密, 每个节点都只和周围少数几条邻线存在较大的耦合关系.

由前面电容模型的分析以及文献[6]中的准则有:(1)目标节点的同层耦合考虑同层相邻的两条金属线;(2)在 $i \pm 2$ 层以外的金属层都不用考虑, 且 $i \pm 2$ 层可以当成地平板;(3)在 $i \pm 1$ 层, 本文考虑目标节点在 $i \pm 1$ 层的重叠金属线及其左右各一条邻线^①, 则目标节点与邻线间存在如图 3(b)所示的电容. 这里的三条规则就是本文确定节点电容提取单元的基本规则.

4.3 目标节点电容分块叠加

如果从版图提取的金属线结构都是对称完整的, 那节点电容的提取单元模型就如图 4 所示(在同一层中导线宽度和间距都相等, 且目标节点的上下

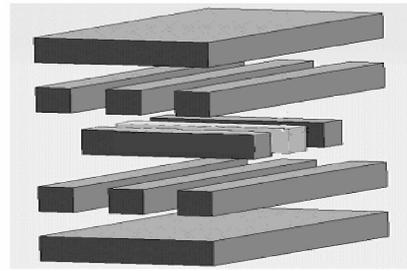


图 4 典型结构 1

Fig.4 Typical model 1

层完全对称, 即 $s_{i-1} = s_{i+1}, w_{i-1} = w_{i+1}$, 这里下标表示层号), 我们把这种结构称为典型结构 1(中间那条浅色线为目标导线). 但如果金属线不是对称完整时, 就要把节点再细分, 把分成的每块节点部分都建模成对称结构, 这样就可以减少模式库.

(1)根据[6]的准则 5, 第 $i \pm 1$ 层金属线对第 i 层金属线影响的相互关系是可以被忽略的. 这就表明在研究目标节点所在的 i 层时, 第 $i-1$ 层和第 $i+1$ 层对其的耦合作用是可以分别单独考虑的. 那么目标节点的电容就可以对上层和下层分开处理, 得到对上下边的单边电容, 然后再叠加. 也就是可以把一个电容提取单元上下对分成两个 $1/2$ 单元单独计算.

(2)根据[6]的准则 4, 同层金属线的耦合电容只需要考虑最相邻的两条金属线, 且这两条邻线对目标金属线的作用是相互独立的. 这样, 目标节点就可以对它的左右两边单独计算, 得到对左右边的单边电容, 然后再叠加. 结合准则 5, 就可以把节点电容提取单元分成上左、上右、下左和下右四个 $1/4$ 单元单独处理(即分 4 块).

(3)当第 $i+1$ 层或第 $i-1$ 层的三条金属线不对称时, 分出的四分之一单元也不是对称的. 这样, 本文把目标节点再根据上下层重叠金属线分别分成前后两个“半节点”. 我们根据下层重叠金属线的中心把目标节点对分, 就成了前后两个“半节点”(图 5, 这里为了简洁, $i \pm 2$ 层没有在图中表示).

对于上层, 根据之前的分析, 节点上层可能有 0, 1 或 2 条重叠导线这三种情况. (1)没有重叠导

^① 根据节点的划分, 目标节点下层必定只有一条重叠金属线, 考虑到目标节点上层导线比下层导线排布稀疏, 所以上层可能有 0, 1 或 2 条重叠导线(可能是部分重叠). 当上层没有重叠导线或只有一条重叠导线时, 节点电容提取单元在上层仍然取重叠导线(如果存在)和这个区域外的左右各一根邻线, 但当上层有两条部分重叠的导线(由于上层比下层稀疏, 如果有两条重叠导线, 则必定是部分重叠, 且分布于目标节点的两端)时, 则上层只取这两条重叠导线而不用再取它们的邻线了. 这样取一个节点电容提取单元就可以基本保证得到所需电容值.

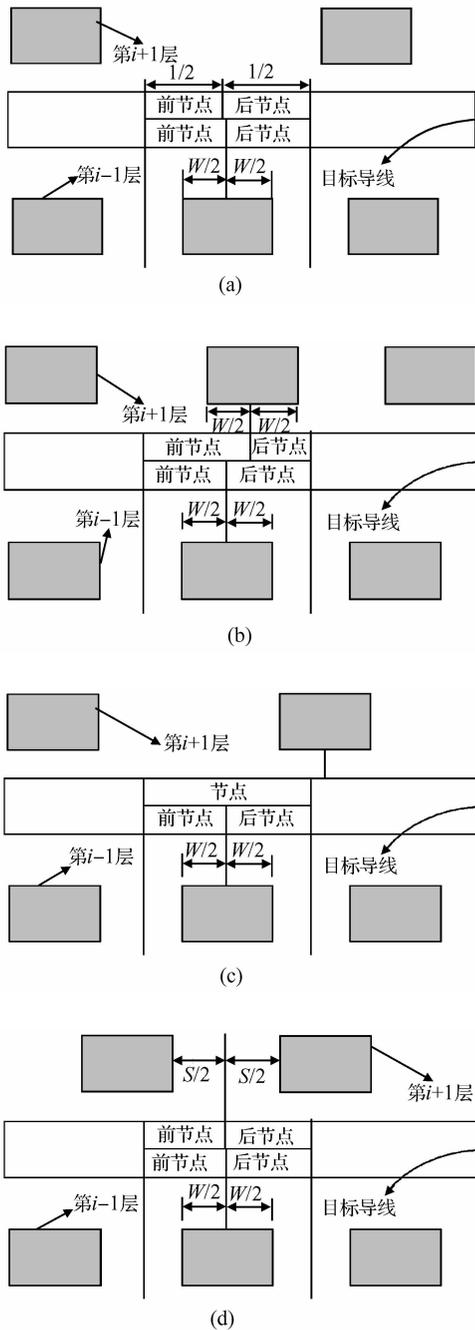


图 5 前后节点的分割

Fig. 5 Segmentation of front and back node

线:目标节点对上层沿节点中心划分为前后两个“半节点”(图 5(a)). (2)一条重叠导线:当重叠导线中心在节点区域内,则也和下层一样根据重叠导线的中心各分成前后两个“半节点”(图 5(b)).如果重叠金属线的中心在节点外时,则不对该节点进行分割(图 5(c)),或者可以看成目标节点被划分成一个和原节点等长的半节点和一个长度无限小的半节点. (3)两条重叠导线:沿两条重叠导线间的中心把节点分成前后两个“半节点”(图 5(d)).这样一个节点就

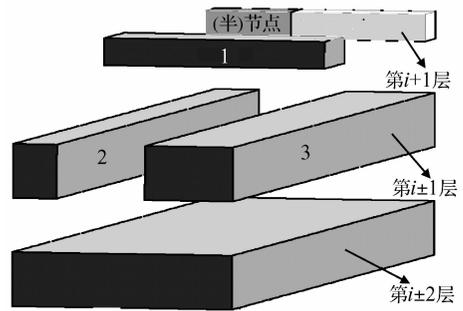


图 6 1/8 电容提取单元

Fig. 6 Cell for 1/8 capacitance extraction

按上下层导线分别划分为前后两个“半节点”,已有的四个 1/4 单元通过划分前后节点就变成了八个 1/8 单元.

不管是用图 5 的何种方法把一个 1/4 单元分成两个 1/8 单元,任何一个 1/8 单元都可以用图 6 来表示,且图 6 是周围邻线都存在时的情况.图中浅色代表目标导线的一部分,它包含目标节点中的一个半节点.根据本文所取的节点电容提取单元的规则,图 6 是任意一个单元的 1/8 单元在其周围所有邻线都存在时的情况.一个 1/8 单元中目标节点的邻线最多只有 1,2 和 3 号这三条邻线.当目标节点周围的邻线非常稀疏(当间距大于线宽的八倍时,本文认为间距就相当于无穷大),或目标节点处于布线网络的边缘时,这个 1/8 单元中的目标半节点周围的三条邻线就不一定都存在.图 6 中的 1,2 和 3 号导线都有存在或不存在两种状态,所以任意一个 1/8 电容提取单元有且只有 $2 \times 2 \times 2 = 8$ 种结构.也就是说任意一个节点电容提取单元都可以分成八个 1/8 子单元来计算,且这样子单元总共有八种,即任意一个节点电容提取单元都可以用这八种子单元来建模.由于对一个 1/8 单元提取电容比较麻烦,所以可以把一个 1/8 单元上下左右前后对称拓展,就成了一个对称完整的电容提取单元,一个子单元电容是完整电容提取单元电容的 1/8.

4.4 其余七种典型结构

上面阐述了任意一个节点电容提取单元都可以用八种 1/8 单元来建模,把这八种 1/8 单元上下左右前后对称成完整的电容提取单元,就成了八种典型的节点电容提取单元.当把图 6 所示的 1/8 结构对称成完整的电容提取单元,就成了图 4 所示的典型结构 1.而当 1,2 或 3 号线有部分缺少时,1/8 结构对称成完整的电容提取单元如图 7 所示(浅色线为目标导线,这里只画了 $i \pm 1$ 层之间的金属线分布, $i \pm 2$ 层地平面没有表示),分别定义为典型结构 2 致典型结构 8.

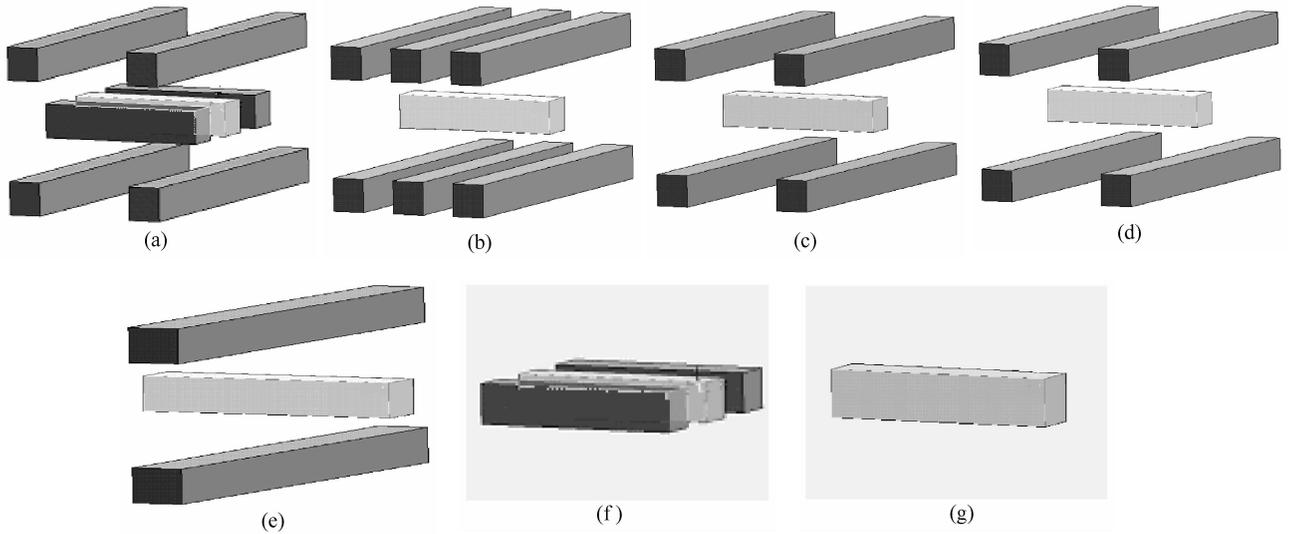


图 7 典型结构 2~8
Fig.7 Typical models 2~8

根据本文所取的节点电容提取单元的规则及以前的分析,任何一个不对称的电容提取单元都可以用这八种模型的一个组合来建模,所以这 8 种典型结构是完备的。

本文所使用的模式库方法,相比较工业界现有的库方法软件,比如 xCalibre, StarRC 等,这些软件能处理比较自由的布线,而本文的方法只能处理相邻层垂直正交的布线.但是由于本文的模式非常少,所以建库时间相比上述软件要快很多。

5 建立模式库

如前所述,模式库的建立有两种:拟合公式和电容插值.下面主要介绍拟合公式方法(本文拟合公式中电容 C_{af} 和 C_{lt} 是对导线长度归一化为 1m 后的单位长度的电容,而 C_{cr} 不对长度归一化)。

5.1 对于模式 7

目标导线存在 C_{af} 和 C_{lt} . C_{af} 是目标导线对导线长度在与 $i \pm 1$ 层重叠区域外的长度归一化后的结果.考虑到导线厚度已经固定,长度已经归一化,所以影响 C_{af} 的因素有目标导线线宽 w 以及同层邻线的影响.如果不考虑邻线的影响,则重叠电容和线宽成正比,边缘电容是和线宽无关的常数,即 $\frac{C_{af}}{\epsilon_r} = a + bw$. 由于从目标导线上下底面到邻线上下底面的电场线很少,所以邻线只对 C_{af} 的边缘电容部分 a 有影响.用 i 层导线的间距 s 的多项式来表示这部分的影响,则模式 7 的 C_{af} 可以表示为:

$$\frac{C_{af}}{\epsilon_r} = a + bw + cs + ds^2 + es^3 + fs^4 \quad (1)$$

考虑到邻线的宽度对同层侧向耦合电容 C_{lt} 基本没有影响^[6].除了导线长度和高度, C_{lt} 还和线间距有关.本文用 $1/s$ 的多项式来拟合 C_{lt} , C_{lt} 可以表示为:

$$\frac{C_{lt}}{\epsilon_r} = a + b\left(\frac{1}{s}\right) + c\left(\frac{1}{s}\right)^2 + d\left(\frac{1}{s}\right)^3 + e\left(\frac{1}{s}\right)^4 \quad (2)$$

5.2 对于模式 3

目标导线存在 C_{af} 和 C_{cr} . 不考虑邻层导线的影响, $\frac{C_{af}}{\epsilon_r} = a + bw$. 由于 C_{af} 是对邻层除重叠导线外的区域做归一化的,所以邻层导线的宽度不影响 C_{af} . 此外,电场线要穿过邻层导线的空隙才能到达隔层地板,所以邻层导线的间距会影响 C_{af} . 邻层间距对 C_{af} 的重叠电容部分 bw 和边缘电容部分 a 都会产生影响.所以对于这两部分都要加上 s_{13} (s_{13} 为 $i \pm 1$ 层导线的间距)的多项式来表示间距对电容的影响. C_{af} 可以表示如下:

$$\frac{C_{af}}{\epsilon_r} = a + bs_{13} + cs_{13}^2 + ds_{13}^3 + es_{13}^4 + fs_{13}^5 + (g + is_{13} + js_{13}^2 + ks_{13}^3 + ms_{13}^4 + ns_{13}^5)w \quad (3)$$

对于邻层交叉电容 C_{cr} , 如果不考虑邻层除重叠导线外的其他导线的影响, C_{cr} 可以表示为^[14]: $\frac{C_{cr}}{\epsilon_r} = a + bw + cw_{13} + dww_{13}$. 其中, dww_{13} 是重叠电容,它和重叠面积成正比. 目标导线侧壁对邻层重叠导线的边缘电容可以分成两部分:一部分与邻层重叠导线的宽度 w_{13} 成正比,另一部分是由于目标导线的边缘效应引起边缘电容的增大,它是和线宽无关的常数. 邻层重叠导线侧壁对目标导线的边缘电容也一样可以分成如上两部分. a 就是这两个常数之和^[14]. 同时邻层重叠导线侧壁对目标导线的边缘电

容中的与线宽 w 成正比的部分,以及导线边缘效应引起边缘电容的增大的部分(常数 a)地和邻层的间距有关,且前一部分可以用 s_{13} 的多项式拟合,后一部分的影响呈一个指数函数,所以可以用指数函数拟合.间距越大边缘电容中的这两部分也越大,所以 C_{cr} 可以表示为:

$$\frac{C_{cr}}{\epsilon_r} = a + (b + cs_{13} + ds_{13}^2 + es_{13}^3 + fs_{13}^4)w + gw_{13} + iww_{13} + j(1 - \exp(-ks_{13})) \quad (4)$$

5.3 对于模式 4~6 和 8

对于模式 4,目标导线存在 C_{af} . C_{af} 归一化时是对不包括重叠区域的长度(即对间距)归一化的,所以 C_{af} 只和目标导线宽度 w 以及邻层导线间距 s_{13} 有关,且可以用模式 3 的(3)式来计算.

对于模式 5,目标导线对邻层的交叉电容 C_{cr} . 类似模式 3,模式 5 的 C_{cr} 可以表示成:

$$\frac{C_{cr}}{\epsilon_r} = a + bw + (c + ds + es^2 + fs^3 + gs^4)w_{13} + iww_{13} + j(1 - \exp(-ks)) \quad (5)$$

对于模式 6,目标导线存在 C_{af} 以及 C_{cr} . 计算时 C_{af} 可以用模式 3 的(3)式, C_{cr} 可以用模式 3 的(4)式或模式 5 的(5)式来计算. 对于模式 8,目标导线只存在 C_{af} . C_{af} 可以用模式 7 的(1)式来计算. 如果为了更加精确,模式 6 和 8 的各部分电容也可以不用上述已有公式,而是重新拟合,由于这些拟合公式非常简单,本文就不详细说明.

5.4 对于模式 1 和 2

对于模式 1,目标导线存在 C_{af} , C_{cr} 和 C_{lt} . 对于模式 2,目标导线存在 C_{af} 和 C_{lt} . 这些电容拟合公式本文都使用了文献[15]中现有的公式.

由于文献[15]中的公式对几何参数都有范围上的限制,所以这些公式就不能推广到模式 3~8,而且模式 3~8 比模式 1 和 2 拟合参数少很多,这样拟合难度和拟合精度都要远胜于模式 1 和 2.

6 拟合结果

为了验证上述拟合公式,本文假设一种工艺,其金属层的层间距和介质层的层间距都为 $0.18\mu\text{m}$ (英特尔 65nm 工艺的最初几层全金属层的层间距为 $M_1 = 0.21\mu\text{m}$, $M_2 = 0.21\mu\text{m}$, $M_3 = 0.22\mu\text{m}$ [1], 在文献[15]中的表 1 有层间距为 $0.16\mu\text{m}$ 的工艺,本文折中取 $0.18\mu\text{m}$), 介质相对介电系数取 4 (即 SiO_2).

模式 7:用 FastCap 拟合(1)和(2)式,拟合出的 C_{af} 和 C_{lt} (单位均为 F/m) 分别为(注意:这里的几何

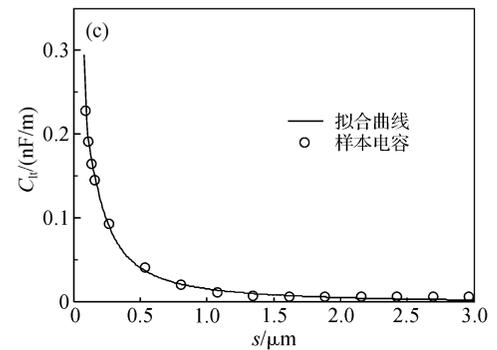
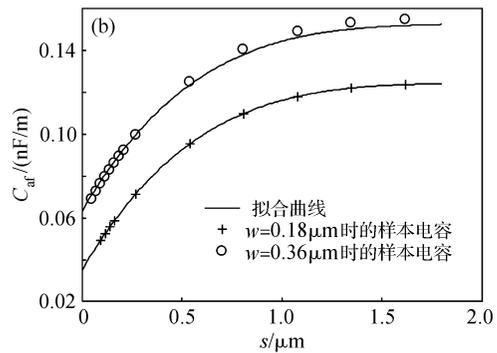
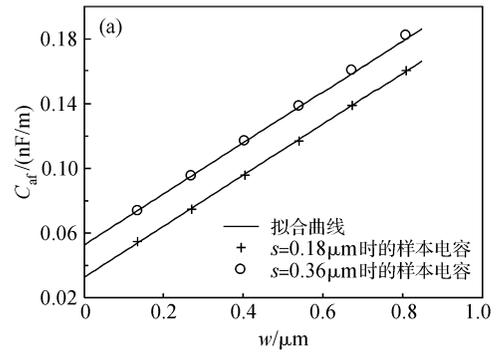


图 8 模式 7 的拟合曲线 (a), (b) C_{af} 曲线; (c) C_{lt} 曲线
Fig.8 Fitting curves of model 7 (a), (b) C_{af} ; (c) C_{lt}

尺寸,如 s, w 单位都取 μm ,下同):

$$\frac{C_{af}}{\epsilon_r} = (0.16709 + 3.93w + 4.0792s - 2.8134s^2 + 0.86501s^3 + 0.098874s^4) \times 10^{-11} \quad (6)$$

$$\frac{C_{lt}}{\epsilon_r} = (-8.51662 + 33.1016 \frac{1}{s} + 14.97554 \left(\frac{1}{s}\right)^2 - 2.33298 \left(\frac{1}{s}\right)^3 + 0.104284 \left(\frac{1}{s}\right)^4) \times 10^{-13} \quad (7)$$

C_{af} 单位长度电容随目标层线宽和线间距的变化如图 8(a) 和 (b). C_{af} 随线宽 w 的增大呈线性递增,随间距 s 的增大而非线性增大. C_{lt} 单位长度电容随线间距的变化如图 8(c) 所示. C_{lt} 单位长度电容随线间距的增大而递减. 从图中可以看出,拟合结果

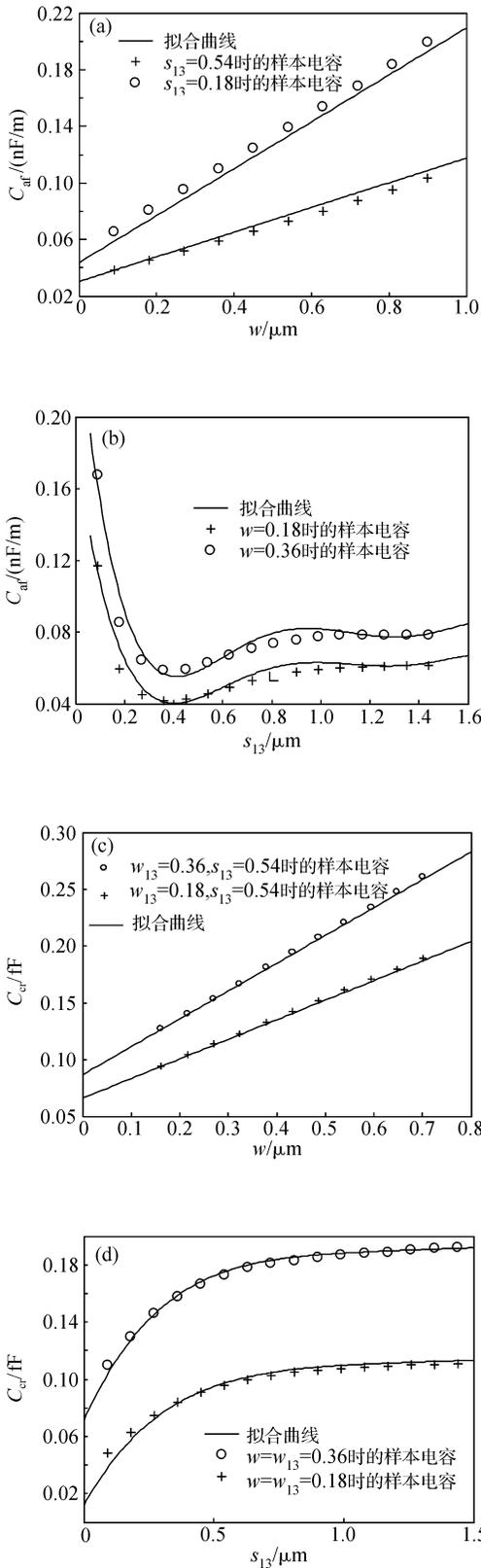


图 9 模式 3 的拟合曲线 (a),(b) C_{af} 曲线;(c),(d) C_{cr} 曲线
 Fig.9 Fitting curves of model 3 (a),(b) C_{af} ; (c), (d) C_{cr}

与样本电容非常接近.

模式 3:(3)和(4)式用同样方法拟合出的 C_{af} (单位为 F/m)和 C_{cr} (单位为 F)分别为:

$$\frac{C_{af}}{\epsilon_r} = (0.26909 - 1.4376s_{13} + 3.5624s_{13}^2 - 3.7984s_{13}^3 + 1.8595s_{13}^4 - 0.34256s_{13}^5) + (1.0909 - 5.8221s_{13} + 13.908s_{13}^2 - 14.9s_{13}^3 + 7.3365s_{13}^4 - 1.3527s_{13}^5)w \times 10^{-10} \quad (8)$$

$$\frac{C_{cr}}{\epsilon_r} = (-0.54465 + (-0.058117 + 10.42993s_{13} - 14.81790s_{13}^2 + 8.98652s_{13}^3 - 1.96713s_{13}^4)w + 2.885w_{13} + 10.06445ww_{13} + 2.07845(1 - \exp(-3.05718s_{13}))) \times 10^{-17} \quad (9)$$

C_{af} 随目标导线宽度 w 和邻层间距 s_{13} 的变化分别如图 9(a)和(b). (a)中 C_{af} 随 w 的增长而线性递增,且结果与三维电容比较接近. (b)中 C_{af} 对间距 s_{13} 归一化,且拟合曲线与真实电容也比较吻合.

C_{cr} 随目标导线宽度 w 和邻层间距 s_{13} 的变化分别如图 9(c)和(d)所示. (c)中 C_{cr} 和目标导线宽度 w 呈线性关系,并且拟合曲线和样本电容非常吻合. C_{cr} 随邻层导线宽度 w_{13} 的变化和图 9(c)类似,就不详细说明了. (d)中 C_{cr} 随邻层间距的增大而增大,并且拟合曲线和样本电容还是相当接近的.

模式 5:(5)式的拟合结果为:

$$\frac{C_{cr}}{\epsilon_r} = (-0.78165 + (-0.012368 + 4.41194s - 6.2115s^2 + 3.67766s^3 - 0.780247s^4)w_{13} + 2.845w + 9.8ww_{13} + 2.292445(1 - \exp(-4.68852s))) \times 10^{-17} \quad (10)$$

它的拟合曲线与图 9(c)和(d)相似,这里就不再重复.

7 库查找法的具体应用

在实际版图中,可能会出现多种金属线交叉情况,这里选取几种比较典型的结构,分别为上层有 0,1,2 条导线,中间层只有一条邻线,导线间距都不相等,导线间距和宽度都不相等这六种情况.

图 10 中介质的介电系数都取 4,金属层高度和介质层厚度都取 $0.18\mu\text{m}$. 图 10 (a)~(e)中导线宽度为 $0.18\mu\text{m}$,图 10 (a)~(c)中间导线层和下层导线间距也为 $0.18\mu\text{m}$. 图 10 (b)中上层导线间距为 $0.54\mu\text{m}$;图 10 (c)中上层导线和下层导线的中心偏离为 $0.09\mu\text{m}$;图 10 (d)中 3 层导线间距分别为 $0.18, 0.27$ 和 $0.36\mu\text{m}$;图 10 (e)中下层导线间距为 0.18 和 $0.54\mu\text{m}$,中间层为 0.18 和 $0.36\mu\text{m}$,上层为 $0.36\mu\text{m}$,且上层左边的导线与下层左边两条导线的

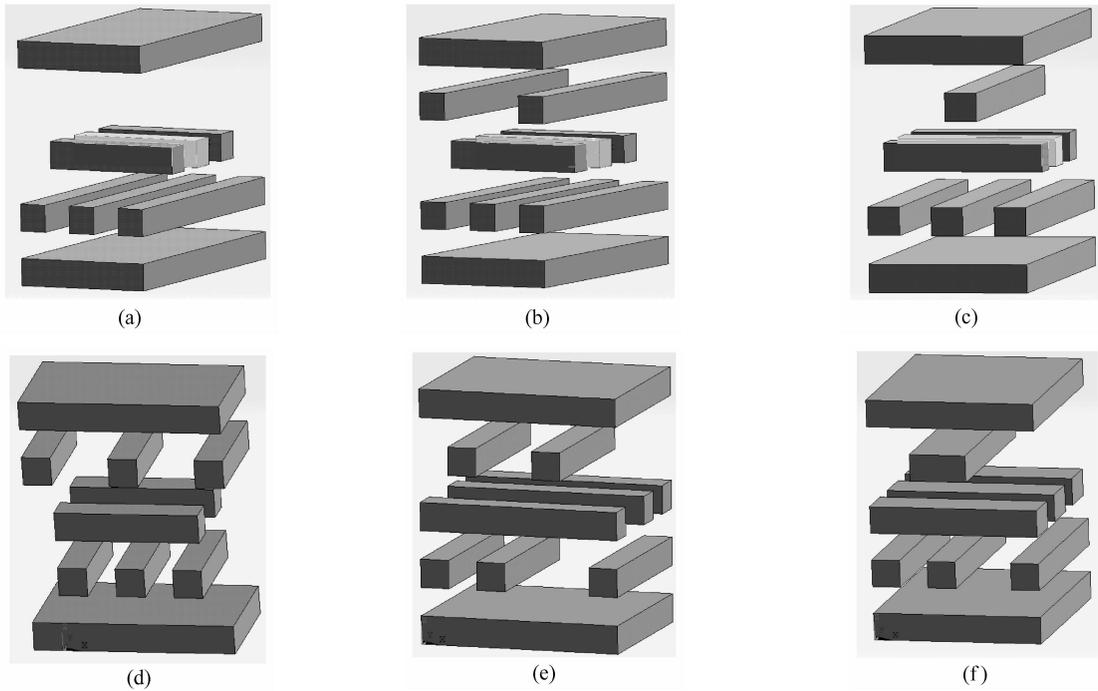


图 10 六种金属布线结构
Fig.10 Six types of interconnect structures

间距重合;图 10 (f)中下层导线宽度为 $0.18\mu\text{m}$, 中间层为 $0.27\mu\text{m}$, 上层为 $0.36\mu\text{m}$, 且下层导线间距为 0.18 和 $0.36\mu\text{m}$, 中间层为 $0.18\mu\text{m}$, 同时上层导线在下层中间导线的正上方.

从表 1 中可以看出,对于这几种结构,用库查找法得到的电容值与用 FastCap 得到的三维电容结果非常吻合(注意,这里的电容都是对所示结构中的目标节点而言的,用 FastCap 得到的结果也是把用 FastCap 得到的整条目标导线的电容换算成目标节点的电容后的结果),这就说明把节点电容分块叠加,从而使非对称模型用对称模型来建模的算法是

合理且有效的.

8 结论

本文首次提出了用于计算 VLSI 电路电容的八种典型结构,并详细阐述了对这八种典型模型建立用于快速提取互连金属线电容的模式库的方法.这个方法可以用来对整个芯片级的互连线建模.而模型库中的拟合公式为快速计算芯片互连线中任意节点的电容提供了便利.文中六种不同金属布线结构的电容仿真结果显示了该法的精确性和高效性.

表 1 三种布线节点电容值与 FastCap 的比较 (Fast 表示用 FastCap 的结果,Error 为我们方法相比 FastCap 所得总电容的误差.)

Table 1 Results compared with FastCap (Fast:Fastcap;Error:the error of the total capacitance compared with the results by FastCap method)

	C_{af} (Fast)	C_{cr} (Fast)	C_{lt} (Fast)	C_{af} (Ours)	C_{cr} (Ours)	C_{lt} (Ours)	C_{all} (Fast)	C_{all} (Ours)	Error/%
St1	0.01742	0.021555	0.04036	0.014543	0.021695	0.04138	0.079335	0.077618	2.164331
St2	0.007634	0.02121	0.03565	0.006957	0.021695	0.035441	0.064494	0.064094	0.620759
St3	0.01199	0.051558	0.03723	0.008801	0.053694	0.036864	0.100778	0.099359	1.407528
St4	0.010114	0.0632	0.010364	0.00875	0.06399	0.01003	0.083678	0.082768	1.08759
St5	0.017863	0.029425	0.036814	0.01621	0.02992	0.03637	0.084102	0.082508	1.89556
St6	0.017259	0.082175	0.046045	0.01059	0.0906	0.04649	0.145479	0.147684	1.51547

参考文献

- [1] Weng Shousong. Lithography, OPC and DFM. Equipment for Electronic Products Manufacturing, 2006, 135: 18 (in Chinese) [翁寿松. 光刻、OPC 与 DFM. 电子工业专用设备, 2006, 135: 18]
- [2] Kao W H, Lo C Y, Singh R, et al. Parasitic extraction: current state of the art and future trends. Proceedings of the IEEE, 2001, 89(5): 729
- [3] Wang H G, Chan C H, Tsang L. A new multilevel Green's function interpolation method for large scale low frequency EM simulations. IEEE Trans CAD, 2005, 24(9): 1427
- [4] Nabors K, White J. FastCap: a multipole accelerated 3-D capacitance extraction program. IEEE Trans CAD, 1991, 10(2): 1447
- [5] Husain A. Models for interconnect capacitance extraction. International Symposium on Quality Electronic Design, 2001: 167
- [6] Cong J, He L, Kahng A B, et al. Analysis and justification of a simple, practical 2 1/2-D capacitance extraction methodology. Proceeding of the 34th Annual Conference on Design, 1997: 627
- [7] Lu Taotao, Wang Guanghui, Hou Jinsong, et al. Hierarchical h-adaptive computation in VLSI 3-D capacitance extraction. Chinese Journal of Semiconductors, 2002, 23(5): 543 (in Chinese) [陆涛涛, 王光辉, 侯劲松, 等. VLSI 三维寄生电容提取的层次式 h-自适应计算. 半导体学报, 2002, 23(5): 543]
- [8] Yu Wenjian, Lu Taotao, Wang Zeyi, et al. Hierarchical extraction of global capacitance matrix for 3D VLSI interconnects. Chinese Journal of Semiconductors, 2005, 26(1): 202 (in Chinese) [喻文健, 陆涛涛, 王泽毅, 等. 三维互连全耦合电容矩阵的层次式提取算法. 半导体学报, 2005, 26(1): 202]
- [9] Sakurai T, Tamaru K. Simple formulas for two- and three-dimensional capacitances. IEEE Trans Electron Devices, 1983, 30(2): 183
- [10] Arora N D, Raol K V, Schumann R, et al. Modeling and extraction of interconnect capacitances for multilayer VLSI circuits. IEEE Trans Comput-Aided Des Integr Circuits Syst, 1996, 15(1): 58
- [11] Zhang Lei, Wang Xiren, Yu Wenjian, et al. Fast library-building method for 3D capacitance extraction with variation of process parameters. Journal of Computer-aided Design & Computer Graphics, 2006, 18(12): 1837 (in Chinese) [张雷, 王习仁, 喻文健, 等. 工艺参数变动下的三维互连电容快速模式建库方法. 计算机辅助设计与图形学学报, 2006, 18(12): 1837]
- [12] Dai Binhua, Lu Taotao, Wang Zeyi, et al. A new approach to 3D parasitic capacitance extraction of interconnects with building blocks of dielectric. Journal of Computer-aided Design & Computer Graphics, 2004, 16(3): 343 (in Chinese) [戴斌华, 陆涛涛, 王泽毅, 等. 3D 互连电容快速提取的新途径——介质积木库法. 计算机辅助设计与图形学学报, 2004, 16(3): 343]
- [13] Sim S P, Krishnan S, Petranovic D M, et al. A unified RLC model for high-speed on-chip interconnects. IEEE Trans Electron Devices, 2003, 50(6): 1501
- [14] Choudhury U, Sangiovanni-Vincentelli A. Automatic generation of analytical models for interconnect capacitances. IEEE Trans Comput-Aided Des Integr Circuits Syst, 1995, 14(4): 470
- [15] Wong S C, Lee T G Y, Ma D J, et al. An empirical three-dimensional crossover capacitance model for multilevel interconnect VLSI circuits. IEEE Trans Semicond Manuf, 2000, 13(2): 219
- [16] http://www.eetchina.com/ART_8800382607_480201_TA_0e658d13.HTM
- [17] Jin W, Eo Y, Eisentadt W R, et al. Fast and accurate quasi-three-dimensional capacitance determination of multilayer VLSI interconnects. IEEE Trans VLSI Syst, 2001, 9(3): 450

A New Model Library Approach to Extract VLSI Interconnect Capacitance*

Zhao Peng, Zhang Jie, Chen Kangsheng, and Wang Haogang[†]

(Department of Information Science & Electric Engineering, Zhejiang University, Hangzhou 310027, China)

Abstract: Eight node capacitance models are presented to generate the model library. It is proved that these models can be used to extract the capacitances from almost all of the VLSI interconnect structures. The formula for each model is also given. The numerical results show that our method is accurate. For the results obtained by formulas, it is also very fast.

Key words: model library approach; multilayer; VLSI interconnect; capacitance extraction

EEACC: 1130B; 2570A; 1110

Article ID: 0253-4177(2007)11-1794-09

* Project supported by the Doctoral Program Foundation of the Ministry of Education of China (No. 20060335065) and the Natural Science Foundation of Zhejiang Province (No. Y105477)

[†] Corresponding author. Email: hgwang@zju.edu.cn

Received 14 May 2007, revised manuscript received 29 June 2007