

单片集成并行流水线操作 16×16 位 数字乘法器

洪志良

(复旦大学电子工程系, 上海, 200433)

张新源

(北京集成电路设计中心; 北京, 100016)

1991年4月28日收到

本文介绍采用平行/流水线操作原理的 16×16 位数字乘法器的工作原理和单片集成结果. 整个电路由二相非重叠时钟控制, 利用标准单元设计, 由 7000 多门组成芯片, 在双层铝布线的 $2 \mu\text{m}$ CMOS 工艺上制备, 能实现最高乘法操作每秒 7 MHz, 芯片的面积为 $8758 \times 8878 \mu\text{m}^2$.

EEACC: 2570D, 1130B, 1265E

一、引言

八十年代, 人们一直在改进数字乘法器的速度, 来适应高速数字信号处理的需要. 数字乘法器的速度首先决定于工艺, 目前采用的工艺有 CMOS^[1], 双极^[2]和砷化镓^[3]. 在 CMOS 工艺技术领域, 人们由八十年代初采用 $3 \mu\text{m}$ CMOS 工艺技术发展到今日采用亚微米 CMOS 技术, 使芯片面积大大减小, 速度提高. 采用砷化镓工艺技术的 20×20 位平行操作乘法器已经达到乘法速度 4.1 ns .^[3] 在工艺技术不断改进的同时, 人们也不断地改进结构, 来达到相同工艺条件下更快的速度和更高的集成度.

典型的数字乘法器采用平行操作结构, 一个 16×16 位平行操作的数字乘法器可以由 224 个全加器, 16 个半加器和一些双输入或非门及倒相器组成, 总的门数为 4096 个, 决定乘法时间的最长延迟线为 77 个门延迟, 如果采用标准单元设计, 双层金属布线 $2 \mu\text{m}$ CMOS 工艺制造(以下简称我们的工艺), 在单门延迟为 1 ns 情况下, 最长延迟线上的单元延迟为 77 ns , 加上连线延迟, 已经无法达到每秒 10 MHz 以上的乘法速度.

另一种数字乘法器的结构为流水线操作结构, 完全执行流水线操作的 16×16 位数字乘法器主要由全加器, 半加器和锁存器组成. 采用流水线操作乘法速度快, 它的乘法时间为 $2(6td + tn)$, 其中 $6td$ 为全加器延迟, td 为门延迟, tn 为二相非重叠时钟非重叠空隙. 由于每一个全加器都带有锁存器, 锁存器的大量增加, 使芯片面积变得很大甚至达到无法接受的地步. 本文介绍的 16×16 位乘法器, 综合了上述二种结构的设计思想, 让乘法器工作在平行/流水线方式, 采用标准单元半定制设计, 以求很快获得结果.

下面几节将给出乘法器结构,工作原理,单元设计和测试结果.

二、乘法器的工作原理

本文介绍的数字乘法器的结构方块图如图 1 所示,它由执行流水线操作的四级全加器组成,每个加法单元都包含着存储单元,锁存器在非重叠双相时钟 P_1 , P_2 控制下执行流水线操作.流水操作全过程示于图 2.

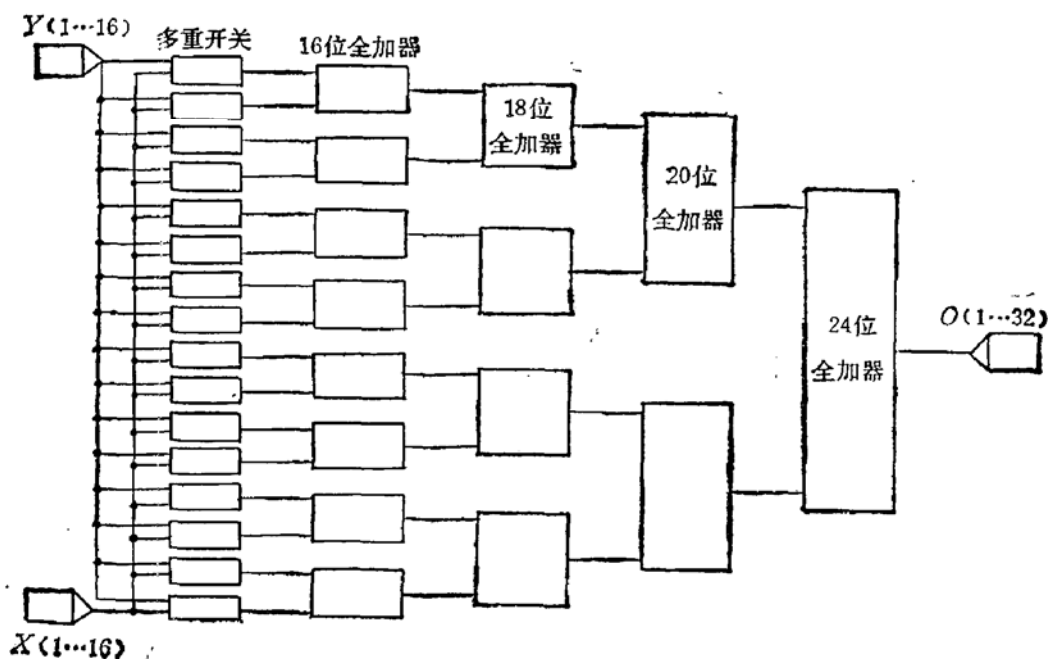


图 1 16×16 位乘法器方块图(这里全加器都包括锁存器)

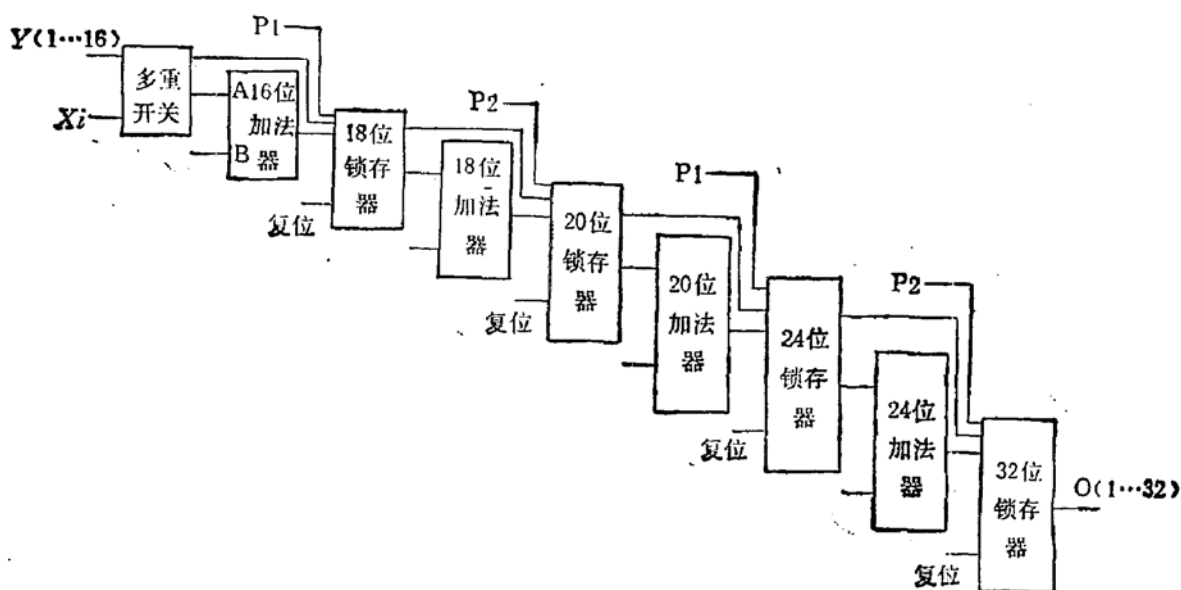


图 2 16×16 位乘法器流水线操作示意图

设被乘数为 y , 乘数为 x , $x(n)$ 和 $y(m)$ 为 x 第 n 位和 y 第 m 位的二进制值。共有 16 个多重开关组, 每组有二选一多重开关 16 个。 $X(i)$ 控制第 i 组多重开关。 $P_1 = 1$ 和 $X(2n) = 0$ 时, (其中 $n = 0, 1, \dots, 7$), 选 16 个二进制 0 输入到 16 位加法器的 A 端 $X(2n) = 1$ 时选 y 右移一位后, 最高位补零输入到加法器 A 端。同时输入到加法器另一端的数由 $X(2n + 1)$ 决定, 当 $X(2n + 1) = 0$ 时, 选 16 个二进制 0 输入到 16 位加法器 B 端, 否则输入 y 到 B 端。共有八个 16 位乘法器, 第一个 16 位加法器的加数和被加数决定于 $X(0)$ 和 $X(1)$, 第二个 16 位加法器的加数和被加数决定于 $X(2)$ 和 $X(3)$, 以此类推, 8 个 16 位的输出结果存入紧跟 16 位加法器后的锁存器中。

$P_2 = 1$ 时, 第一个 16 位加法器输出的结果右移 2 位后, 左边补 0 输入第 2 级第一个 18 位加法器的一个输入端, 其中最低 2 位直接输出, 第二个 16 位加法器输出的结果直接输入到 18 位全加器, 8 个 16 位的输入依次输入到 4 个 18 位全加器中进行相加, 产生 4 个 20 位数的结果。

接着 $P_1 = 1$ 时, 第一个 18 位全加器输出的结果右移 4 位, 最高位补零后输入到 20 位全加器的一组输入端, 其中最低 4 位直接输出, 第二个 18 位全加器输出的结果直接输入到 20 位全加器的另一组输入端。同理, 第三个 18 位加法器与第四个 18 位加法器输出的结果输入到第二个 20 位加法器中相加。相加的结果和旁路的 4 位共有二个 24 位的结果输出。

在下一个 $P_2 = 1$ 时, 第一个 20 位全加器输出的结果右移 8 位, 左边补零输入到 24 位全加器一组输入端中, 和由第二个 20 位全加器的 24 位输出结果相加。最终在 $P_1 = 1$ 时输出 32 位结果。

三、单元设计和延迟时间计算

在我们设计的平行/流水线操作 16×16 位数字乘法器中, 乘法操作的时间主要由全加器决定, 最长的操作是 24 位全加器, 而全加器的延迟时间又与全加器的结构有关的。如果采用超前进位全加器, 四位全加器需要 53 等效门, 最长延迟为 13 ns, 这和非超前进位四位加法器相比, 速度并没有加快, 而门数增加不少。这是因为采用非超前进位加法器, 在我们工艺和结构中一个四位全加器需要的等效门数仅为 29 个, 最长延迟为 12 ns。这种情况在 16 位以上全加器中截然不同, 位数增加, 超前进位结构全加器在速度上的优势就愈明显, 但门数大大增加。我们采用非超前进位的全加器, 在我们结构中, 24 位全加器的最长延迟为 72 个门延迟, 在我们工艺中, 每个门延迟为 1 ns 左右, 所以最长延迟为 72 ns。乘法时间会略大于 72 ns, 乘法速度每秒 7 MHz。

四、实验结果

按照第 II 节的工作原理和第 III 节的单元进行计算机辅助设计, 采用标准单元系统设计, 并将加法器生成 n 个宏单元, 进行逻辑验证。逻辑验证通过后, 自动生成版图和测试码。多次优化, 最终使芯片面积降到 $8758 \times 8578 \mu\text{M}$ 。反复修改输入码, 使测试码的故

障覆盖率达到 92%。芯片在双层金属布线 $2\mu\text{MCMOS}$ 工艺上一次流片成功。在 Rad 测试仪上测试 20 个样品,性能完全正确的为 13 块,13 块中,最高乘法速度达到每秒 7 MHz,这与理论结果相符。提供的样品可以在有关单位进行试用。

五、结 论

本文介绍了采用平行/流水线操作工作原理的 16×16 乘法器,由于经费和时间的限制,我们只能采用标准单元设计方法进行试验。采用非进位超前进全加器只是为了减少芯片面积,如果采用超前进位全加器作宏单元,那么芯片的速度还可以提高。

作者衷心地感谢北京设计中心叶小琳,梁杰,党晓颖和西柏林工大 Loetzer 先生和 O. Mannck 教授对本文工作的支持。

参 考 文 献

- [1] Y. Oowaki, *et al.*, "IEEE. solid-state circuit., vol-se-22, 762 (1987).
- [2] B. Miller, *et al.*, IEEE 1986 Custom Integrated Circuits Conf. Tech. Dig., pp. 97—99.
- [3] Hausila P. singh, *et al.*, "A 6.5-ns GaAs 20×20 -b Parallel Multiplier with 67-ps Gate Delay" IEEE Solid-state Circuit, 25(5), 1226(1990).

Monolithic Integrated 16×16 bit Multiplier Operating in Parallel and Pipeline

Hong Zhiliang

(Department of Electronics Engineering, Fudan University, Shanghai, 200433)

Zhang Xinyuan

(Beijing IC Design Center, Beijing, 100016)

Abstract

The principle of 16×16 bit multiplier operating in parallel and pipeline and controlled by two nonoverlapping pulses is described. With standard cells, the circuit was designed by CAD and fabricated in $2\mu\text{m}$ CMOS process with double metallizations. The chip including more than 7000 gates has an area of $8758\times 8878\mu\text{m}^2$. The measured results show that it has expected functions and can complete a multiplication operation of 16×16 bit in a speed of 7MHz.

EEACC: 2570D, 1130B, 1265B