

薄全耗尽 SOI膜N沟道MOSFET 强反型电流模型

程 玉 华 王 阳 元

(北京大学微电子学研究所, 北京, 100871)

1991年5月16日收到, 同年12月19日修改定稿

本文在仔细分析薄膜 SOI 器件特点及其特殊物理效应的基础上, 发展了电路模拟所需要的 N 沟道薄全耗尽 SOI 膜 MOSFET 强反型电流模型。模拟计算和实际 SOI 器件测试结果之间的对比证实, 在合理提取器件参数的情况下, 该模型公式可较好地描述薄膜 SOI 器件的电流特性。

EEACC: 7410D

一、引 言

薄全耗尽 SOI (Silicon-on-insulator) 膜 MOSFET 具有寄生电容小、抗辐照能力强、可完全消除 Latch-up 效应、可抑制源漏穿通和热载流子效应以及大大改善短沟道效应等优点, 目前受到大家的重视。由于和一般体硅器件不同, 薄膜 SOI 器件除了正面绝缘栅之外, 还存在背面绝缘栅, 采用常用的体硅器件模型难以描述该器件特有的一些特殊效应, 所以目前的通用电路分析软件(如 SPICE 等)不能直接用来模拟 SOI 电路。建立简单、精确和可用于电路模拟的薄膜 SOI MOSFET 解析模型, 对于 SOI VLSI 电路的分析与设计具有十分重要的意义。

到目前为止, 许多关于薄膜 SOI MOSFET 工作特性的解析模型已见诸报道^[1-3]。但大多形式繁杂和着重研究某一具体的器件物理内容, 不适于做为电路分析器件模型。S. Veeraraghavan 等人提出的薄膜 SOI MOSFET 短沟道模型已用于电路模拟程序之中^[3], 但该模型引入了较多难以由实验曲线直接提取的拟合参数, 另外由于模型公式比较复杂, 其它参数的提取也不方便。因此目前仍需要建立既能充分描述整个工作区域(从线性区到饱和区)的电流特性, 又便于器件参数提取、形式简洁的薄膜 SOI MOSFET 器件模型, 以满足当前 SOI 电路分析设计中的迫切需要。

本文在分析薄膜 SOI MOSFET 器件特性的基础上, 建立了和体硅 BSIM (Berkeley Short-channel IGFET Model) 形式相近的薄膜 SOI MOSFET 强反型电流模型。该模型公式包括了正背栅之间的相互耦合作用, 能描述全耗尽膜器件在不同膜厚和不同背表面状况(如堆积和耗尽等)情况下的工作特性, 器件参数提取十分方便, 可以直接移植到 SPICE 之中。利用 SOI MOSFET 器件特性的实测结果, 对所建模型公式进行了验证,

在合理提取器件参数和工艺参数的情况下,模拟计算和实验值吻合得较好。

二、模型的建立

本文着重讨论薄全耗尽膜 SOI MOSFET 的强反型电流模型。

薄膜 SOI MOSFET 器件结构示意图由图 1 给出。由于存在背面绝缘栅,因而具有

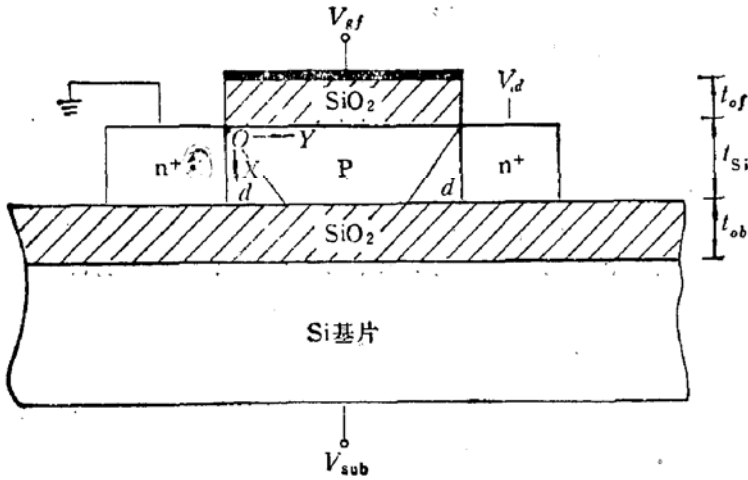


图 1 SOI 器件结构示意图

体硅器件所没有的三个特殊效应,即衬底浮空效应、背沟道效应以及正背栅之间的相互耦合作用。对于部分耗尽 SOI 器件,以前面两种效应的影响为主;而对于薄膜全耗尽器件,由目前已有的器件模拟和实验结果,因全耗尽器件可有效地消除衬底浮空引起的“kink”现象^[5,6],所以在有效工作电压条件下(工作电压<漏雪崩击穿电压),可以忽略衬底浮空效应

的影响,而只考虑背栅界面(背沟道效应)和正背栅之间耦合效应的影响。

先分析长沟器件情况,根据图 1 有:

$$V_{gf} = \phi_{sf} + V_{oxf} + \phi_{msf}, \quad (1)$$

$$V_{sub} = \phi_{sb} + V_{oxb} + \phi_{msb}. \quad (2)$$

上式中, V_{gf} 和 V_{sub} 分别是正、背栅上偏压, ϕ_{sf} 和 ϕ_{sb} 分别为正、背表面势, V_{oxf} 和 V_{oxb} 分别是正、背栅氧化层上压降, ϕ_{msf} 和 ϕ_{msb} 分别为正、背栅和半导体之间的功函数差。

采用常用的薄层电荷近似处理^[10],将沟道反型层看作厚度为零的导电平面,在硅膜内应有:

$$\frac{\partial^2 \phi}{\partial x^2} = \frac{q \cdot N_A}{\epsilon_0 \cdot \epsilon_{Si}} \quad (3)$$

对上式从正界面到背界面积分并对正、背界面应用高斯定理,整理后得到^[7]:

$$V_{gf} = V_{Pbf} + \left(1 + \frac{C_{Si}}{C_{of}}\right) \cdot \phi_{sf} - \frac{C_{Si}}{C_{of}} \cdot \phi_{sb} + \frac{q \cdot N_A \cdot t_{Si}}{2 \cdot C_{of}} - \frac{Q_{ef}}{C_{of}}, \quad (4)$$

$$V_{sub} = V_{Pbb} - \frac{C_{Si}}{C_{ob}} \cdot \phi_{sf} + \left(1 + \frac{C_{Si} + C_i}{C_{ob}}\right) \cdot \phi_{sb} + \frac{q \cdot N_A \cdot t_{Si}}{2 \cdot C_{ob}} - \frac{Q_{cb}}{C_{ob}}, \quad (5)$$

式中, ϕ 是器件硅膜中电位, ϕ_{sf} 和 ϕ_{sb} 分别是正、背表面势, V_{Pbf} 和 V_{Pbb} 分别是正、背面平带电压, V_{gf} 和 V_{sub} 分别为正、背栅电压, t_{Si} 为硅膜厚度, N_A 为硅膜中掺杂浓度, ϵ_0 为真空电容率, ϵ_{Si} 为硅膜的相对介电常数, C_{Si} 、 C_{of} 和 C_{ob} 为硅膜单位面积电容、正面栅氧化层单位面积电容和背面栅氧化层单位面积电容, $C_i = q \cdot N_{sub}$ 为背界面

电荷单位面积等效电容, N_{sb} 为背界面态密度。

根据[11], 表面反型时 y 点处的表面势 $\phi_{\text{sf}}(y)$ 可近似表示为 $\phi_{\text{sf}(0)} + V_y$, $\phi_{\text{sf}(0)}$ 是源端反型开启时的表面势, V_y 是 y 点处相对于源端的沟道电压。因此, 由(4)式可得到:

$$Q_{\text{cf}} = -C_{\text{of}} \cdot \left[V_{\text{gf}} - V_{\text{Fbf}} - \left(1 + \frac{C_{\text{si}}}{C_{\text{of}}} \right) \cdot \phi_{\text{sf}(0)} + \frac{C_{\text{si}}}{C_{\text{of}}} \cdot \phi_{\text{sb}(y)} - \frac{q \cdot N_A \cdot t_{\text{si}}}{2 \cdot C_{\text{of}}} - \left(1 + \frac{C_{\text{si}}}{C_{\text{of}}} \right) \cdot V_y \right]. \quad (6)$$

对于薄膜全耗尽器件, 正背面之间存在强烈的耦合作用, 背表面状况可明显影响正表面沟道电荷, 从而影响器件的电流特性, 因此和体硅器件不同, SOI 器件必须分别讨论不同背表面状况时情况。理论上讲, 背表面可以出现堆积、耗尽和反型三种情况, 但在实际器件制造时, 总是采用某些工艺措施抑制背面沟道(即反型层)的形成, 所以本文中只讨论 SOI 器件背面堆积或耗尽时的情况。

当背表面堆积时, 根据文献[11], 可认为 $\phi_{\text{sb}} = 0$, 则(6)式可表示为:

$$Q_{\text{cf}} = -C_{\text{of}} \cdot \left[V_{\text{gf}} - V_{\text{Fbf}} - \left(1 + \frac{C_{\text{si}}}{C_{\text{of}}} \right) \cdot \phi_{\text{sf}(0)} - \frac{qN_A \cdot t_{\text{si}}}{2 \cdot C_{\text{of}}} - \left(1 + \frac{C_{\text{si}}}{C_{\text{of}}} \right) \cdot V_y \right]. \quad (7)$$

令(7)式中的 $Q_{\text{cf}} = 0$, $\phi_{\text{sf}(0)} = 2 \cdot \phi_f$, $V_y = 0$, 则可得器件背面堆积时源端开启电压形式为^[7]:

$$V_{\text{th}} = V_{\text{Fbf}} + \left(1 + \frac{C_{\text{si}}}{C_{\text{of}}} \right) \cdot 2\phi_f + \frac{qN_A \cdot t_{\text{si}}}{2 \cdot C_{\text{of}}}. \quad (8)$$

当背面耗尽时, $Q_{\text{cb}} = 0$, 并且有:

$$\phi_{\text{sb}} = \left(V_{\text{sub}} - V_{\text{Fbb}} + \frac{C_{\text{si}}}{C_{\text{ob}}} \cdot \phi_{\text{sf}} - \frac{qN_A \cdot t_{\text{si}}}{2 \cdot C_{\text{ob}}} \right) \cdot \left(\frac{C_{\text{ob}}}{C_{\text{ob}} + C_{\text{si}}} \right). \quad (9)$$

令(9)式中 $Q_{\text{cf}} = 0$, $\phi_{\text{sf}(0)} = 2 \cdot \phi_f$, $V_y = 0$, 可得到器件背面耗尽时的源端开启电压形式为^[7]:

$$V_{\text{th}} = V_{\text{Fbf}} + \left(1 + \frac{C_{\text{si}}}{C_{\text{of}}} \cdot \frac{C_{\text{ob}}}{C_{\text{ob}} + C_{\text{si}}} \right) \cdot 2\phi_f + \frac{qN_A \cdot t_{\text{si}}}{2 \cdot C_{\text{of}}} \cdot \left(1 + \frac{C_{\text{si}}}{C_{\text{ob}} + C_{\text{si}}} \right) - \frac{C_{\text{si}}}{C_{\text{of}}} \cdot \left(1 - \frac{C_{\text{si}}}{C_{\text{ob}} + C_{\text{si}}} \right) (V_{\text{sub}} - V_{\text{Fbb}}). \quad (10)$$

由上可知, 当背面堆积或耗尽时, 沟道薄层电荷密度 Q_{cf} 可表示为如下形式:

$$Q_{\text{cf}}(y) = -C_{\text{of}} \cdot (V_{\text{gf}} - V_{\text{th}} - a \cdot V_y), \quad (11)$$

式中, V_{th} 是背面堆积或耗尽时的开启电压; a 是常数, 当背面堆积时, $a = 1 + \frac{C_{\text{si}}}{C_{\text{of}}}$; 当背面耗尽时, $a = 1 + \frac{C_{\text{si}}}{C_{\text{of}}} \cdot \frac{C_{\text{ob}}}{C_{\text{ob}} + C_{\text{si}}}$.

上面讨论的是长沟器件情形, 对于短沟道器件, 必须考虑短沟效应对器件特性的影响, 这里我们采用目前普遍使用的系数修正法来拟合短沟道器件中的二维效应, 对于薄全耗尽膜 SOI 器件, 影响器件特性的短沟效应主要是源漏耗尽层电荷分享效应、漏感应势垒降低效应、沟道长度调制效应和速度饱和效应等。这时包括了短沟效应影响的开启电压公式成为下面形式:

$$V_{th} = V_{th0} - \frac{qN_A \cdot t_{Si}}{2 \cdot C_{of}} \cdot \frac{d}{L} - \eta \cdot V_{ds} \quad (12)$$

式中, V_{th0} 是长沟器件的开启电压公式, 形式如(8)或(10)式所示; d 用来描述源漏耗尽层电荷分享效应, d 的含义如图 1 所示. 考虑了源漏电荷分享效应影响以后硅膜内的有效体电荷密度应为 $qN_A \cdot t_{Si} \cdot \left(1 - \frac{d}{L}\right)$, 因此有(12)式形式. (12)式中的 η 用来描述漏感应势垒降低 (DIBL) 效应和部分沟道长度调制效应的影响. d 和 η 可由一组不同沟道长度器件在不同漏电压下的实际开启电压特性得到.

下面我们来分析短沟道 SOI 薄膜全耗尽器件的强反型电流特性. 在线性工作区域 (即 $V_d < V_{dsat}$ 时), 有:

$$I = -W \cdot Q_{cf(y)} \cdot v_{(y)}, \quad (13)$$

式中, W 为器件沟道宽度, $v_{(y)}$ 为 y 处的载流子漂移速度.

考虑到载流子速度饱和效应, 采用两段载流子漂移速度电场模型, 即:

$$v_{(y)} = \frac{\mu_{eff} \cdot |E_y|}{1 + \frac{|E_y|}{E_c}}, \quad V_d < V_{dsat}$$

$$= v_{sat}, \quad V_d \geq V_{dsat} \quad (14)$$

式中, $v_{sat} = \frac{1}{2} \cdot \mu_{eff} \cdot E_c$ 为载流子饱和漂移速率, μ_{eff} 为载流子有效迁移率, E_c 为临界饱和电场. 因为,

$$E_y = -\frac{dV_y}{dy} \quad (15)$$

则将(11)、(14)、(15)代入(13)式中整理后积分有^[7]:

$$I = \frac{W \cdot C_{of} \cdot \mu_{eff}}{L \cdot (1 + V_d/L \cdot E_c)} \cdot \left[(V_{gf} - V_{th}) \cdot V_d - \frac{1}{2} a \cdot V_d^2 \right]. \quad (16)$$

当器件工作于饱和区域时, 分析后可得到^[7]:

$$I = \frac{\beta}{2 \cdot a} \cdot \frac{(V_{gf} - V_{th})^2}{K}, \quad (17)$$

$$K = \frac{1 + K_0 + \sqrt{1 + 2 \cdot K_0}}{2}, \quad (18)$$

$$K_0 = \frac{(V_{gf} - V_{th})}{L \cdot a \cdot E_c}, \quad (19)$$

$$V_{dsat} = \frac{(V_{gf} - V_{th})}{a \cdot \sqrt{K}}. \quad (20)$$

(16)和(17)式即为薄膜全耗尽 SOI 器件在线性区和饱和区中的电流模型公式. 当背面堆积或耗尽时, a 和 V_{th} 分别取各自不同的形式. 可以看出, 除了参数 a , K , V_{th} 等具有薄膜 SOI 器件的特有含意之外, (16)和(17)式的基本形式和文献[4]中给出的 BSIM 电流模型公式完全相似.

三、结果比较与讨论

为了验证上面模型, 我们将 SOI 器件实际测试结果和模型计算值进行了比较。制作器件所用的 SOI 膜采用横向外延生长 (ELO) 方法得到。经过化学机械抛光后硅膜厚度大约为 $0.5\mu\text{m}$ 左右。N 沟器件正面氧化层厚度为 75nm , 背面氧化层厚度约为 $0.3\mu\text{m}$, 沟道区掺杂的最大表面浓度约为 $2 \times 10^{17}\text{cm}^{-3}$, 器件沟道长度为 $2\mu\text{m}$, 沟道宽度为 $40\mu\text{m}$ 。应指出的是, 因实际器件的硅膜较厚, 在给定的沟道掺杂情况下, 器件工作时将处于部分耗尽状态。由于模型公式是在全耗尽膜基础上建立起来, 所以本文模型直接模拟厚膜器件特性时会产生一些偏差。我们另外对此问题进行了分析, 结果表明在本文所给定的工艺条件下, 利用本文模型分析部分耗尽器件时, 其最大误差源——沟道薄层电荷所引入的电荷相对误差在漏电压低于 3V 时小于 10% , 即使漏电压为 5V 时, 最大电荷相对误差亦不大于 20% 。图 2 给出的是计算得到的薄层电荷相对误差和表面电位的关系。因此在目前尚缺乏薄全耗尽膜 SOI 器件的条件下, 我们可以暂用厚膜部分耗尽器件实测特性验证上面模型公式。

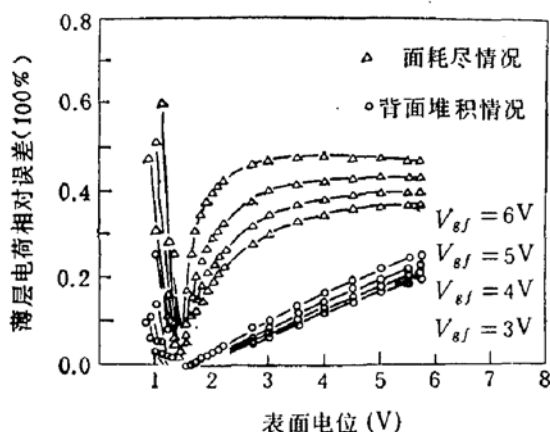


图 2 薄层电荷相对误差和表面电位关系的计算曲线

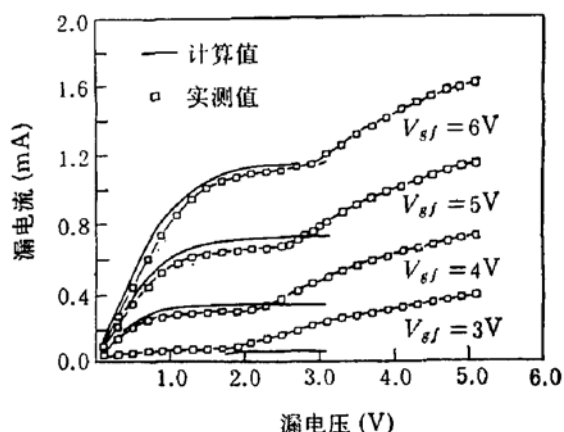


图 3 实测电流特性和模拟结果的对比曲线

图 3 给出的是实测 SOI 器件电流特性和模拟结果的对比曲线。模拟计算结果由背面堆积时的模型公式得到。可以看出, 当 SOI 器件工作于线性区时, 栅电压 V_{gs} 越小, 则计算值和实测值之间吻合得越好。随栅电压 V_{gs} 的增加, 模拟值和实测值之间的偏离增加。图 4 给出的是线性区电导的实测值与模拟值的对比曲线。和图 3 的结果类似, 当栅电压较小时, 实测值和模拟值之间吻合得较好, 随栅电压 V_{gs} 增加, 在 V_d 较小的区域模拟值和实测值之间有所偏离。我们认为, 线性工作区域模拟值和实际值产生偏差的原因主要来自两个方面, 一是如前所述, 由于实际器件的硅膜较厚, 实际工作时硅膜处于部分耗尽状态, 利用本文模型肯定会引入误差。二是由于实际 SOI 膜中 μ_{eff} 和 V_{gs} 的关系可能不完全服从公式推导中所采用的迁移率模型。在由实测曲线提取器件模型参数过程中, 我们曾注意到当栅电压小于 3V 和大于 5V 时参数提取曲线偏离线性的情况。因此所得到的迁移率模型参数当栅电压较高时可能和实际情形不符, 实际器件中的载流子迁移率可能低于模型预期值。上述两方面原因导致线性区电流特性当栅电压较高时实测值

表 1 模型参数和工艺参数表

参数符号	T_{of}	T_{ob}	T_{Si}	μ_0	θ	V_{cb}	N_A	L_D	E_c
参数值	0.08	0.3	0.1	380	0.16	2.2	2×10^{17}	0.15	2×10^4
单位	μm	μm	μm	$cm^2/V \cdot s$	$1/V$	V	cm^{-3}	μm	V/cm

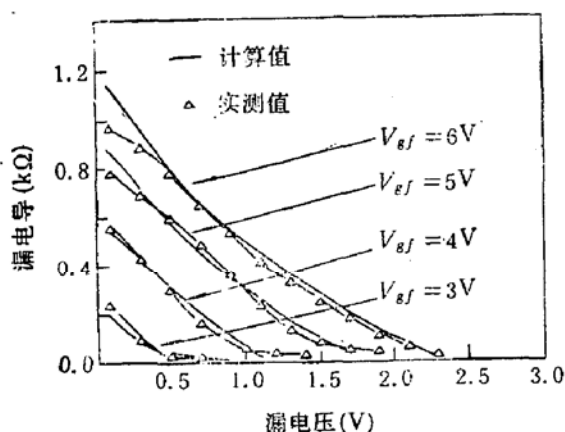


图 4 线性区电导实测值和计算值的对比曲线

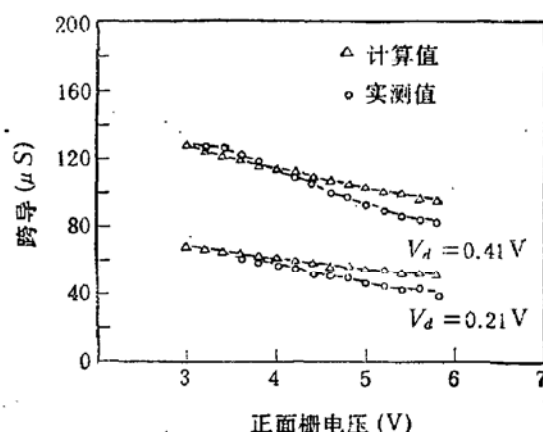


图 5 线性区跨导实测值和模拟值的对比曲线

与模拟值不太吻合。图 5 给出的是线性区跨导 G_m 和栅电压 V_g 的关系曲线。和上面讨论相类似,当栅电压较高时模拟值和实测值之间产生偏离。

当漏电压增加使器件工作于饱和区时,由图 2 可看出电流实测值和模拟值之间产生明显的偏离。除了前述两方面原因外,主要是由于实际器件产生了明显的“kink 效应”所致。对于厚膜部分耗尽器件,当器件处于饱和工作状态时,漏端载流子产生强烈碰撞电离导致大量空穴堆积在源端附近中性区内,使浮空衬底电位升高从而减小了器件有效开启电压。这时漏极电流明显增加,出现所谓的“kink 效应”。因本文电流模型没有包括该效应的影响,所以模拟值和实际器件特性产生较大偏离。为了描述厚膜器件特性,我们另外借助体硅 MOSFET 理论,在考虑了衬底浮空效应的情况下得到部分耗尽 SOI 器件的电流模型。在适当选择工艺参数和器件参数情况下,模拟值和实测值在整个工作区域(从线性区到饱和区)可吻合得较好^[8]。所以可以肯定,图 2 中模拟值和实测值在饱和区产生偏离完全是由于用全耗尽膜器件模型模拟部分耗尽器件特性所致。由于在实际全耗尽膜 SOI 器件中并不出现“kink”效应,而且其短沟效应也较弱,因此其饱和区电流不会有十分明显的变化。可以预计,利用本文模型分析全耗尽膜器件实际电流特性时不会出现大的偏差。

由于本文模型公式形式简洁,可以由实验曲线提取所有器件参数(因篇幅所限,参数提取过程不予赘述),所以该模型可以用于实际 SOI 电路分析设计。本文模型已装入我们现有的通用电路分析程序 SPICE-3C 版本之中。

四、小 结

根据上面分析,我们总结以下几点:

1. 本文模型公式是在薄全耗尽 SOI 膜器件特点的基础上得到, 能反映薄全耗尽膜 SOI 器件的物理本质, 可以模拟分析不同膜厚和不同背表面状况(如堆积或耗尽)时的电流特性。

2. 模型公式形式简单, 且和 SPICE 中所采用的 BSIM 体硅器件模型形式相似, 易于移植到通用电路模拟程序之中。

3. 模型公式形式便于扩充和改进。引入了 d 、 η 参数描述短沟效应对开启电压特性的影响, 以满足实际电路模拟的需要。

4. 器件模型参数的提取非常方便, 因而可以实现电路模拟中器件参数的自动提取。

致谢: 本工作得到北京大学微电子学研究所 SOI 课题组全体同志的大力支持, 陈南翔博士提供了 SOI 器件电流特性测试数据, 在此表示深切谢意。

参 考 文 献

- [1] J. B. Mckitterick, et al., *IEEE Trans. on Electron Devices*, 36(6), 1133(1989).
- [2] C. Mallikarjun, et al., *IEEE Trans. on Electron Devices*, 37(9), 2039(1990).
- [3] S. Veeraraghavan, et al., *IEEE Trans. on Electron Devices*, 35(11), 1866(1988).
- [4] B. J. Sheu, et al., *IEEE J. of Solid-state Circuits*, SC-22 (4), 558(1987).
- [5] J. P. Colinge, *Electron Lett.*, 22(4), 187(1986).
- [6] M. Yoshimi, et al., *IEEE Trans. on Electron devices*, 37(9), 2015(1990).
- [7] 程玉华, 王阳元, 薄膜全耗尽 SOI 器件开启电压准二维解析模型, (待发表)
- [8] 程玉华, “七五”科技攻关 66-5-14 研究报告, 北京大学微电子研究所。
- [9] 王守武等, 半导体学报, 6(3), 225, (1985).
- [10] J. R. Brews, *Solid-state Electronics*, 21, 345(1978).
- [11] S. M. Sre, *Physics of Semiconductor Devices*, Wiley, New York (1981).

Analytic Current Model for Thin Film SOI N-channel MOSFET's Applicable to Circuit Simulation

Cheng Yuhua and Wang Yangyuan
(Institute of Microelectronics, Peking University)

Abstract

An analytic current model for thin film SOI N-channel MOSFET's, suitable for circuit simulator such as SPICE was developed on the basis of considering the special physical effects of thin film full depleted SOI devices. The formulas of the model are similar to those of BSIM (Berkeley Short-channel IGFET Model) and convenient to model parameter extraction so that it can be implemented into SPICE easily. The experimental results show good agreement with model predictions if the model parameters are extracted correctly.

EEACC: 7410D