

新型嵌入式 BeNOR 结构 Flash 存贮器*

潘立阳 刘 楷 朱 钧 仲 涛 鲁 勇 傅玉霞

(清华大学微电子学研究所, 北京 100084)

摘要: 提出了一种能根据嵌入式应用系统容量的不同而灵活选择字节擦除和块擦除两种不同擦除模式的 BeNOR 阵列结构, 该结构采用沟道热电子注入进行“写”操作, 采用分离电压法负栅压源极 F-N 隧道效应进行擦除. 对分离电压法负栅压源极 F-N 隧道效应擦除的研究表明, 采用源极电压为 5V, 栅极电压为 -10V 的擦除条件, 不仅能很好地控制擦除后的阈值电压, 而且当字线宽度小于等于 64 时, 源极电压导致的串扰效应能得到很好的抑制. 研究表明该结构具有编程速度高、读取速度高、可靠性高及系统应用灵活的特点, 非常适宜于在 1M 位以下的嵌入式系统中应用.

关键词: Flash 存贮器; BeNOR; 字节擦除; 分离电压法; 源极串扰

EEACC: 1265D; 2560A

中图分类号: TP333.5

文献标识码: A

文章编号: 0253-4177(2002)08-0855-06

1 引言

自从 1984 年 Masuoka 等首次提出 Flash 的概念以来^[1], Flash 存贮器的发展经历了从器件结构、阵列结构到系统电路技术及可靠性研究的各个阶段. 其未来的主要发展方向是小尺寸、高集成的大容量存贮器和小规模嵌入式信息存贮系统^[2]. 随着 SOC 技术的发展, 嵌入式 Flash 存贮器正成为系统集成存储器发展的主流和热点之一. ICE 预测在 2001 年, 嵌入式 Flash 存贮器将会占到整个嵌入式存储器市场的 20% 以上. 满足嵌入式应用要求的单元结构和阵列结构是嵌入式 Flash 存贮器研究的两个主要方面. 本文首先提出一种能根据嵌入式应用系统容量的不同而灵活选择字节擦除和块擦除两种不同擦除模式的 BeNOR (byte-erase NOR) 阵列结构, 该结构采用沟道热电子注入进行“写”操作, 采用分离电压法负栅压源极 F-N 隧道效应进行擦除^[3], 具有编程速度高、读取速度高及系统应用灵活的特点.

Flash 存贮器擦写过程中的串扰问题是影响其

寿命和可靠性的主要因素, 是 Flash 可靠性研究中面临的主要课题之一^[4]. 对嵌入式应用而言, 一般来说存贮器的容量不需要很大, 只能进行小块的擦除, 因而串扰问题将会非常严重. 本文对提出的 BeNOR 结构存在的串扰问题进行了分析, 由于是采用字节擦除, 源极电压是导致串扰产生的主要原因. 对分离电压法负栅压源极 F-N 隧道效应擦除进行研究表明, 采用源极电压为 5V, 栅极电压为 -10V 的擦除条件, 不仅能很好地控制擦除后的阈值电压, 而且当字线宽度小于等于 64 时, 源极电压导致的串扰效应得到了很好的抑制. 本文最后对该嵌入式 BeNOR 结构 Flash 存贮器的各项技术指标进行了描述.

2 Flash 存贮器的单元结构和编程机制

嵌入式应用对 Flash 存贮器的要求主要是编程速度高、读取速度高、可靠性高、系统应用灵活、接口电路简单及存贮器工艺相对简单, 能与标准 CMOS 工艺兼容等. 由于嵌入式应用中 Flash 存贮器一般小于 1M 位, 对存贮器的单元面积和编程时的功耗

* 国家“九五”计划资助项目(合同号: 97-760-01-01)

潘立阳 男, 1975 年出生, 博士研究生, 主要从事闪烁存贮器器件结构、工艺及可靠性方面研究.

2001-09-13 收到, 2002-01-28 定稿

©2002 中国电子学会

要求相对较低. 因此根据以上要求, 嵌入式 Flash 存储单元宜选择沟道热电子注入作为编程“写”时的编程方式以提高编程速度, 存储阵列则应是基于 NOR 的结构以提高读取电流和读取速度.

本文提出 Flash 存储单元结构采用类似 E-TOX 的叠栅结构^[5], 见图 1. 其主要特点有: 双层多晶叠栅结构, 下层多晶为浮栅, 上层多晶为控制栅; 采用 10nm 的隧道氧化层; 两层多晶间采用 $\text{SiO}_2/\text{Si}_3\text{N}_4/\text{SiO}_2$ (ONO) 的复合介质层; 采用沟道热电子注入进行写以提高编程速度, 降低编程电压, 从而降低整个集成工艺的开发成本; 由于沟道 F-N 擦除耦合系数较小, 编程电压较高, 且需要采用多阱工艺, 因而采用分离电压法负栅压源极 F-N 隧道效应进行擦除. 为了降低源极擦除所导致的带带隧穿热空穴注入效应, 源极采用 DD 结构.

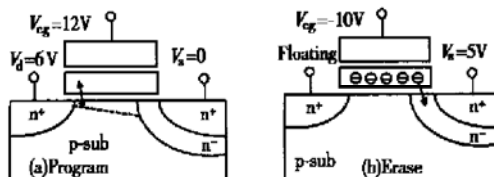


图 1 Flash 的单元结构及其编程条件

Fig. 1 Cell structure and operation condition

Flash 存储器的编程采用沟道热电子注入进行写编程, 采用分离电压负栅压源极 F-N 隧道效应进行擦除. Flash 的编程操作具体条件如表 1 所示. 写操作时在控制栅 (CG) 上加 12V 高电压, 源漏之间接 6V 电压, 沟道中的电子经过电场的加速, 具备了一定的能量并在纵向电场的吸引下穿过氧化层势垒注入到浮栅 (FG). 擦操作则是将 CG 接 -10V, 在源上加 5V, 漏浮空. 由于 CG 和 FG 之间的耦合效应, 在 FG 和源区之间形成强电场, 根据量子理论, 当电场大于 $10\text{MV}/\text{cm}$ 时, 源和浮栅之间将发生 F-N 隧道效应, 浮栅上存储的电子通过这种效应直接穿过

表 1 Flash 的编程操作

Table 1 Detailed operation condition of the BeNOR Flash memory

编程操作	BitLine	WordLine	SourceLine	Substrate
写	Select	6/0	12	0
	Unselect	0	0	0
擦	Select	0	-10	5
	Unselect	0	0	0
读	Select	1	3	0
	Unselect	0	0	0

氧化层势垒达到源区, 从而实现擦操作. 采用分离电压法进行擦除使得源极 PN 结只有 5V 的反向电压, 大大降低了源极擦除时的带带隧穿热空穴注入而导致的器件退化问题.

3 BeNOR 阵列结构

为提高读取电流和读取速度, 尤其是为适应嵌入式应用中并行读操作的要求, 本文首次提出能根据嵌入式应用系统容量的不同而灵活选择字节擦除和块擦除两种不同擦除模式的 BeNOR 阵列结构, 如图 2 所示. 它采用 NOR 结构^[6], 其中同一字线的每 8bit 构成一个字节, 共用一根源线, 沿着位线方向所有字节并行排列, 并在 BL3 和 BL4 之间增加一根和位线平行的有源区源线将各个字节的源极相连. 这样每 8 根位线上的所有字节又构成一个块, 从而形成和传统 NOR 结构不同的双层结构.

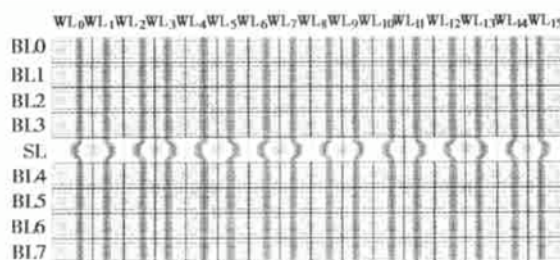


图 2 Flash 存储器的阵列结构

Fig. 2 Array architecture of the BeNOR Flash memory

BeNOR 结构由于需增加一根和位线平行的共源线, 平均单元面积比传统 NOR 结构稍大. 位线方向每位长 $3.5F$, 字线方向每位宽 $4F$, 考虑到增加的源线的尺寸, 平均单元面积为 $4F \times (3.5 + 3/8)F = 15.5F^2$. 如果采用 $0.8\mu\text{m}$ 工艺, 则单元面积为 $9.24\mu\text{m}^2$, 4K 位阵列面积为 0.0428mm^2 , 非常适于 1M 位以下容量的嵌入式应用.

BeNOR 结构采用和传统 NOR 结构不同的双层结构, 可根据嵌入式系统要求的不同选择到底层的字节或高层的块, 从而可实现两种不同的擦除模式: 字节擦除模式和块擦除模式. 选择一根字线和一根源线即可实现对某一个字节的擦写; 选择所有的字线和一根源线即可实现对一个块的擦除. 在小容量系统应用中, 一次存储的数据量一般较小且规模

经常变化,采用字节擦除模式可减小对块进行擦除后对每一位进行编程所需的时间,并可降低对一块中所有位进行编程所需的功耗.当一次存储的数据量大于 1K,或是在大于 16K 的系统应用中,可选择用块擦除模式.

BeNOR 结构采用字节擦除模式,可以根据系统的要求任意地确定块的大小,从而克服了基于块擦除模式的传统 NOR 结构中块规模不能任意改变的缺点,具有极大的灵活性和可复用性,非常适合在不同规模嵌入式系统中的存储器中应用.而且,由于是以字节为单元进行擦除,当改变存储器块的规模时,不会影响擦除控制电路的负载特性,从而改善了系统擦除工作的稳定性,降低了对擦除控制电路的要求.当一次存储的数据量大于 1K 时,或是在大于 16K 的系统应用中,采用块擦除模式可以进一步扩展在中等规模嵌入式系统中的应用范围.

4 Flash 存储器输出特性和编程特性

图 3 所示为 Flash 存储器单元的输出特性,控制栅的耦合系数近似为 0.45.采用 $V_{cg} = -10V$, $V_s = 5V$ 的擦除和 $V_{cg} = 12V$, $V_d = 6.5V$ 的编程得到的擦写窗口如图 4 所示,其中擦除后的阈值电压 V_{te} 为 0.1V,编程后的阈值电压 V_{tw} 为 5.1V,编程窗口为 5.0V,编程时的功耗为 3.7mW/位,最大功耗为 29.6mW.

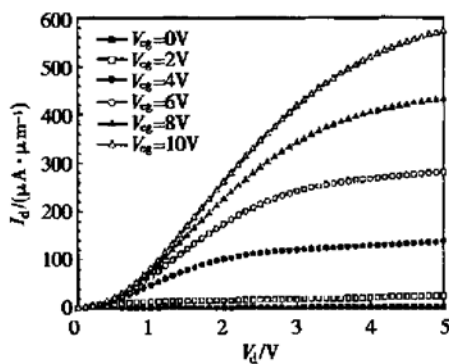


图 3 Flash 单元输出特性

Fig. 3 I_d - V_d curves of the Flash cell

源极擦除 Flash 存储器在擦操作的过程中,带带隧穿产生的空穴注入将会在 SiO_2/SiO_2 界面和氧化层中产生带电中心,包括界面态和陷阱,影响器件的可靠性^[7].一般认为采用分离电压法负栅压源极

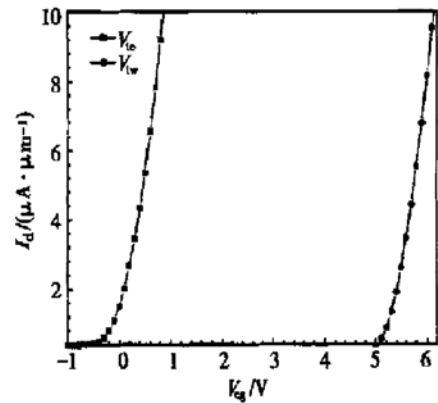


图 4 擦写窗口 擦除条件: $V_{cg} = -10V$, $V_s = 5V$;
编程条件: $V_{cg} = 12V$, $V_d = 6.5V$

Fig. 4 Programming window

F-N 擦除能有效的抑制带带隧穿效应,进而提高 Flash 存储器的可靠性.本文重点对 Flash 存储器的分离电压法负栅压源极擦除特性进行了研究.图 5、图 6 为不同栅极和源极电压下分离电压法源极擦除

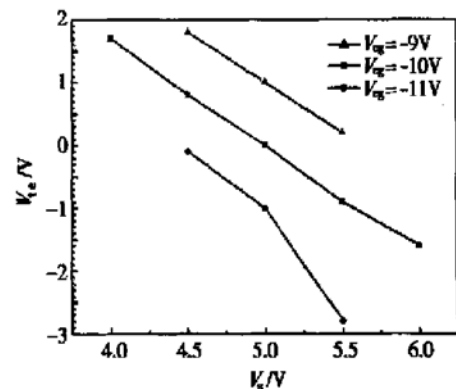


图 5 不同栅压下分离电压源极擦除特性

Fig. 5 Gate voltage dependent characteristics of split-gate source side erase

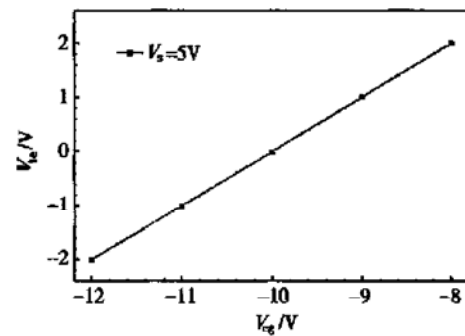


图 6 5V 源极电压下栅压对擦除特性的影响

Fig. 6 V_{cg} 's effect on erasing characteristics at $V_s = 5V$

的阈值分布特性, $V_{cg} = -9V$, $V_s = 5.5V$; $V_{cg} = -10V$, $V_s = 5.0V$; $V_{cg} = -11V$, $V_s = 4.5V$ 三种擦除偏置得到的擦除后的阈值电压均在 0 左右, 可以满足编程的要求.

5 BeNOR 结构 Flash 存储器的串扰问题

Flash 存储器的串扰是指当选择一个单元或一个块进行编程操作时, 其他单元或块由于位线或字线电压的干扰也会被轻微的误操作. 当经过多个周期的擦写后, 这种误操作可能会导致其他单元数据的改变. 由于采用的是类似 NOR 的阵列结构, 栅极串扰和编程时的漏极串扰对器件的影响会由于电场应力小或编程时间短而不甚明显, 串扰问题主要是由源极擦除电压造成. 图 7 为 Flash 存储器阵列中各种串扰机制示意图. 对小存储容量采用字节擦除模式: 当选择 A 字节进行擦除操作时, WL0 为-

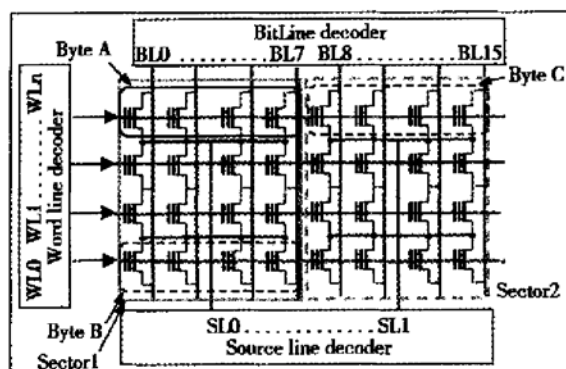


图 7 Flash 存储器的串扰问题

Fig. 7 Circuit illustration of the disturbance of BeNOR Flash memory

10V, BL0~ BL7 均定义为 0V, SL0= 5V, 其它字线和位线均为 0V; 此时同一块中其它字节(如 B 字节)的源极电压为 5V, 存在源极串扰问题; 而同一字线的其他字节(如 C 字节)由于控制栅电压为 -10V, 存在栅极串扰问题. 同样, 对一个块中某特定字节, 当同一块中其他字节采用字节擦除模式擦除时都会对其产生串扰效应, 其所受最大串扰时间 t 可由以下公式确定:

$$t = (m - 1)w_e C_{endurance} \quad (1)$$

其中 m 为字线数目; w_e 为擦除脉冲宽度; $C_{endurance}$ 为抗疲劳特性周期, 一般要求大于 10^5 以上. 当源极擦除串扰时间容限为 t_{dis} 时, 可以确定一个块最大字

线数目 M 为:

$$M = t_{dis}/(w_e C_{endurance}) + 1 \quad (2)$$

图 8 为分离电压法中不同源极电压擦除时的串扰效应. 由图 9 可知, 当源极擦除电压为 5V 时, 串扰时间容限可达 10000s, 由于擦除脉冲宽度为 1ms, 串扰周期可达 10^7 , 由(2)式可得最大字线数目为 100 左右. 当源极电压为 5.5V 时, 串扰时间容限为 2000s, 对应的最大字线数目为 20. 当源极擦除电压低于 5V 时, 擦除导致的带带隧穿效应和串扰效应可以进一步得以改善, 但为满足擦写后阈值电压的合理分布及不减小擦写窗口, 栅极擦除电压需提高到 -11V, 这将大大增加对工艺和电荷泵电路的要求, 因而, 本文确定擦除条件为: $V_{cg} = -10V$, $V_s = 5.0V$, 字线宽度为 8~ 64, 一个块最大为 64 字节.

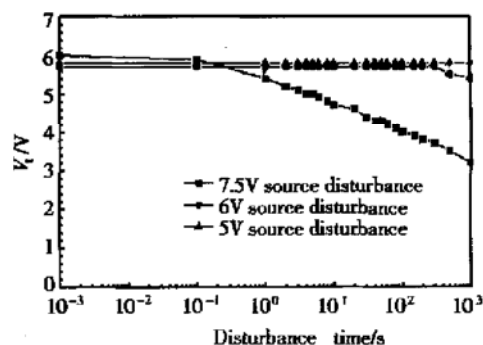


图 8 源极擦除的串扰问题

Fig. 8 Disturbance characteristics of source side erasing

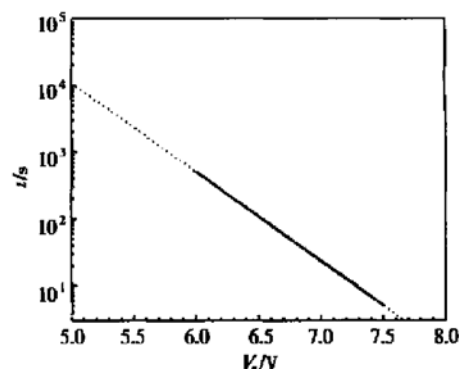


图 9 不同电压源极擦除的串扰时间容限

Fig. 9 Time limitation source disturbance with different source voltages

对大于 16K 位的嵌入式系统可以采用块擦除模式: 当选择块 1 进行擦除时, 所有字线为 -10V, SL0 为 5V, 其他位线为 0V, 不存在字节擦除模式中

的源极串扰问题, 字线宽度最大为 1000, 一个块最大容量为 1K 字节, 最高存贮规模可达 1M 位. 由此可见, BeNOR 阵列结构通过控制字线的宽度抑制了由于采用字节擦除模式造成的源栅串扰问题, 并

通过不同的擦除模式的选择很好地解决了在不同容量应用时编程灵活性和编程导致的串扰问题(尤其是源极擦除电压导致的源极串扰问题)之间的矛盾. BeNOR 结构 Flash 存储器的相关参数如表 2 所示.

表 2 BeNOR Flash 存储器的相关特性

Table 2 Characteristics of the BeNOR Flash memory

参 数	指 标	参 数	指 标
0.8 μm 特征尺寸, 双阱, 双层多晶, p 衬底 CMOS		读速度	50ns
隧道氧化层厚度	10nm	擦写窗口	5.0V
ONO 电学等效厚度	20nm	单元面积	2.8 $\mu\text{m} \times 3.3\mu\text{m}$
单元结构	ETOX 叠栅结构	块大小	64 字节
阵列结构	BeNOR 结构	块面积	212.4 $\mu\text{m} \times 25.2\mu\text{m}$
写模式	CHE	字线宽度	8~64
擦模式	分离电压源极负栅压 F-N 擦除	块数目	4~32
写脉冲宽度	10 μs	存储器规模	2K~16K 位
擦脉冲宽度	1ms	块擦除模式存储器规模	1M 位

5 结论

本文首次提出了一种能根据嵌入式应用系统容量的不同而灵活选择字节擦除和块擦除两种不同擦除模式的 BeNOR 阵列结构, 该结构采用沟道热电子注入进行“写”操作, 采用分离电压法负栅压源极 F-N 隧道效应进行擦除. 通过对 BeNOR 结构编程特性和源极串扰特性的研究表明, 采用 $V_{\text{cg}} = -10\text{V}$, $V_{\text{s}} = 5\text{V}$ 的擦除和 $V_{\text{cg}} = 12\text{V}$, $V_{\text{d}} = 6.5\text{V}$ 的编程得到编程窗口为 5.0V; 当字线宽度小于等于 64 时, 源极电压导致的串扰效应得到了很好的抑制. 相关研究表明该结构具有编程速度快、读取速度快、可靠性高及系统应用灵活的特点, 非常适合在 1M 位以下的嵌入式系统中应用.

参考文献

[1] Masuoka F, Assano M, et al. A new Flash EEPROM cell us-

ing triple polysilicon technology. IEEE IEDM Tech Dig, 1984: 464

- [2] Pan Liyang, Liu Kai, Zeng Ying, et al. An embedded NORST flash memory technology. 2001 6th ICSSICT, 2001: 217
- [3] Kume H, Tanaka T, Adachi T, et al. A 3.42/spl mu/m/sup 2/Flash memory cell technology conformable to a sector erase. Symp VLSI Tech, 1991: 77
- [4] Yaron G, et al. A 16K EEPROM employing new array architecture and designed-in reliability features. IEEE J Solid-State Circuits, 1982, 17: 833
- [5] Tam S, et al. A high density CMOS 1-T electrically-erasable non-volatile (Flash) memory technology. Symp VLSI Tech, 1988: 31
- [6] Ajika B, Ohi M, Arima H, et al. A 5V only 16M bit Flash EEPROM cell with a simple stacked gate structure. IEDM Tech Dig, 1990: 115
- [7] Su Yu, Zhu Jun, Chen Yuchuan, et al. Charge pumping measurement for determining band-to-band tunneling induced interface damage during erasing operation of Flash. Chinese Journal of Semiconductors, 2001, 22(1): 69[苏昱, 朱钧, 陈宇川, 等. 电荷泵法研究 Flash 擦工作时带隧穿引起的界面损伤. 半导体学报, 2001, 22(1): 69]

A Novel Embedded BeNOR Flash Memory^{*}

Pan Liyang, Liu Kai, Zhu Jun, Zhong Tao, Lu Yong and Fu Yuxia

(*Institute of Microelectronics, Tsinghua University, Beijing 100084, China*)

Abstract: A BeNOR Flash memory, which can work with byte erasing mode or sector erasing mode according to the difference of embedded memory systems, is proposed. This structure uses channel hot-electron to write and split-voltage negative gate source F-N tunneling effect to erase, and has a good disturb immunity when erased with 5V source voltage. The BeNOR Flash memory, which features a high program speed, a rapid read speed, and a good reliability, is demonstrated suitable for the embedded SOC systems under 1Mbit.

Key words: Flash memory; BeNOR; byte-erase; split-voltage; source-disturb

EEACC: 1265D; 2560A

Article ID: 0253-4177(2002)08-0855-06

^{*} Project supported by the Ninth Five-Year Plan of China(Grant No. 97-760-01-01)

Pan Liyang male, was born in 1975, PhD candidate. His research fields are in the device structures, technology, and reliability of Flash memory.

Received 13 September 2001, revised manuscript received 28 January 2002

©2002 The Chinese Institute of Electronics