

一种改进的差分环型振荡器相位噪声模型*

王 涛 苏彦锋 连德东 洪志良

(复旦大学微电子学系, 上海 200433)

摘要: 在 Razavi 模型和 Weigandt 模型的基础上, 提出了一种改进的差分环型振荡器相位噪声模型. 新模型考虑了环振非线性对相位噪声的影响, 从新的角度讨论了相位噪声的三种发生机制和影响, 讨论了闪烁噪声的优化方法, 得到了新的相位噪声模型, 并依此着重分析了对管尺寸和环振级数对相位噪声的影响. 最后, 分析了低噪声设计的一些原则. 采用 CSM 0.35 μm 工艺进行了流片验证, 模型与测试结果能够很好地吻合.

关键词: 环振振荡器; 差分环振; 相位噪声; 低噪声

EEACC: 1230B; 7259E

中图分类号: TN782

文献标识码: A

文章编号: 0253-4177(2004)11-1479-07

1 引言

环型振荡器由于易于集成, 得到了很广泛的应用. 一般来说, 环振相位噪声特性不佳, 到目前为止, 对噪声机理进行了大量的研究^[1~4]. Razavi 基于线性时不变的模型分析了环振的相位噪声特性, 并得到了具有普遍意义的品质因数定义^[1]. Weigandt 首先分析了时间域内的抖动特性, 然后将其转换为相位噪声^[2]. Hajimiri 则定义了所谓的冲击敏感函数 (ISF, impulse sensitivity function), 并通过这个函数来说明振荡器的噪声行为^[3]. 王钊等人也研究了低噪声环振设计, 但是没有给出详细的噪声分析结果^[4].

通过比较可以发现, Weigandt 模型的结果与 Hajimiri 模型一致, 但与 Razavi 模型不能吻合. 为解决这个问题, 本文首先分析了系统的线性或非线性的影响, 讨论了环型振荡器中相位噪声的三种发生机制. 接着, 对 Razavi 模型进行改进, 加入了表征环振非线性程度的因子, 提出了一种新的相位噪声模型. 根据新模型, 重点分析了相位噪声分别随差分对管尺寸和级数的变化规律. 最后, 根据新模型讨论了低噪声设计的一般原则. 采用 CSM 0.35 μm 工艺进行了流片验证, 测试结果与分析结

果能够很好地吻合.

2 Razavi 模型与 Weigandt 模型比较

Razavi 模型假设振荡器是线性时不变系统. 对 n 级一阶延迟单元组成的线性反馈振荡系统, 发生等幅振荡时振荡频率 $\omega = \omega_0 \tan(\pi/n)$, 起振需要的最小增益 $A_0 = \sec(\pi/n)$. 式中的 ω_0 为延迟单元的极点.

对通常的一阶延迟单元组成的 n 级环振, n 不是很大时振荡器工作在准线性状态. Razavi 定义了此类环振的广义品质因数 Q_n , 但没有给出最终的解析表达式, 作者推导得到 $Q_n = n \sin(\pi/n) / 2$. 当级数 n 趋向无穷大时, Q_n 趋向于 $\pi/2$. Razavi 同样没有给出相位噪声的最终分析结果, 将 Leeson 模型^[5]中的品质因数 Q 改为 Razavi 提出的广义品质因数 Q_n , 就可以得到 Razavi 模型的一般表达.

$$L_R\{\Delta\omega\} = \frac{P_{\text{Noise}}}{P_{\text{Signal}}} = \frac{P_{\text{Noise}}}{I_{\text{SS}} V_{\text{Swing}}} \\ = \frac{\omega_0^2}{(\Delta\omega)^2} \times \frac{FkT}{I_{\text{SS}} V_{\text{Swing}}} \times \frac{n}{Q_n^2} \quad (1)$$

式中 ω_0 为振荡频率; $\Delta\omega$ 为频率偏移; I_{SS} 是差分对的尾电流; V_{Swing} 代表振荡幅度; k 为玻尔兹曼常数;

* Intel 公司研究基金资助项目

F 是延迟单元的噪声系数, 主要由对管的偏流和宽长比以及负载决定.

Weigandt 模型考虑了时变噪声源和级间放大, 是一种线性时变模型. 给出的相位噪声表达式为:

$$L_w\{\Delta\omega\} = \frac{\omega_0^2}{(\Delta\omega)^2} \times \frac{FkT}{I_{SS}V_{Swing}} \quad (2)$$

比较发现, Razavi 模型((1)式)和 Weigandt 模型((2)式)有着显著的不同: Razavi 模型认为相位噪声随级数 n 增加而增加; 相反地, Weigandt 模型认为相位噪声与级数无关. 另一方面, 这两种模型都显示, 在一定的偏置和负载条件下减小差分对管宽长比 S 能够减小噪声系数 F , 从而提供更好的相位噪声特性, 但本文的实验结果不支持这个观点. 为了解决这些问题, 作者对 Razavi 模型进行了非线性修正, 提出了一种新的相位噪声模型.

3 提出的相位噪声模型

3.1 相位噪声的发生机制

线性振荡器中的相位噪声情况比较简单. 假设振荡信号是一个理想正弦信号, 那么振荡器中应该不存在非线性因素. 根据 Leeson 公式, 相位噪声来自被环路成型的高斯白噪声, 这些高斯白噪声处于振荡信号的频段附近, 见图 1. 因此, 线性振荡器的噪声水平由系统的 Q 值决定.

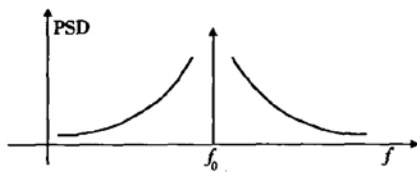


图 1 环路成型白噪声的功率谱密度

Fig. 1 Power spectral density of loop shaped white noise

实际环型振荡器中总是存在非线性. 总的来说, 按照 Razavi 的划分, 存在非线性时环振的相位噪声将由三部分组成. 这些噪声包括环路成型的高斯白噪声、闪烁噪声以及高频白噪声.

对高斯白噪声来说, 非线性引入了一个衰减因子. 考察一个典型的 n 级环振延迟单元, 见图 2. 我们知道, 当对管的差分输入信号小于差分对的临界平衡电压 $V_{ID,max} = 2\sqrt{2(V_{GS} - V_{TH})}$ (V_{GS} 为对管栅

源电压, V_{TH} 为其阈值) 时, 对管工作, 此时延迟单元能够起到放大作用; 当对管差分输入大于临界平衡电压时, 对管的放大倍数接近于 0. 假设一系列噪声信号从 A1 出发. 由于 n 级振荡器的频率为 $\omega = \omega_0 \tan(\pi/n)$, 因此每一级的延迟时间 $T_d = T_0/n = 2\pi/[\omega \tan(\pi/n)]$. 可以看到, 只有 T_{e1} 段内的噪声可以被传递到 A2 点, 而其他时间段内的噪声将被环路衰减到 0. 当 T_{e1} 内的噪声到达 A2 时, 由于振荡信号同样经过了第一级的延迟, 也就是一个 T_d , 此噪声正好将位于 T_{e2} 内. 因此, 它们将被继续传递到 A3, 而此外的噪声仍将被衰减到 0. 由于总是 T_e 内的噪声被在环路中继续传递, 因此对相位噪声有贡献的高斯白噪声与全部白噪声的比例大体两倍于 T_e 与周期 T_0 之比.

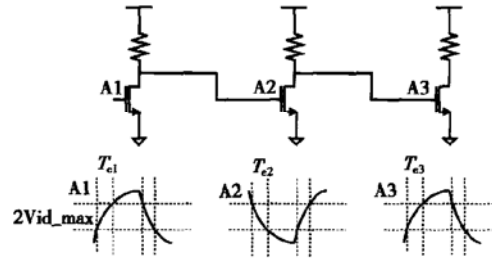


图 2 环振延迟单元的输入和输出

Fig. 2 Input and output signals of delay cell

另一方面, 由于非线性的存在, 所有的器件噪声相当于通过了一个混频器, 此混频器的工作状态可以用一个虚拟的 Switch 信号表示, 见图 3. 在 T_e 时间段内, 混频器允许噪声通过, 定义此时的 Switch 为 1; 其他时间段内, 噪声被衰减到 0, 定义此时的 Switch 为 0.

闪烁噪声通过两种方式被混频到高频. 一种是尾电流-差分对固有的混频作用, 可以通过在尾电流管的输入或输出加入滤波电容抑制^[1]. 另一种就是通过 Switch 混频. 分析得出, 此类噪声的频段与 Switch 的频率相关.

通常, Switch 的频率与振荡器输出相同. 但如果我们将振荡器单元对输出节点的充放电时间设计得更加对称, Switch 的频率将更加接近 $1/2T_0$, 而不是 $1/T_0$, 也就是更加接近图 3 中的 Switch2, 而不是 Switch1, 这样, 闪烁噪声的大部分将被搬移到 2 次谐波附近, 而基频附近的闪烁噪声将大大降低. 这个结论与 Hajimiri 模型的结论近似.

简单的仿真实验可以很好地说明这个问题. 图

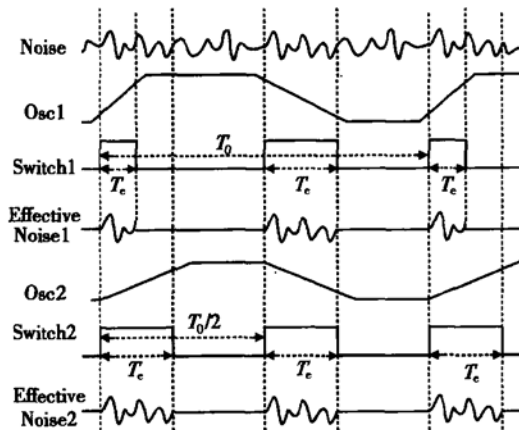


图 3 通过延迟单元后的噪声
Fig. 3 Noise in delay cell

4 显示了一个对称性较差的环振输出波形和频谱的仿真结果. 为了说明对称性对闪烁噪声的影响, 图 4 中的环振没有经过调整. 其振荡频率为 960MHz, 加入了一个频率为 100MHz, 幅度为 $50\mu\text{A}$ 的正弦电流信号仿真闪烁噪声. 从图 4 中的频谱可以看到, 它的二次谐波上的噪声 (Flicker 2) 较之基波上的噪声 (Flicker 1) 为小.

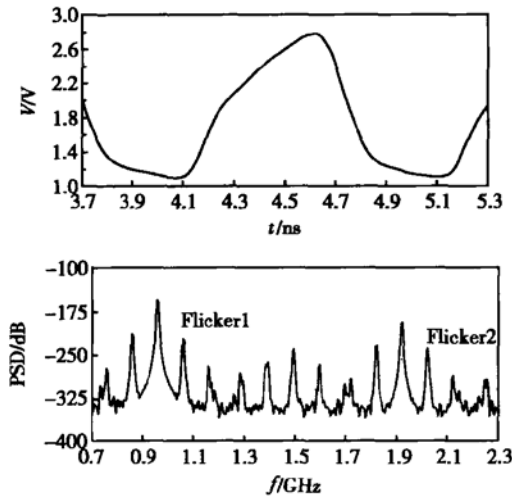


图 4 对称性不好的环振
Fig. 4 Ring oscillator with poor balance

图 5 显示的振荡器经过调整, 对称性较好. 它的振荡频率为 760MHz, 同样加入了一个频率为 100MHz, 幅度为 $50\mu\text{A}$ 的正弦噪声信号. 可以看到, 它的二次谐波上的噪声 (Flicker 2) 较之基波上的噪声 (Flicker 1) 为大. 换言之, 随着振荡器平衡性的改善, 基频附近的闪烁噪声分量将大大降低. 这证明前面的分析是正确的. 为改善对称性, 需要改善充放电

电流的匹配程度, 这可以通过调节管子宽长比来实现.

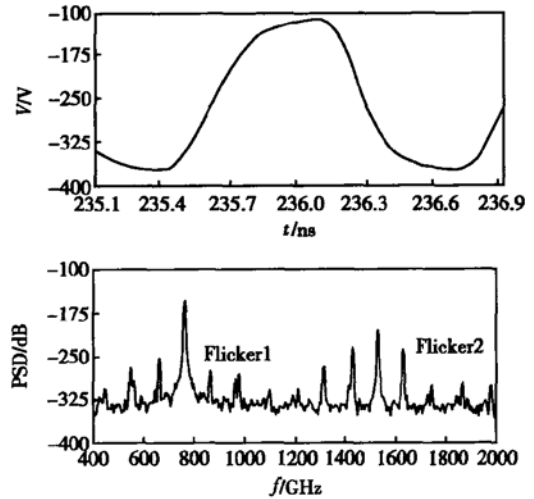


图 5 对称性较好的环振
Fig. 5 Ring oscillator with good balance

第三部分是其他频段上的高斯白噪声, 它们由于非线性被搬移到基频附近. 由于系统非线性方程在高频上的影响总是较小, 这部分噪声也是比较小的^[1].

3.2 对 Razavi 模型的修正

由于电路中总是存在非线性, 精确求解三部分噪声存在很大的难度. 文献[6]提供了一种求解环路非线性差分方程的准确方法, 但这种方法非常复杂, 更适合仿真软件而不是设计者. 对设计来说, 更重要的是提供直观的设计准则. 考察相位噪声的三部分, 由于第三部分比例很小, 而闪烁噪声又已经通过前述的改进设计抑制, 因此最主要的噪声就是第一部分, 也就是被环路成型的高斯白噪声. 根据前面已经得到的结论, 对相位噪声有贡献的热噪声与全部热噪声的比例大体等于 T_e 与周期 T_0 比的两倍, 为此可以考虑在 Razavi 模型中加入表征差分对平衡时间 T_e 与周期 T_0 的比例修正因子 $\eta = T_e/T_0$, 从而得到一种直观相位噪声模型. 这就是对 Razavi 模型进行修正的依据.

需要说明的是, 虽然这里的方法与文献[7]类似, 但是出发点明显不同. 文献[5]的做法与文献[7]相同, 都是根据波形计算相位噪声. 但实际上, 输出波形仅仅决定系统的周期性工作点, 在此工作点的

基础上, 决定刻画噪声特性的非线性方程的是电路内元件的行为. 因此, 仅仅关注输出波形的做法缺乏可靠的依据.

加入 η 进行修正后的环振相位噪声可以表示为:

$$L\{\Delta\omega\} = \frac{\omega_0^2}{(\Delta\omega)^2} \times \frac{FkT}{I_{SS}V_{Swing}} \times \frac{n\eta}{Q_n^2} \quad (3)$$

为了求得 η , 可以先计算平衡时间 T_e 占上升/下降时间 T_s 的比例 η_1 , 然后计算上升/下降时间 T_s 占整个周期的比例 η_2 . 计算 η_1 时, 假设上升/下降时间相同, 均为 T_s . 在计算 η_2 时, 当差分输入电压 V_{ID} 小于临界值 $V_{ID,max}$ 时, 才可以认为差分对平衡. 将 η_1 和 η_2 相乘, 就得到了对相位噪声的修正因子 $\eta = \eta_1\eta_2$. 为了得到具体的 η 表达式, 下面将在正弦近似的条件下, 分别讨论级数和对管尺寸的影响, 也就是 η_1 和 η_2 .

由于环振工作时处于非线性状态, 精确地解析分析 η_1 和 η_2 存在很大的困难. 为此本文的分析基于正弦近似, 以便得到更有利于分析的解析结果.

定义交流压摆率 SR_{AC} 为特定频率下输出节点电压所能达到的最大时间变化率, 而直流压摆率 SR_{DC} 就是低频时输出节点电压的时间变化率, $SR_{DC} = I_{SS}/C_L$. 借助拟合, 正弦近似下可以得到 $SR_{AC} = SR_{DC}\cos(\pi/n)$. 当 n 趋向无穷时, SR_{AC} 趋向 SR_{DC} .

拟合和正弦近似还可以得到振荡幅度 $V_{Swing} = I_{SS}R_L\cos(\pi/n)$. 当 n 趋向无穷时, V_{Swing} 趋向 $I_{SS}R_L$. 因此, 建立时间 $T_s = V_{Swing}/SR_{AC} = I_{SS}R_L/SR_{DC} = R_L C_L$.

3.2.1 对管尺寸: η_1

对一个给定偏置电流和负载电阻/电容的延迟单元, 如果保持级数 n 不变, 改变差分对管尺寸 S , 已经知道, 此时振荡频率变化很小, 而压摆率将基本保持为此频率附近的 SR_{AC} . 有两个因素引起非线性. 一方面, 压摆率限制导致信号偏离正弦; 另一方面, 由于级数不变, 振荡幅度基本不变, 而 $V_{ID,max}$ 减小, 对管工作在饱和区的时间比例减小. 当 S 足够大时, 平衡状态的对管进入亚阈值区. 因此, 非线性度必然趋向于饱和. 由于压摆率和振荡幅度变化不大, 两个因素中决定非线性程度的是 S . 计算 η_1 时, 只需要考虑 S .

已知饱和时, $V_{ID,max} = \sqrt{I_{SS}/(KP \cdot S)}$; 亚阈值区的 $V_{ID,max} = mV_T$, 其中的 V_T 为热电压. 由于缺乏 MOS 工作在饱和区和亚阈值时的统一模型, 只

能简单地将饱和区和亚阈值区的条件组合在一起. 这样得到的 η_1 表达式可以近似写成:

$$\eta_1 = \frac{V_{ID,max}}{V_{Swing}} = \frac{1}{V_{Swing}} \times \left[\sqrt{\frac{I_{SS}}{KP \cdot S}} + mV_T \right] \quad (4)$$

这里的 m 类似于 EKV 模型中的 slope factor^[8].

3.2.2 级数: η_2

η_2 定义为上升/下降时间 T_s 与整个周期的比的二倍. 根据正弦近似,

$$\eta_2 = \frac{T_s}{T_0} = \frac{R_L C_L}{2\pi/\omega \tan(\pi/n)} = \frac{\tan(\pi/n)}{\pi} \quad (5)$$

也就是说, 级数 n 决定 η_2 的大小. 由于振荡过程中存在的非线性, 影响 η_2 的因素复杂, 通过正弦近似得到的(5)式只是一个粗略的表达式, 但它能够帮助预言相位噪声水平, 仍然是可以接受的. 特别是, (5)式指出, 当 n 趋近无穷大时, η_2 趋近于 $1/n$.

3.2.3 总的相位噪声表达式

η_1 ((4)式)和 η_2 ((5)式)相乘, 就可以知道总的 η , 见(6)式. 将(6)式代入(3)式, 就可以得到总的相位噪声表达式:

$$\eta = \frac{1}{V_{Swing}} \times \left[\sqrt{\frac{I_{SS}}{KP \cdot S}} + mV_T \right] \times \frac{\tan(\pi/n)}{n} \quad (6)$$

对总的 η 来说, 当 S 和 n 都比较小时, $\sqrt{I_{SS}/(KP \cdot S)}$ 接近 V_{Swing} , (6)式变为:

$$L\{\Delta\omega\} = \frac{\omega_0^2}{(\Delta\omega)^2} \times \frac{FkT}{I_{SS}V_{Swing}} \times \frac{n}{Q_n^2\pi}$$

这就是 Razavi 模型. 当 S 和 n 都很大时, (6)式变为:

$$L\{\Delta\omega\} = \frac{\omega_0^2}{(\Delta\omega)^2} \times \frac{FkT}{I_{SS}V_{Swing}} \times \frac{4}{\pi^2} \times \frac{mV_T}{V_{Swing}}$$

这个方程接近于 Weigandt 模型.

4 实验验证

为了验证模型给出的设计准则, 设计了一个给定偏置电流和负载的 Maneatis 结构^[9]的 VCO 单元和偏置电路(见图 6), 并采用 CSM 0.35 μ m 工艺进行了流片和测试. 共设计了两组共 10 个 VCO, 编号为 VCO0~VCO9. 详细情况见表 1. 其中 VCO0 和 VCO9 不能工作, 略去不予考虑.

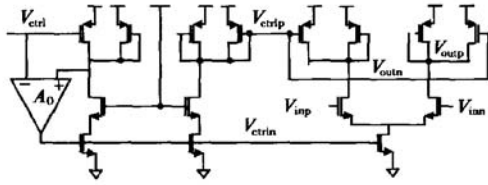


图 6 测试用 Maneatis VCO

Fig. 6 Maneatis VCO for test

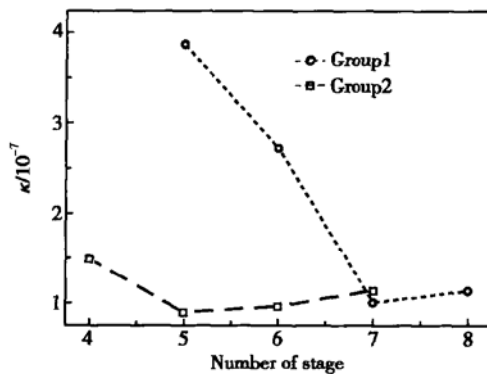
表 1 测试 VCO 列表

Table 1 List of VCO for est

分组	描述
组 1	对管宽长比 $10\mu\text{m}/0.35\mu\text{m}$, 级数 4~8
组 2	对管宽长比 $21\mu\text{m}/0.35\mu\text{m}$, 级数 4~8

为了方便比较, 采用了 McNeill 提出的 κ 作为衡量延迟单元相位噪声性能的优值^[10]. 之所以要指明比较的是延迟单元相位噪声性能, 是因为我们讨论的是相位噪声随对管尺寸和级数的变化. 如果直接采用环振相位噪声水平作为优值, 单元的变化就无从比较. 各种文献均指出, 振荡器的相位噪声可以用 κ 表示为 $L\{\Delta\omega\} = \kappa^2 \omega_0^2 / \Delta\omega^2$. 由于相位噪声的三部分中, 闪烁噪声已经通过优化对称性抑制, 主要表现为高斯白噪声. 因此可以从通过测量均方根的定时抖动 $\sigma_{\text{RMS}} = \kappa \sqrt{\Delta t}$ (Δt 为抖动的测量时间) 推算 κ , 从而对各个 VCO 进行比较.

根据测试结果推算得到的优值 κ 见图 7. 从图中可以看到, 对第一组 VCO, 随着级数 n 增大, κ 有减小的趋势. 当 n 较小时, κ 减小的趋势比较明显, 也就是增大级数可以有效改善相位噪声. 当 n 较大时, κ 发生饱和. 这时, 增加级数对相位噪声的改善

图 7 κ 随级数和对管尺寸的变化Fig. 7 κ versus stage number and differential pair scale

作用不明显. 对第二组 VCO, κ 似乎并不随着级数 n 的变化发生明显的变化. 这是由于对管尺寸很大, η_2 较小造成的. 总的来说, 测试得到的数据和分析结果能够很好地吻合.

图 8 显示的是采用 Tektronix TDS6604 数字存储示波器 (采样率 20G-Samples/s) 得到的 VCO5 的时域测试结果. 可以看到, VCO5 (级数 4, 组 2) 在控制电压为 1.6V 时, 振荡频率为 909MHz, RMS 抖动为 4.9ps. 测试结果还显示, 绝大部分是随机抖动, 确定性抖动的成分很少, 也就是说相位噪声中由高斯白噪声引起的分量居于主导地位. 图 9 是验证芯片的显微照片.

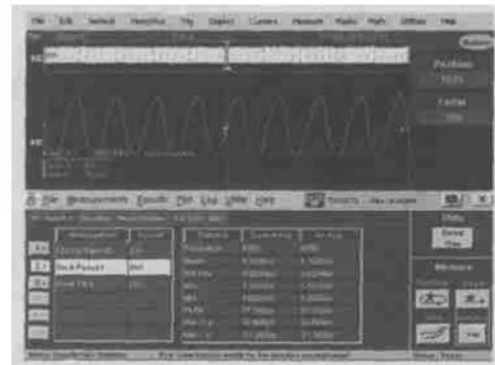


图 8 时域测试结果

Fig. 8 Time domain test result

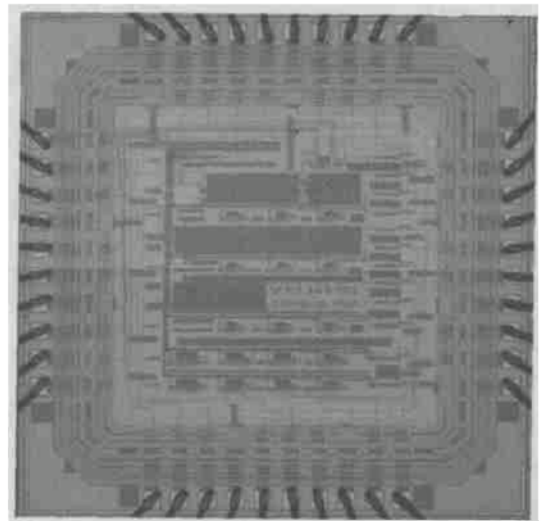


图 9 芯片照片

Fig. 9 Die photograph

5 结论

对线性度较好的振荡器, 包括 LC 振荡器, 改善

高斯白噪声引起的相位噪声的主要途径是提高品质因数. 改善闪烁噪声则需要改善线性度.

对非线性程度很深的振荡器中高斯白噪声引起的相位噪声来说, 根据改进模型, 当 n 和 S 都较小时, 相位噪声的情况类似 Razavi 模型. 必须指出, Razavi 模型描述的是正好满足线性起振条件的纯线性振荡器, 实际上它仅对纯线性振荡器成立. 因此, 根据 Razavi 模型得到的相位噪声随级数增加而增加的结论仅能应用在满足不同级数起振条件的线性延迟单元. 如果设计两个不同的振荡器延迟单元, 第一个满足 3 级的起振条件, 第二个满足 4 级的起振条件, 那么相位噪声满足 Razavi 模型, 4 级振荡器的相位噪声将较差. 对不同级数相同延迟单元组成的环振, Razavi 模型的结论不能成立. 对由同样的延迟单元构成的级数不同的振荡器, 级数多的相位噪声好, 这正是新模型预言的结果. 而当 n 和 S 都很大时, 环振非线性程度接近饱和, 新模型与 Weigandt 模型完全一致: 相位噪声不随级数变化. 换言之, Weigandt 模型和 Hajimiri 模型描述的是环振深度非线性情况.

改进模型同时指出, 必须选择适当的级数 n , 以便保证振荡器非线性程度较深. 级数不能取得过大, 一方面影响振荡频率, 另一方面增大了总功耗; 但又不能过小, 这样非线性度不是最好, 相位噪声水平可能比较高. 通常, 当 n 在 3 左右时, η_2 还没有饱和, 相位噪声会比较大; 而当 n 超过 5 时, 已经饱和, 相位噪声较小. 因此, 对一阶延迟单元组成的简单环振, n 取 4 是比较合适的.

对简单的一阶延迟单元组成的环振, 为了达到优化相位噪声的目的, 必须增大振荡器的偏置电流 I_{ss} . 这样做不仅可以加大摆幅, 更重要的是可以加大可能的压摆率 SR_{DC} .

一个新的结论是, 在振荡频率许可的条件下, 对管的宽长比 S 应尽可能大. 这与 Razavi 模型和 Weigandt 模型的结果相反. 增加级数 n 会引起功耗和面积的额外开支, 并造成振荡频率显著下降, 而增大 S 没有这些问题. 类似本文中 VCO5 的设计就是一个很好的选择.

对通常设计的环振, 除非经过特殊的处理, 其输出波形上升/下降时间的对称性不是很好. 因此, 必

须通过仔细调整上拉/下拉管的宽长比, 使得它们对负载电容的充放电能力一致, 从而改善振荡器对称性, 才能最大限度地减小闪烁噪声搬移到基频上的分量. 实际设计时, 还可以采用文中介绍的仿真方法, 通过加入噪声并仿真频谱, 帮助改善对称性.

对单端环振也可以做出类似本文的分析. 很明显, 单端环振由于非线性程度更为显著, 且不存在压摆率限制, 因此可以预期在相同工作条件下, 会有较差分结构更好的相位噪声特性.

致谢 本文的测试工作是在泰克电子中国公司上海办事处完成的, 感谢泰克公司孙灯亮先生和周群一先生的热情帮助.

参考文献

- [1] Razavi B. Analysis, modeling, and simulation of phase noise in monolithic voltage-controlled oscillators. CICC, 1995: 323
- [2] Weighandt T C. Low-phase-noise, low-timing-jitter design techniques for delay cell based VCOs and frequency synthesizers. PhD Thesis of UC Berkeley, 1998
- [3] Hajimiri A, Lee T. The design of low noise oscillators. Kluwer, 1999
- [4] Wang Zhao, Liu Fei, Ji Lijiu. New dual loop current mode VCO. Chinese Journal of Semiconductors, 2002, 23(3): 305 (in Chinese)[王钊, 刘飞, 吉利久. 新型双环路电流型压控振荡器. 半导体学报, 2002, 23(3): 305]
- [5] Leeson D B. A simple model of feedback oscillator noise spectrum. Proceedings of the IEEE, 1966, 54(2): 329
- [6] Demir A, Mehrotra A, Roychowdhury J. Phase noise in oscillators: A unifying theory and numerical methods for characterization. IEEE Tran Circuits and Systems-I: Fundamental Theory and Applications, 2000, 47(5): 655
- [7] Dai L, Harjani R. A low-phase-noise CMOS ring oscillator with differential control and quadrature outputs. Proc of 14th IEEE International ASIC/SOC Conference, 2001: 134
- [8] Enz C, Krummenacher F, Vittoz E. An analytical MOS transistor model valid in all regions of operation and dedicated to low-voltage and low-current applications. Journal on Analog Integrated Circuits and Signal Processing, 1995, 8(8): 83
- [9] Maneatis J G. Low-jitter process-independent DLL and PLL based on self-biased techniques. IEEE J Solid-State Circuits, 1996, 31(11): 1723
- [10] McNeill J A. Jitter in ring oscillators. IEEE J Solid-State Circuits, 1997, 32(6): 870

An Improved Phase Noise Model of Differential Ring Oscillator^{*}

Wang Tao, Su Yanfeng, Ze Dedong and Hong Zhiliang

(*Department of Microelectronics, Fudan University, Shanghai 200433, China*)

Abstract: An improved phase noise model of differential ring oscillator is presented, based on Razavi's and Weigandt's models. Flicker noise optimization by making delay cell more balanced is treated. The impact of stage-number and ratio of differential pair on phase noise are emphasized. A verification chip is fabricated with CSM 0.35 μm technology. Test results comply with the model well.

Key words: ring oscillator; phase noise; low noise

EEACC: 1230B; 7259E

Article ID: 0253-4177(2004)11-1479-07

^{*} Project supported by Intel Corporation

Received 30 October 2003, revised manuscript received 10 February 2004

©2004 The Chinese Institute of Electronics