

薄膜全耗尽 SOI CMOS 器件和电路

孙海锋 刘新宇 海潮和

(中国科学院微电子中心, 北京 100029)

摘要: 对全耗尽 SOI (FD SOI) CMOS 器件和电路进行了研究, 硅膜厚度为 70nm. 器件采用双多晶硅栅结构, 即 NMOS 器件采用 P⁺ 多晶硅栅, PMOS 器件采用 N⁺ 多晶硅栅, 在轻沟道掺杂条件下, 得到器件的阈值电压接近 0.7V. 为了减小源漏电阻以及防止在沟道边缘出现空洞(Voids), 采用了注 Ge 硅化物工艺, 源漏方块电阻约为 5.2 $\Omega/\square$. 经过工艺流片, 获得了性能良好的器件和电路. 其中当工作电压为 5V 时, 0.8 μm 101 级环振单级延迟为 45ps.

关键词: SOI CMOS 器件; 全耗尽; 双栅; 注 Ge 硅化物

EEACC: 2570D; 2560; 2570

中图分类号: TN386

文献标识码: A

文章编号: 0253-4177(2001)07-0947-04

1 引言

SOI 技术作为一种新兴的技术, 由于其自身的优点^[1-3]: 无闩锁效应; 源、漏结寄生电容小; 较为陡直的亚阈值斜率; 易于形成浅结和全介质隔离; 较好地抑制短沟道效应等, 在进入亚微米、深亚微米后, 将可能取代体硅工艺成为主流工艺. 尤其是薄膜全耗尽 SOI 器件, 更能体现出 SOI 技术的这些优点. 为此, 我们进行了 0.8 μm 薄膜全耗尽 SOI CMOS 器件的研制.

对于 TFD SOI 器件来说, 阈值电压的控制是一个很关键的问题. 在体硅中, 可以通过控制沟道杂质浓度来调整阈值. 但是, 在 TFD SOI 器件中, 沟道杂质浓度需要在两种因素间平衡和折衷: 首先, 杂质浓度必须足够低, 以确保沟道区全部耗尽; 其次, 它又必须足够高以使器件有适当的阈值电压. 在体硅 CMOS 工艺中, 最常用的栅材料是 N⁺ 多晶硅栅. 为了使 PMOS 晶体管由埋沟器件变为表面沟器件, 有时也采用 P⁺ 多晶硅栅. 采用双栅结构的 CMOS 器件, 使 P 管和 N 管的性能接近于对称. 但是, 在 TFD SOI 器件中, 采用这种双栅结构时, 沟道掺杂浓度较高, 这样势必会降低源漏击穿电压. 在实验

中, 我们采用了一种新型的双栅结构. 根据两种栅材料的功函数差, 当 NMOS 器件采用 P⁺ 多晶硅栅, PMOS 器件采用 N⁺ 多晶硅栅时, 可以适当降低沟道掺杂浓度, 使源漏击穿特性得到改善.

本文第二部分对 0.8 μm CMOS/SOI 工艺进行了较为详细的研究, 第三部分对 0.8 μm CMOS/SOI 器件和电路进行了测试和分析; 最后得出结论.

2 全耗尽 CMOS/SOI 工艺

器件结构如图 1 所示. 为了减小源漏接触电阻以及为解决形成硅化物时横向吃硅的问题, 我们采用了注 Ge 硅化物技术. 据报道, 采用硅化物技术还可以提高 NMOS 器件的击穿电压^[4].

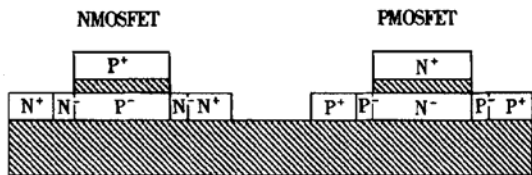


图 1 双多晶硅栅器件的结构示意图

FIG. 1 Diagram of SOI Devices with Double Polysilicon Gates

0.8 μm 全耗尽 CMOS/SOI 器件和电路在中国

孙海锋 男, 1973 年出生, 硕士, 现从事 PD/FDSOI 工艺和抗辐射特性研究.

2000-07-07 收到, 2000-10-19 定稿

科学院微电子中心第一研究室进行工艺投片,光刻机为 ASM-5000,刻蚀采用 Lam 公司亚微米刻蚀机.硅片采用美国 IBIS 公司的 100mm SIMOX 基片,其中 $T_{\text{BOX}} = 383\text{nm}$, $T_{\text{Si}} = 199\text{nm}$,衬底: P (100).

经过高温氧化以及高温液的腐蚀剥离, SIMOX 材料的硅膜减薄到 80nm. 后续的预栅氧以及栅氧化使沟道区的硅层只剩下 70nm 左右. PBLOCOS 隔离,使鸟嘴尺寸小于 $0.2\mu\text{m}$ ^[5]. 栅氧化时我们将 $\text{H}_2\text{-O}_2$ 合成和氮氧化栅两种技术结合起来,采用三层复合结构,即氮氧化栅+ $\text{H}_2\text{-O}_2$ 合成栅+ 氮氧化栅,这种栅介质材料既能有效地提高击穿特性和抑制热载流子效应、栅穿现象,又有望对器件的抗辐照性能有所改善. 采用注 Ge 硅化物技术,使源漏区的方块电阻减小到 $5.2\Omega/\square$. 在同样条件下,体硅区的方块电阻为 $4.8\Omega/\square$,两者的数值比较接近,这说明采用注 Ge 预非晶化技术以后,在硅化物的形成过程中, SOI 硅层并没有完全消耗掉. 从而解决了横向吃硅的问题^[6].

3 器件和电路的测试与分析

采用上述工艺流程,我们成功地研制出不同沟道尺寸全耗尽 SOI 器件和环振电路. 采用电容测量法,得到的栅氧厚度为 12nm. 表 1 给出了 $0.8\mu\text{m}$ 全耗尽 SOI 器件的基本电学参数和器件性能.

从表 1 中可见,全耗尽 SOI NMOS 和 PMOS 管的亚阈值斜率分别为 $79\text{mV}/\text{dec}$ 和 $81\text{mV}/\text{dec}$,较为接近理想的亚阈值斜率($60\text{mV}/\text{dec}$),这是判断是否为全耗尽器件的依据之一.

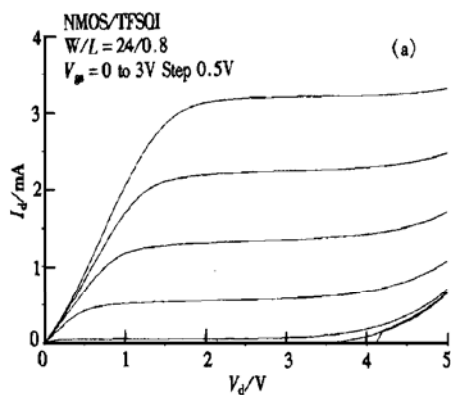


表 1 $0.8\mu\text{m}$ SOI 器件的基本电学参数

Table 1 Electric Parameters of $0.8\mu\text{m}$ SOI Devices

	NMOS	PMOS
硅层厚度/nm	70	70
沟道长度/ μm	0.8	0.8
阈值电压/V	0.7	-0.8
迁移率/ $(\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1})$	465	264
亚阈值斜率/ $(\text{mV} \cdot \text{dec}^{-1})$	79	81
击穿电压/V	4.5—6	-5—-7.3

图 2 给出了阈值电压与源漏电压 (V_{DS}) 的关系,从中可以看出, NMOS 管的阈值电压在 0.7V 左右, PMOS 管的阈值电压在 -0.8V 左右,几乎不随 V_{DS} 的变化而变化,这说明沟道区已经全部耗尽,不存在中性体区,因此不存在浮体效应. 这也是全耗尽器件与部分耗尽器件的区别之一.

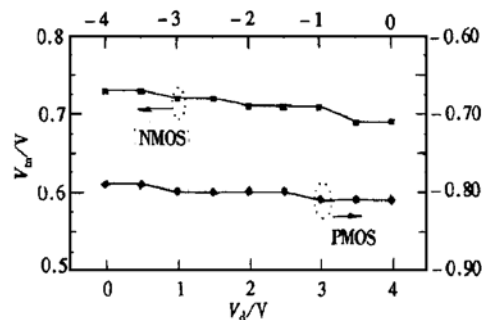


图 2 阈值电压与源漏电压关系图

FIG. 2 Threshold Voltage as Function of the Drain Voltage

图 3 为 $0.8\mu\text{m}$ 全耗尽 SOI 器件的电流-电压特性曲线, (a) 为 NMOS 管电流-电压特性曲线, (b) 为 PMOS 管电流-电压特性曲线. 从图中没有见到“kink”现象,且器件的电流驱动能力较大.

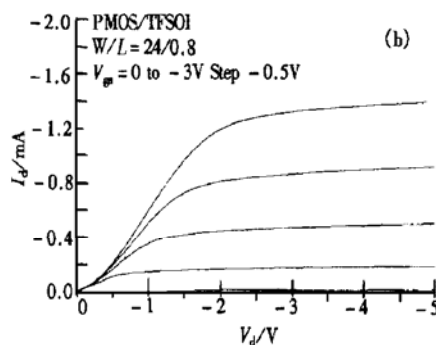


图 3 $0.8\mu\text{m}$ 全耗尽 SOI 器件的电流-电压特性曲线 (a) NMOS 管电流-电压特性曲线; (b) PMOS 管电流-电压特性曲线

FIG. 3 I - V Characteristics of $0.8\mu\text{m}$ Fully-Depleted SOI Devices (a) NMOS I - V Characteristics; (b) PMOS I - V Characteristics

图 4 给出了阈值电压与沟道长度的关系. 从图中可以看出, 随着沟道长度的减小, 阈值电压变化很

小, 这说明全耗尽 SOI 器件能够很好地抑制短沟道效应.

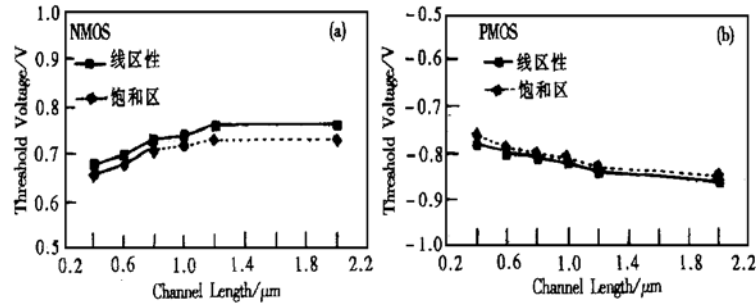


图 4 阈值电压与沟道长度的关系

FIG. 4 Threshold Voltage as Function of Channel Length

图 5 给出了击穿电压与沟道长度的关系. 从图中可以看出, 击穿电压随着沟道长度的减小而降低, 这主要是由于强场效应以及寄生双极晶体管效应造成的^[7].

特征尺寸的缩小, 电路的速度得以迅速提高, $0.8\mu\text{m}$ 全耗尽 CMOS/SOI 环振单级延迟时间比 $1\mu\text{m}$ 全耗尽 CMOS/SOI 环振单级延迟时间提高约 15%.

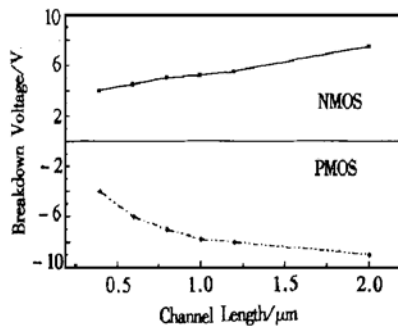


图 5 击穿电压与沟道长度关系

FIG. 5 Breakdown Voltage as Function of Channel Length

在 $0.8\mu\text{m}$ 全耗尽 CMOS/SOI 环形振荡器电路中, 为了使电路充分振荡, 我们设计了 101 级环振. 图 6 给出在 5V 工作电压下环形振荡器的波形图, 根据计算, 全耗尽环形振荡器的单级门延迟仅为 45ps. 图 7 给出 101 级 $0.8\mu\text{m}$ 部分耗尽、全耗尽 CMOS/SOI 环振单级延迟时间与工作电压的关系图, 其中曲线 A 为全耗尽 CMOS/SOI 环振, 曲线 B 为部分耗尽 CMOS/SOI 环振. 从图中可见, 环振可在 2—5V 下稳定工作, 全耗尽 CMOS/SOI 环振比部分耗尽环振快 30%, 这主要是由于全耗尽 SOI 器件的寄生电容和体效应降低引起的. 图 8 为在 1.5、3、5V 工作电压下, 全耗尽 CMOS/SOI 环振单级延迟时间与沟道长度的关系图. 从图中可见, 随着器件

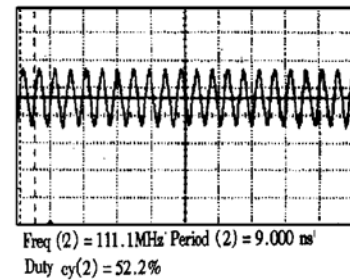


图 6 在 5V 工作电压下环形振荡器的波形图

FIG. 6 Waveform of Ring Oscillator at Supply Voltage of 5V

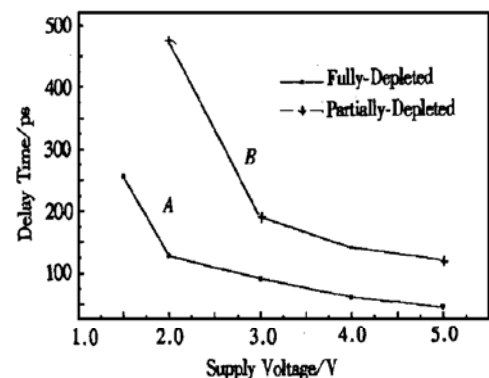


图 7 $0.8\mu\text{m}$ 101 级环振单级延迟时间与工作电压的关系图

FIG. 7 Propagation Delay Time of $0.8\mu\text{m}$ 101-Stage Ring Oscillator vs Supply Voltage

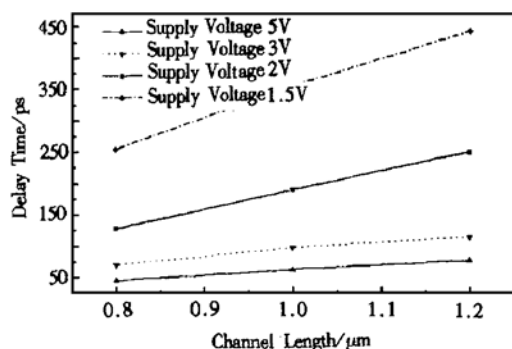


图8 不同工作电压下环振单级延迟时间与沟道长度的关系图

FIG. 8 Propagation Delay Time as Function of Channel Length at Different Supply Voltage

4 结论

本文对全耗尽 CMOS/SOI 器件和电路进行了研究. 经过工艺投片, 我们获得性能良好的器件和电路, 硅膜厚度为 70nm, NMOS 器件采用 P^+ 多晶硅栅, PMOS 器件采用 N^+ 多晶硅栅, 在轻沟道掺杂条件下, 得到器件的阈值电压接近 0.7V. 为了减小源漏电阻以及为了防止在沟道边缘出现空洞 (Voids), 采用了注 Ge 硅化物工艺, 源漏方块电阻约为 $5.2\Omega/\square$. 当工作电压为 5V 时, $0.8\mu\text{m}$ 101 级环振单级延迟为 45ps. 同时随着硅层厚度的减薄, 电路速度得以提高, 全耗尽 CMOS/SOI 环振比部分耗尽

环振快 30%; 随着器件特征尺寸的缩小, 电路的速度也有所提高, $0.8\mu\text{m}$ 全耗尽 CMOS/SOI 环振单级延迟时间比 $1\mu\text{m}$ 全耗尽 CMOS/SOI 环振单级延迟时间提高约 15%.

致谢 感谢中国科学院微电子中心第一研究室全体工作人员对工艺研究和器件与电路测试的大力支持.

参考文献

- [1] J. P. Colinge, *Silicon-On-Insulator Technology: Materials to VLSI*, Boston: Kluwer Academic Publishers, 1991.
- [2] WANG Shouwu, XIA Yongwei, KONG Lingkun and ZHANG Dongxuan, *Chinese Journal of Semiconductors*, 1985, 6(3): 225—230.
- [3] XIA Yongwei and WANG Shouwu, *Chinese Journal of Semiconductors*, 1990, 11(12): 962—965 (in Chinese).
- [4] P. H. Woerlee *et al.*, A Half-Micron CMOS Technology Using Ultra-Thin Silicon on Insulator, *IEDM Tech. Dig.*, 1990.
- [5] SUN Haifeng, LIU Xinyu and HAI Chaohe, *The Corpus of the 11th National Integrated Circuit Convention*, 1999, 227—230.
- [6] M. A. Mendicino and E. G. Seebaner, Kinetics of Salicide Contact Formation for Thin-Film SOI Transistors, *J. Electrochem. Soc.*, 1995, 142(2): 28.
- [7] Neal Kistler and Jason Woo, Detailed Characterization and Analysis of the Breakdown Voltage in Fully Depleted SOI n-MOSFET's, *IEEE Transactions on Electron Devices*, 1994, 41(7): 1218.

Fully-Depleted SOI CMOS Devices and Circuits

SUN Hai-feng, LIU Xin-yu and HAI Chao-he

(R&D Center of Microelectronics, The Chinese Academy of Sciences, Beijing 100029, China)

Abstract: CMOS transistors are fabricated on fully-depleted, ultrathin (70nm) Silicon-on-Insulator (SOI) films. NMOS devices have a P^+ -polysilicon gate, while PMOS devices have an N^+ -polysilicon gate, as makes the threshold voltage close to 0.7V with a light channel doping. A new technique i.e., preamorphization implantation (PAI) of with heavy ions of germanium (Ge), is applied to $0.8\mu\text{m}$ CMOS/SOI devices in order to reduce the series resistance in the source and drain regions so as to prevent the voids from forming. In this way, the sheet resistance of the silicided SOI layer approximates $5.2\Omega/\square$. The minimum ring-oscillator delay is measured to be 45ps per stage.

Key words: SOI CMOS device; fully depleted; double gate; Ti-SALICIDE using Ge preamorphization

EEACC: 2570D; 2560; 2570

Article ID: 0253-4177(2001)07-0947-04

SUN Hai-feng was born in 1973. His current research interests are in fully-depleted SOI devices and their technology.

Received 7 July 2000, revised manuscript received 19 October 2000

©2001 The Chinese Institute of Electronics