

高速 SOI MOS 器件及环振电路的研制

黄 如 张 兴 孙 胜 王阳元

(北京大学微电子所, 北京 100871)

摘要: 采用 SOI/CMOS 工艺成功地研制出沟道长度为 $0.8\mu\text{m}$ 的 SOI 器件和环振电路, 在 5V 和 3V 电源电压时 51 级环振的单门延迟时间分别为 82ps 和 281ps, 速度明显高于相应的体硅电路. 由于采用硅岛边缘注入技术, 寄生边缘管得到较好的抑制. 对沟道宽度对 SOI 器件特性的影响进行了讨论. 实验表明 SOI 器件是高速和低压低功耗电路的理想选择.

关键词: SOI; MOS; 高速; 环振电路; 研制

EEACC: 2560R; 2570B; 1230B

中图分类号: TN 386.1 **文献标识码:** A **文章编号:** 0253-4177(2000)06-0591-06

Fabrication and Characterization of High Speed SOI MOS Devices and Ring- Oscillators

HUANG Ru, ZHANG Xing, SUN Sheng and WANG Yang-yuan

(*Institute of Microelectronics, Peking University, Beijing 100871*)

Received 28 May 1999, revised manuscript received 22 September 1999

Abstract: High-performance SOI devices and ring oscillators with $0.8\mu\text{m}$ channel length are fabricated and characterized. The propagated delays per stage of the ring oscillator at 3V and 5V supply voltage are 82ps and 281ps respectively, which is much higher than that of the corresponding bulk circuits. The parasitic edge transistor is well suppressed due to the adoption of mesa edge implantation. The influence of the channel width on the device performance is discussed as well. The experimental results indicate that SOI devices are the ideal choice for the high-speed, low-voltage and low-power circuits.

Key words: SOI; MOS; high speed; ring-oscillator; fabrication

EEACC: 2560R; 2570B; 1230B

Article ID: 0253-4177(2000)06-0591-06

黄 如 1969 年出生, 副教授, 主要从事 MOS 器件物理、模型模拟、工艺制备及相关电路设计方面研究.

张 兴 1965 年出生, 教授, 主要从事 SOI 工艺、设计、模拟等方面的研究.

孙 胜 1972 年出生, 硕士生, 主要从事 SOI 电路设计、电路模拟方面的研究.

1999-05-28 收到, 1999-09-22 定稿

1 引言

与体硅技术相比, SOI 技术具有电流驱动能力强、寄生电容小、抗门锁能力强、集成密度高、短沟效应不显著等特点, 在高速、高可靠、低压低功耗电路方面有着独特的优势. SOI 技术经过数十年的发展日臻成熟, 然而它一直未能成为主流 CMOS 工艺. 究其原因, 主要有三个环节问题: 一是质量良好且生产效率高的 SOI 材料的提供; 二是完善的可用于电路分析的 SOI 器件模型的建立; 三是体硅技术为解决按比例缩小出现的问题在工艺和结构上的不断发展. 这些都制约了 SOI 技术的产业化应用进程. 近五年来, SOI 技术出现了新的发展, 在解决上述问题方面有了新的突破. 智能剥离 (smart-cut) 技术的出现大大提高了 SOI 表层硅的质量; BSIM3SOI 模型向 SPICE 中的嵌入使 SOI 电路的准确模拟成为可能; 器件特征尺寸缩小到 $0.05\mu\text{m}$ 或 $0.025\mu\text{m}$ 时, 为抑制短沟效应以及得到较好的器件特性, 体硅技术需要采用沟道区高掺杂、薄栅氧等途径, 带来阈值电压起伏、直接隧穿电流增大等问题, SOI 器件通过采用薄体区或双栅器件结构等方法可以避免这些问题. 专家预测器件进入亚 50nm 领域后, SOI CMOS 技术将不可避免地成为主流工艺. 近年来 SOI 技术的研究依然活跃, 而且涌现出一些令人振奋的成果. IBM 公司采用亚 $0.1\mu\text{m}$ SOI CMOS 技术制备出了延迟在室温下达 7.85ps , 液氮温度下达 5.5ps 的无负载反相器电路^[1]. 而且在 SOI 材料上采用 $0.18\mu\text{m}$ 技术和六层铜互连工艺, 制备出处理速度达 500MHz 、功耗比相应体硅电路低 $1/3$ 的微处理器电路^[2]. SOI 技术正越来越受到人们的重视.

我们采用 $1.0\mu\text{m}$ SOI CMOS 工艺, 通过适当的器件设计制备出沟道长度为 $0.8\mu\text{m}$ 、性能良好的 SOI MOS 器件和环振电路. 在工艺中注意各工艺参数对阈值电压的影响, 严格选择栅氧化条件, 并通过边缘注入抑制寄生边缘寄生管效应. 本文第二部分将给出具体的工艺制备过程, 第三部分给出得到的实验结果与分析, 最后给出结论.

2 工艺制备

本工艺采用 IBIS 公司的 SIMOX 材料进行制备, 原始片的表层硅厚度为 199nm , 埋氧层厚度为 400nm . 在本工艺中我们采用部分耗尽工艺. 虽然全耗尽器件具有较陡直的亚阈斜率、较高的驱动电流等特点, 但随着器件尺寸的不断缩小, 全耗尽器件正背栅的耦合作用使器件的短沟效应变差, 而且阈值电压对硅膜厚度的灵敏度增大, 自加热效应严重, 源漏寄生电阻的影响增大^[3]. 目前 SOI 电路倾向于采用部分耗尽、薄埋氧器件. 诚然, 部分耗尽 SOI MOS 器件存在 Kink 效应, 但对数字应用影响不是很大^[4].

首先对原始 SIMOX 片生长 30nm 的一次氧化层, 刻蚀硅岛, 然后进行硅岛边缘注入, 以抑制边缘管的开启. 接着进行 100keV 、 $1.8 \times 10^{11}\text{cm}^{-2}$ 的磷注入和 45keV 、 $3.6 \times 10^{12}\text{cm}^{-2}$ 的硼注入, 分别作为 PMOS 管和 NMOS 管的阈值电压调整注入.

然后在 900°C 下生长 27.7nm 的栅氧化层. Si/SiO₂ 界面特性对器件性能有很大的影响, 薄栅氧化层必须具有界面态密度低、击穿电压高、电荷密度低、针孔少、缺陷少、厚度均匀等特点, 为此栅氧化工艺采用三步氧化法, 即先进行干氧化, 然后氢气和氧气合成氧化, 再干氧化, 最后进行 30min 的氮气退火. 最终得到的界面态密度低于 $4 \times 10^{10}\text{cm}^{-2}$.

栅氧化后采用 LPCVD 淀积 430nm 的多晶硅, 进行多晶硅掺杂, 用 RIE 技术刻蚀多晶硅栅. 为了得到尺寸精确、边缘陡直整齐的多晶硅栅条, 对 RIE 条件进行了适当选取, 同时考虑到不同硅片以及同一硅片不同区域之间的不均匀性, 采用了 10% 左右的过腐蚀度, 以保证所有硅片均都能被刻蚀干净.

然后进行 NMOS 管和 PMOS 管的源漏注入、低氧、致密退火、刻孔、铝互连、钝化等工序, 完成整个 SOI CMOS 工艺. 由于采用部分耗尽工艺, 未应用硅化物技术, 以简化工艺.

在该工艺中注入能量和注入剂量的选取要考虑 SOI 硅膜较薄的特点, 此外, 由于持续的高温过程会增

加 Si/SiO₂ 界面电荷以及表层硅中的晶格缺陷, 而且源漏注入后的高温工艺会引起源漏杂质横向扩散, 影响实际沟道长度. 因此在整套工艺中选取栅氧化温度最高, 真正实现了低温工艺, 利于器件性能的提高.

3 结果与讨论

图 1 是制备得到的 0.8 μm 多晶硅栅条的 SEM 照片, 可见线条边缘比较陡直. 图 2 是沟道长度为 0.8 μm 的 SOI NMOS 管和 PMOS 管的转移特性曲线. 可见由于采用了硅岛边缘注入, 寄生边缘管得到了较好的抑制; 而且 P 管的边缘寄生效应更小, 这主要是由于氧化层有吸硼排磷现象, 使 P 管边缘管出现磷积累现象, 补偿了界面电荷的影响; 同时由图 2 也可以看出 SOI 器件表现出良好的亚阈特性. 图 3 是沟道长度为 0.8 μm 的 SOI NMOS 管和 PMOS 管的输出特性曲线, 可见得到的 SOI 器件饱和特性良好; 而且 N 管出现 Kink 现象, P 管不存在. 这是部分耗尽器件中浮体效应导致的. 体接触是改善浮体效应的一个较好方案, 但如果采用常规工艺, 可能会增加面积, 而且存在局部浮体效应^[5]; 如果从保证面积考虑, 会增加工艺难度. 目前仍未提出较好的体接触方案. 尽管这样, 部分耗尽器件仍可以应用于对瞬态、过渡区要求不高的数字电路, 而且利于提高电路速度^[5]. 表 1 列出了由这些特性曲线导出的阈值电压、亚阈斜率、开态电流、关态电流、泄漏电流等器件

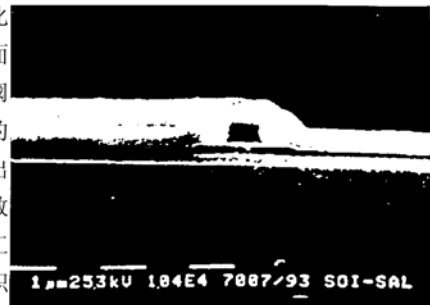


图 1 RIE 工艺形成的 0.8 μm 多晶硅线条

FIG. 1 0.8 μm Poly-Si Line by RIE

表 1 沟长为 0.8 μm 的 SOI NMOS 管和 PMOS 管的部分电参数

Table 1 Electrical Parameter for SOI NMOS and PMOS with Channel Length of 0.8 μm

	NMOS	PMOS
阈值电压/V	0.9	-1.0
亚阈斜率/(mV/dec)	110	160
开态电流/(A $\cdot \mu\text{m}^{-1}$)	1.29×10^{-4}	8.51×10^{-5}
关态电流/(A $\cdot \mu\text{m}^{-1}$)	4.95×10^{-8}	1.49×10^{-8}
泄漏电流/(A $\cdot \mu\text{m}^{-1}$)	3.442×10^{-12}	1.763×10^{-12}

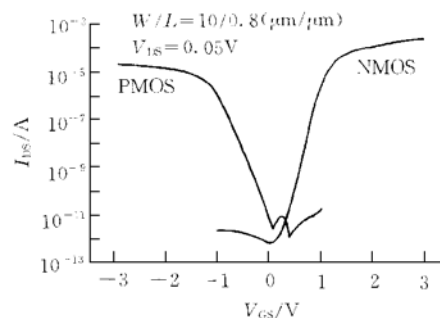


图 2 NMOS 管和 PMOS 管的转移特性曲线

FIG. 2 Transfer Characteristic for NMOS and PMOS

电学参数. 其中阈值电压定义为 0.05V 漏源电压 (V_{DS})

时漏端电流为 $10^{-7}(W/L)$ A 对应的栅电压 V_{GS} ; 开态电

流为 $V_{\text{DS}} = V_{\text{GS}} = 3\text{V}$ 时对应的漏端电流; 关态电流为 $V_{\text{DS}} = 3\text{V}$, $V_{\text{GS}} = 0\text{V}$ 时对应的漏端电流; 泄漏电流为 $V_{\text{DS}} = V_{\text{GS}} = 0\text{V}$ 时对应的漏端电流. 可见制备得到的 N 管和 P 管阈值电压匹配较好, N 管和 P 管的亚阈斜率分别为 110mV/dec 和 160mV/dec, 这主要是由于采用部分耗尽工艺所致, 通过优化设计可以进一步降低. 此外, 器件在保证较高驱动电流下, 泄漏电流较小, 利于实现高速低功耗电路. 为得到更好的阈值电压匹配, 可以选用金属栅或 poly-GeSi 栅等结构^[6], 通过调整功函数实现要求的阈值电压, 同时还可以折中阈值电压、短沟效应与多晶硅耗尽效应等对器件参数选取的矛盾^[7]. 而且为得到更为理想的亚阈特性, 并解决提高开态电流和降低关态电流之间的矛盾, 可以采用栅控混合工作模式^[8,9].

图 4 描述了沟道宽度对 SOI 器件输出特性的影响. 可见随着沟道宽度减小, Kink 效应逐渐改善, 而且击穿电压增大. 这主要是由于较小的沟道宽度对应于较低的漏端电流, 在高漏源电压下由碰撞电离产生的电子-空穴对较少, 在中性体区堆积的空穴较少, 引起的体电位上升较低, 由此导致的浮体效应较小. 另一

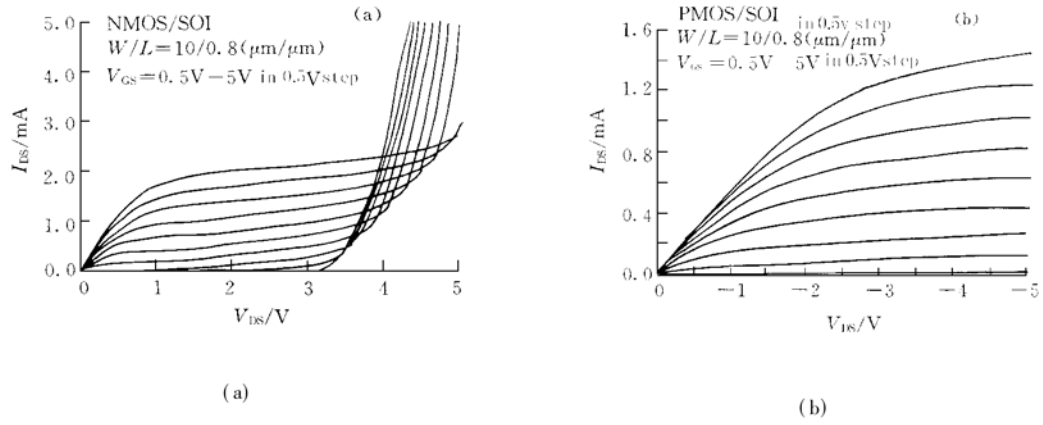


图 3 输出特性曲线

每级为 0.5V; (a) NMOS 管, (b) PMOS 管

FIG. 3 Output Characteristic for NMOS (a) and PMOS (b)

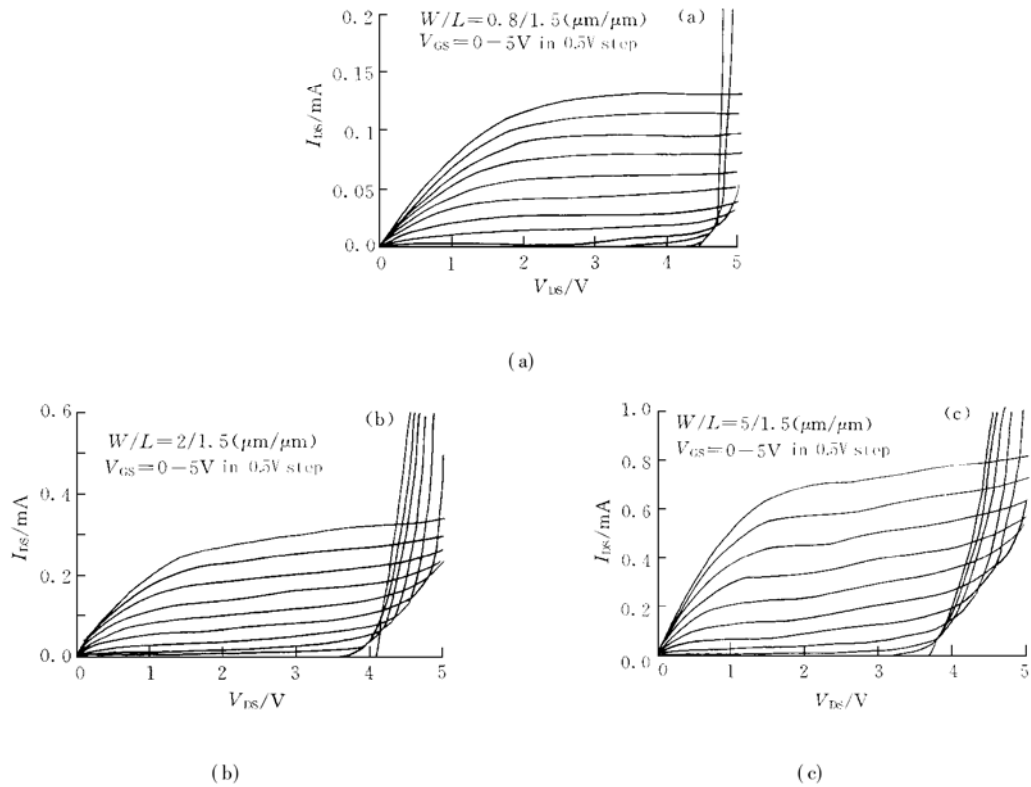


图 4 沟道宽度对 SOI MOS 器件输出特性的影响

每级为 0.5V,

(a) $W = 0.8\mu\text{m}$ (b) $W = 2\mu\text{m}$ (c) $W = 5\mu\text{m}$

FIG. 4 Influence of Channel Width of SOI MOS Device on Output Characteristic

(a) $W = 0.8\mu\text{m}$ (b) $W = 2\mu\text{m}$ (c) $W = 5\mu\text{m}$

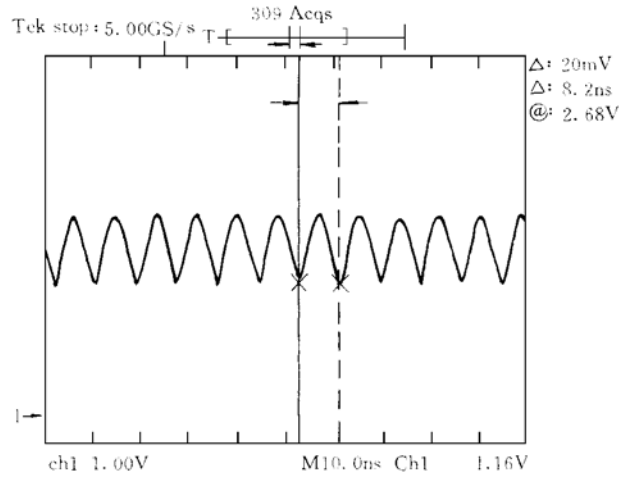


图 5 51 级 SOI CMOS 环振电路的电压振荡波形

FIG. 5 Output Waveform for 51-Stage SOI CMOS Ring Oscillators

方面, SOI MOS 器件击穿主要取决于足够高的电场和寄生双极管的导通. 当沟道宽度较小时, 碰撞电离引起的体电位上升较低, 寄生双极管需要在更高的漏源电压下才能导通. 因此当要求驱动电流较大时, 可以将一些窄沟器件作成叉指状并联连接. 这同时可以改善体接触中局部浮体效应的影响, 并改善由于栅过宽引起的栅电压分配不均匀以及栅充电时间过长的问题.

图 5 给出了沟长为 $0.8\mu\text{m}$ 的 51 级 SOI CMOS 环形振荡器电路在 5V 电源电压下的电压振荡波形, 该结果通过 Tekironix TDS 648A 测量仪测量得到. 可见 5V 电压下单门延迟时间仅为 82ps, 而且波形对称性较好, 说明 N 管和 P 管的阈值电压比较匹配. 由于环振级数不够, 使得充电、放电过程不能充分完成, 因此波形未出现平顶现象, 在以后设计中会对出现平顶的临界级数做进一步考虑. 图 6 给出了 51 级环振电路的单门延迟与电源电压的关系, 可见电路可工作的电压范围较宽, 在 3V 电压下门延迟为 281ps; 4V 电压下门延迟为 200ps. SOI 电路速度比相应的体硅电路快, 这主要是由于 SOI 结构中寄生电容减小导致的. 如果采用硅化物工艺, 环振速度还会稍快一些.

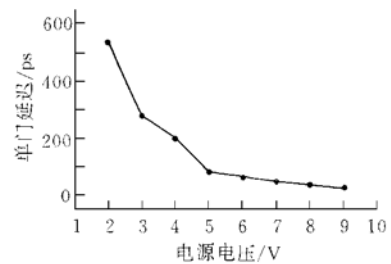


图 6 51 级 SOI CMOS 环振电路的单门延迟与电源电压的关系

FIG. 6 Delay Per Gate Versus Supply Voltage for 51 Stage SOI CMOS Ring-Oscillators

4 结论

本文采用部分耗尽 SOI 技术, 研制出沟道长度为 $0.8\mu\text{m}$ 的 SOI 器件和环振电路, 采用硅岛边缘注入抑制边缘寄生效应. 制备得到的 N 管和 P 管的亚阈斜率分别为 $110\text{mV}/\text{dec}$ 和 $160\text{mV}/\text{dec}$; 驱动电流分别为 $1.29 \times 10^{-4} \text{A}/\mu\text{m}$ 和 $8.51 \times 10^{-5} \text{A}/\mu\text{m}$; 泄漏电流分别为 $3.442 \times 10^{-12} \text{A}/\mu\text{m}$ 和 $1.763 \times 10^{-12} \text{A}/\mu\text{m}$. 环振电路的单门延迟在 5V 电压下为 82ps, 3V 电压下为 281ps, 为目前国内同类工艺最高水平. 通过研究还发现较小的沟道宽度有利于减小浮体效应, 提高击穿电压. 研究表明 SOI 技术适合于高速和低压低功耗电

路应用.

致谢 北京大学微电子所工艺实验室和航天工业总公司 771 所集成电路厂研发部的技术人员对流片工作给予了大力支持,在此表示作者诚挚的谢意.

参 考 文 献

- [1] F. Assaderaghi, W. Rausch *et al.*, "A 7.9/5.5 psec Room/Low Temperature SOI CMOS", IEDM Tech. Dig., 1997.
- [2] IBM Advances Chip Technology with Breakthrough for Making Faster, More Efficient Semiconductor, <http://www.ibm.com/News/1998/08/03.html>
- [3] Lisa. T. Su, "Sub-0.2 μ m Silicon-on-Insulator(SOI) CMOS: Opportunities and Challenges", Int. Conf. Solid State Devices and Materials(SSDM), Osaka, Japan, Aug. 1995: 542—544.
- [4] J. P. Colinge, Silicon-On-Insulator Technology: Materials to VLSI, KAP Pub., 1991.
- [5] C. T. Chuang, "Design Consideration of SOI Digital CMOS VLSI", 1998 IEEE International SOI Conference Proceedings, Florida, U. S. A., p. 5, 1998.
- [6] Neal Kistler *et al.*, IEEE Trans. on Electron Devices, 1994, **41**: 228.
- [7] M. Rodder, "Scaling to a 1.0V—1.5V, Sub 0.1 μ m Gate Length CMOS Technology: Perspective and Challenges", Int. Conf. Solid State Devices and Materials(SSDM), Hiroshima, Japan, p. 158, 1998.
- [8] R. Huang, X. Zhang and Y. Y. Wang, IEEE Transaction on Electron Devices, 1998, **45**: 2079.
- [9] R. Huang and Y. Y. Wang, International Journal of Electronics, 1999, **86**(6): 685—698.