

MFIS 结构的 $C-V$ 特性*

颜 雷 汤庭鳌 黄维宁 姜国宝 钟 琪 汤祥云

(复旦大学电子工程系微电子研究所 复旦大学 ASIC 和系统国家重点实验室, 上海 200433)

摘要: 研究了运用 SOL-GEL 方法制备的 Au/PZT (铅锆钛)/ZrO₂/Si 结构电容即 MFIS (Metal/Ferroelectric/Insulator/Semiconductor) 电容的方法, 并对其进行了 SEM、 $C-V$ 特性测试及 ZrO₂ 介质层介电常数分析. 研究了 $C-V$ 存储窗口 (Memory Window) 电压与铁电薄膜和介质层厚度比的关系, 得出 MFIS 电容结构中最佳铁电薄膜和介质层厚度比为 7—10 左右, 在外加电压 $-5V - +5V$ 时存储窗口可达 2.52V 左右.

关键词: 不挥发非破坏性读出铁电存储器; 存储窗口; 铁电薄膜; 电滞回线

EEACC: 2860; 2610F

中图分类号: TN432; TN384 **文献标识码:** A **文章编号:** 0253-4177(2000)12-1203-05

$C-V$ Characteristic of MFIS Structure*

YAN Lei, TANG Ting-ao, HUANG Wei-ning, JIANG Guo-bao,
ZHONG Qi and TANG Xiang-yun

(Institute of Microelectronics, Department of Electronic Engineering and ASIC &
System State Key Laboratory, Fudan University, Shanghai 200433, China)

Received 4 September 1999, revised manuscript 26 January 2000

Abstract: The ferroelectric memory has been paid a great deal of attention due to its unique performance, among which, non-destructive read-out MFIS (Metal/Ferroelectric/Insulator/Semiconductor) is very important one. The capacitance with Au/PZT/ZrO₂/Si structure was fabricated by SOL-GEL method. The SEM and capacitance-voltage characteristics of the MFIS structure have been analyzed and the dielectric constant of ZrO₂ insulator measured. The relationship between the $C-V$ memory window voltage and the ratio of the ferroelectric film thickness to that of the insulator has been studied. The optimum ratio of the ferroelectric film thickness to that of the insulator ranges from 7 to 10. The 2.52V memory window volt-

* 国家自然科学基金(69876008)和国家“863”高技术计划资助项目[Project Supported by National Science Foundation of China (69876008) and by National High Technology Research and Development Program].

颜 雷 男, 1971年出生, 博士生, 主要从事铁电新材料和新型铁电存储器制备及特性研究[YAN Lei, male, was born in 1971. He is a Ph. D. candidate in Department of Electronic Engineering of Fudan University and is mainly doing some research on the fabrication and performances of new ferroelectric material and new ferroelectric memories].

1999-09-04收到, 2000-01-26定稿

age can be obtained at the $-5\text{V} \rightarrow +5\text{V}$ testing voltage.

Key words: non-volatile and non-destructive-read-out ferroelectric memory (MFIS FET); memory window; ferroelectric thin film; hysteresis loop

EEACC: 2860; 2610F

Article ID: 0253-4177(2000)12-1203-05

1 引言

在半导体存储器件中, MFS(金属/铁电/半导体)场效应器件被认为是非常理想的第三代存储器件. 早在1974年, Wu首次利用 $\text{Sr}_4\text{Ti}_3\text{O}_{12}$ 铁电薄膜制备出 MFS(Metal/ Ferroelectric/ Semiconductor)原型器件, MFS 器件具有单器件存储、非破坏性读出、非挥发性存储、读/写速度高、功耗低、抗辐照特性优异等特点^[1,2]. 但是由于半导体衬底和铁电薄膜之间存在相互扩散和离子阱以及界面态造成的载流子注入效应等问题, 因此一直未能实现可以实际使用的器件. 近几年来人们提出 MFIS(Metal/Ferroelectric/Insulator / Semiconductor)结构存储器, 即在半导体衬底和铁电薄膜之间增加一层绝缘层即介质层以改善界面特性. 但是, 如何选择适当的介质阻挡层还没有很好地解决; 同时用于 MFIS 的铁电材料制备工艺及铁电特性还有许多方面需要改善. 所以关于 MFS 及 MFIS 器件的研究文章正受到人们极大关注. 但是, 随着半导体工艺和技术以及新型材料研究的长足发展, 关于 MFIS 存储器的制备研究正在成为国际热点研究问题之一^[3,4]. 众所周知, 铁电材料具有如图1所示的电滞回线特性. 一般而言, 在电滞回线上任何一对对称(或非对称)的配对点, 都可用作存储信息的两种状态. FeRAM 是利用位于 P 轴上的 A 与 B 作为数据记忆的状态, 它是 DRO(破坏性读出)器件, 而 MFIS 器件是利用其它对称点如 C 和 D 作为数据记忆的两种状态, 故是一种 NDRO(非破坏性读出)器件. 1T-1C FeRAM 及 MFIS FET 结构图如图2所示^[5,6]. MFIS 器件实际上就是利用铁电薄膜和介质层取代传统 MOS 器件中的 SiO_2 层而构成的新型半导体存储器. 它的工作原理与 MOS 管不同, MFIS 不是利用电场来调制电导, 而是利用极化来实现电导调制. 制备 MFIS 器件的关键工艺有两个: (1) 介质层制备. 制备良好介质层以改善 MFS 结构界面特性是制备 MFIS 存储器的最为关键的工艺, 一方面要求介质层能够防止铁电薄膜与半导体衬底之间的相互扩散问题, 另一方面要求介质层要有较低的界面态密度、低陷阱密度、介电常数与半导体及铁电薄膜相匹配; (2) 铁电薄膜制备. MFIS 器件要求铁电薄膜矫顽电场低, 以降低器件的工作电压, 增大 MFIS 器件的存储窗口.

本文研究和制备的 MFIS 电容为 $\text{Au/PZT/ZrO}_2/\text{P-Si}$ 结构, 如图3所示, 其中关键的 ZrO_2 介质薄膜及 PZT 铁电薄膜均采用 SOL-GEL 方法形成^[7]. 为了获得足够和稳定的存储器窗口, 从制备工艺的优化及多层膜的特性和厚度的配比关系等进行了一系列实验和分析工作.

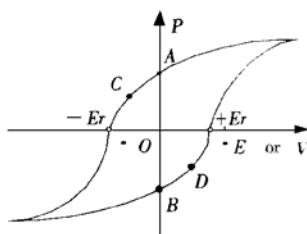


图1 铁电材料电滞回线示意图
FIG. 1 Hysteresis Loop of Ferroelectric Material

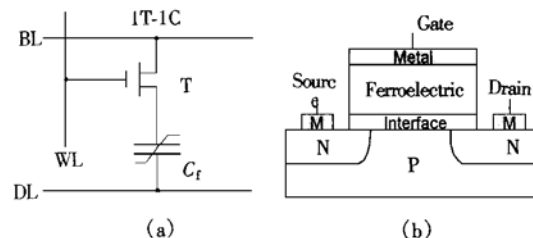


图2 1T-1C FeRAM 结构图(a)和 MFIS FET 剖面图(b)
FIG. 2 (a) Structure of 1T-1C FeRAM; (b) Cross-Sectional View of p-Channel MFIS Structure

2 实验步骤

MFIS 结构的介质层即绝缘层一般采用金属溅射而后在 O_2 中高温退火的方法制备, 本文 MFIS 电容的铁电薄膜和绝缘层薄膜都采用 SOL-GEL 方法制备, 整个工艺流程分为以下几个部分。

2.1 衬底制备

选取电阻率为 $8-12\Omega\cdot\text{cm}$ (111) 晶向的 P 型 Si 作为半导体衬底, 在 Si 片经过1号和2号液清洗后, 放入 HF 缓冲液中浸泡10min 以去除 Si 的自然氧化层, 然后用去离子水将硅片清洗干净。

2.2 ZrO_2 介质层制备

以二-甲氧基乙醇配制丙醇锆溶液, 溶液要充分搅拌并精溜, 而后以5000rpm (转/分钟) 的速度旋涂于上述硅衬底上, 而后在250℃远红外烘箱中烘干15min, 以去除有机溶剂, 最后在扩散炉中800℃、 O_2 气氛中退火60min。制备的 ZrO_2 厚度为25nm。

2.3 PZT 铁电薄膜制备

(1) PZT 水解液制备: PZT 溶胶中的 Pb/Zr/Ti 摩尔比为105/50/50, 配制 PZT 水解液浓度为0.25M; (2) 涂胶: 将水解液以5000rpm 转速旋涂于制备好的 ZrO_2 介质层衬底上; (3) 烘干: 将涂制好水解液的硅片在250℃远红外烘箱中干燥15min, 以去处有机溶剂; (4) 烧结: 将上述硅片在扩散炉中500℃、 O_2 气氛中烧结15min; (5) 重复(2) — (4) 数次, 直到 PZT 薄膜的厚度达到要求为止; (6) 退火: 将上述 PZT 薄膜在扩散炉中650℃、 O_2 气氛中退火30min。

2.4 上、下电极制备

在上述 PZT 铁电薄膜 Si 衬底背面蒸 Al 作为下电极, 而后用掩膜板覆盖蒸 Au 作为上电极。

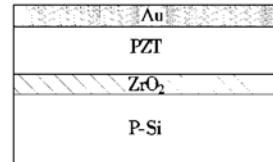


图3 Au/PZT/ZrO₂/P-Si (MFIS) 电容结构图

FIG. 3 Structure of Capacitance of Au/PZT/ZrO₂/P-Si (MFIS)

3 实验结果、分析与讨论

3.1 SEM 分析

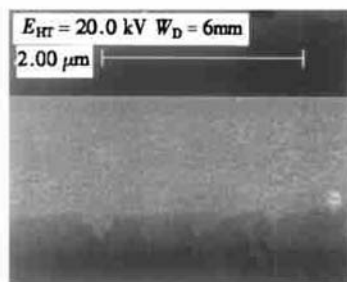


图4 PZT/ZrO₂/P-Si 表面形貌图

FIG. 4 SEM Morphology of PZT/ZrO₂/P-Si

我们首先对其进行了 SEM 形貌分析。图4为 PZT 退火后没有蒸上、下电极的 FIS 的形貌图, 从图中我们可以看到 PZT 铁电薄膜结晶均匀、表面平整光洁。图5为 PZT/ZrO₂/P-Si 的剖面图。从图中我们可以看到 ZrO_2 将 PZT 与半导体衬底紧密粘附在一起并且没有相互扩散的趋势, 说明运用 ZrO_2 介质作为梯度薄膜和 Si 衬底之间的介质层特性良好。

3.2 ZrO_2 介电常数分析

在 MFIS 结构中, 一般选用介电常数为13—40左右的 ZrO_2 、 TiO_2 、 Ta_2O_5 、 Y_2O_3 等 (见表1), 而且介质层制备一般采用金属溅射而后经高温退火处理的方法形成金属氧化物。利用 ZrO_2 薄膜构成 M/ ZrO_2 /M 电容结构, 我们测得用 SOL-GEL 方法制备的 ZrO_2 的介电常数为20—28左右。

3.3 $C-V$ 特性分析

MFIS 结构的 $C-V$ 特性与一般的 MOS 结构不同。在 MFIS 电容加上正负并且回扫的连续变化的电压时, 其电容变化为一封闭的曲线, 如图6所示 (图中半导体衬底为 P-Si, 它是在主频1MHz 下测试的)。 $C-V$ 特性最重要的特性为其存储窗口 (Memory Window) 电压 V_{mw} , 即在电容值相等的两点之间的最大电压差。

表1 常用介质层电学特性及制备方法

Table 1 Electrical Properties and Fabrication Methods of Insulators Films in Common Use

Dielectric Material	ϵ_r	E_g/eV	$V_{BD}/(\text{MV} \cdot \text{cm}^{-1})$	Process
Ta ₂ O ₅	22	4.2	5	Sputtering
TiO ₂	30—40	3.0	5	MOCVD
ZrO ₂	14—18			MOCVD
	15.5—21.2	3.44	3—4	Evaporation
CeO ₂	26			Epitaxial
Y ₂ O ₃	13—17		3—5	Evaporation

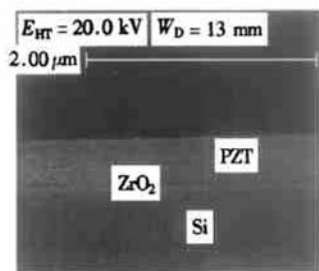
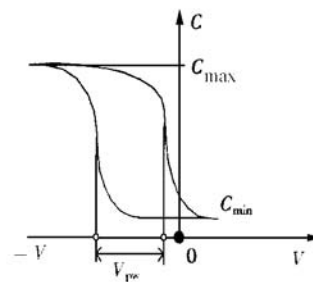
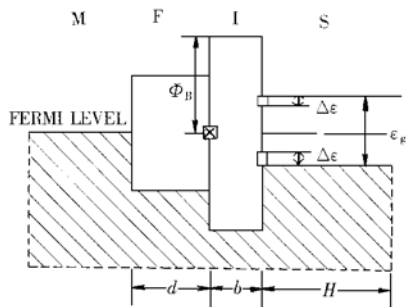
图5 PZT/ZrO₂/P-Si 剖面图FIG. 5 Cross-View of
PZT/ZrO₂/P-Si图6 MFIS 电容 $C-V$ 特性曲线FIG. 6 $C-V$ Curve of MFIS Capacitance

图7 在外加电压为零并且铁电薄膜去极化情况下 MFIS 结构的能带图

FIG. 7 Energy Band Diagram of MFIS Structure
Under Condition of Zero Bias and Depolarization

式中 k 和 ϵ_1 分别为铁电薄膜和介质层的介电常数; P 为剩余极化强度. 栅电极、半导体和铁电薄膜与介质层的界面电荷有以下的关系:

$$Q_M = Q_F, Q_S = -Q_I \text{ 和 } Q_I = q(N_0 - N_1) \quad (3)$$

式中 N_0 为单位界面总的陷阱数; N_1 为被电子填充的陷阱数. 整个结构为电中性:

$$Q_M + Q_S + Q_I = 0 \quad (4)$$

由(1)一(4)可得介质层和铁电薄膜的电场强度分别为:

$$E_1 = \frac{dP + qd(N_0 - N_1) + k(V_G - \Phi_s/q)}{\epsilon_1 d + kb} \quad (5)$$

在栅极(即 Metal)不加偏压并且铁电薄膜去极化情况下,位于铁电薄膜和介质层界面上的离子阱和位于介质层与半导体衬底界面上的底半部的离子阱充满负电荷,而介质层和半导体界面上半部的离子阱没有电荷,此时 MFIS 结构的能带图如图7所示. 在栅极加上负的偏压使铁电薄膜极化,电子穿过介质层使得介质层和铁电薄膜界面上的离子阱充满正电荷,其能带图如图8所示.

当 MFIS 结构栅极外偏压为 V_g 时,可以得到:

$$V_g = dE_f + bE_1 + \Phi_s/q \quad (1)$$

式中 E_f 、 E_1 分别为铁电薄膜和介质层中的电场强度; V_g 为栅极电压; d 、 b 分别为铁电薄膜和介质层的厚度; Φ_s 为半导体的表面势; q 为电子电量. 铁电薄膜和介质层的电位移分别为:

$$D_f = kE_f + P \text{ 和 } D = \epsilon_1 E_1 \quad (2)$$

$$E_F = \frac{\epsilon_1(V_G - \Phi_s/q) - bP - qb(N_0 - N_1)}{\epsilon_1 d + kb} \quad (6)$$

由于 $|V_G| \gg |\Phi_s|/q$ 和 $kb \ll k\epsilon_1|V_G/p| \ll \epsilon_1 d$, 由(5)和(6)得:

$$E_{10} \cong \frac{P}{\epsilon_1} \quad (7)$$

$$E_{F0} \cong \frac{V_G}{d} \quad (8)$$

E_{10} 和 E_{F0} 分别为介质层和铁电薄膜中电场强度, 此时, E_{F0} 的数量级与铁电薄膜的矫顽电场相当^[8].

由上述公式可知, 铁电薄膜和介质层存在着电场分配关系, 提高铁电薄膜的铁电特性和恰当地选择铁电薄膜和介质层的厚度是制备 MFIS 器件的关键.

MFIS 存储器件制备的关键问题在于提高其存储窗口电压 V_{mw} . 我们研究了在 ZrO_2 厚度为 25nm, 不同 PZT 厚度在不同外加电压下 V_{mw} 的

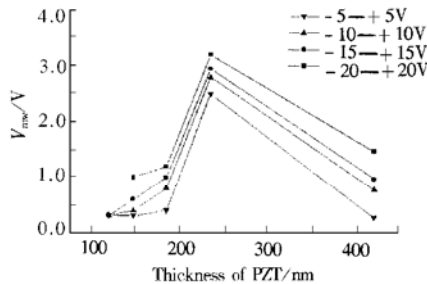


图9 V_{mw} 与 PZT 厚度和外加电压的关系

FIG. 9 Relationship Between V_{mw} and Applied Voltage, V_{mw} and Thickness of PZT

235nm、外加 -5—+5V 电压时, 窗口电压为 2.52V. 本方法相对于其它 MFIS 器件的制备方法, 整个工艺流程简单, 工艺对设备的要求容易达到, 而且能够利用现在比较成熟的 PZT 铁电薄膜作为存储介质, 在低电压测试情况下得到最大窗口电压达到 2.52V. 这为以后进一步制备 MFIS 器件打下了坚实的基础. 制备 MFIS 电容时必须注意一些问题, 比如要防止 PZT 铁电薄膜在最后退火龟裂, 要进一步降低工作电压, 精确控制介质层厚度等等. 有理由相信, 随着 MFIS 电容制备问题的解决, 不挥发非破坏性读出铁电存储器 MFIS 器件有望成为半导体存储器中又一种重要的存储器件.

4 总结

本文主要研究了运用 SOL-GEL 方法制备 Au/PZT/ ZrO_2 /P-Si 即 MFIS 器件的方法并且对其 C-V 特性进行测试, 得出铁电薄膜和介质层厚度比在 7—10 时, 其窗口电压值比较理想, 并且得到在 ZrO_2 厚度为 25nm、PZT 厚度

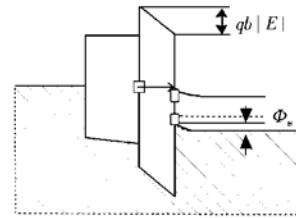


图8 外加负的偏压及铁电薄膜极化状态下 MFIS 结构的能带图
FIG. 8 Energy Band Diagram of MIFS Structure Under Conditions of Negative Bias and Polarization

规律, 其数据如图 9 所

示. 从实验中, 我们得到在铁电薄膜与介质层厚度比一定的情况下, 随着外加电压的增加, 其 C-V 窗口电压也随之增加, 在铁电薄膜与介质层厚度比为 7—10 时, 其窗口电压达到最大值. 经实验测得, 在 PZT 厚度为 235nm, 外加电压在 -5—+5V 时存储窗口电压达到 2.52V.

参 考 文 献

- [1] Shu-yau WU, IEEE Transaction on Electron Devices, 1974, **ED-21**: 499—503.
- [2] K. Sugibuchi, Y. Kurogi and Endo, J. Appl. Phys., 1975, **46**: 2877—2881.
- [3] Hidemi Takasu, Integrated Ferroelectrics, 1997, **14**: 1—10.
- [4] Yuichi Nakao, Takashi Nakamura, Kazuhiro Hoshiba *et al.*, Jpn. J. Appl. Phys., 1993, **32**: 4141—4143.
- [5] Kwang-Hu Kim, IEEE Electron Device Lett., 1998, **19**: 204—204.
- [6] 颜雷, 黄维宁, 姜国宝, 汤庭鳌, 微电子技术, 1998, **26**: 6—9 [YAN Lei, HUANG Wei-ning, JIANG Guo-bao, TANG Ting-ao, Microelectronics Technology, 1998, **26**: 6—9 (in Chinese)].
- [7] 陈铮, 汤庭鳌, 半导体学报, 1996, **17**: 780—783 [CHEN Zheng and TANG Ting-ao, Chinese Journal of Semiconductors, 1996, **17**: 780—783, (in Chinese)].
- [8] Kentaro Ito and Hidetoshi, Tsuchiya, Solid-State Electronics, 1976, **20**: 529—539.