

# FLOTOX 型 EEPROM 存贮管的 擦写特性与理论分析

朱 钧 靳东明 熊大菁 李志坚

(清华大学微电子学研究所)

1984年10月12日收到

制备了几种 FLOTOX 结构 EEPROM 存贮管,对其擦写过程作了测试分析. 讨论了擦写时存贮管电容分压的物理模型,实验测量通过超薄氧化层的 Fowler-Nordheim 隧道电流,推导出在擦写过程中浮栅上存贮电荷量的计算公式. 研究了存贮管的阈值电压,特别指出它不仅与浮栅上积累电荷有关,而且与测量时的漏电压有关,建立了存贮管阈值电压的计算公式. 最后,介绍了实验结果并作讨论,指出有关公式可作为设计 EEPROM 存贮单元的基础.

## 一、引 言

电可擦写不挥发存贮器, (EEPROM) 是半导体存贮器方面最近发展起来的一个重要分支,其性能优于紫外光可擦写不挥发存贮器 (EPROM). 它的优点是;可在小于 10 毫秒时间内进行按字节擦写或全芯片擦除操作,亦可在使用系统上直接擦写,有好的存贮电荷维持特性和擦写耐久性. FLOTOX 结构是 EEPROM 的主要发展方向<sup>[1]</sup>. 它依靠通过超薄氧化层的隧道电流使浮栅充放电,从而达到改变存贮管阈值电压的目的. 这种结构具有可按字节擦写,功耗低,结构灵活及可靠性高等明显优点. 其基本结构和原理如图 1 所示.

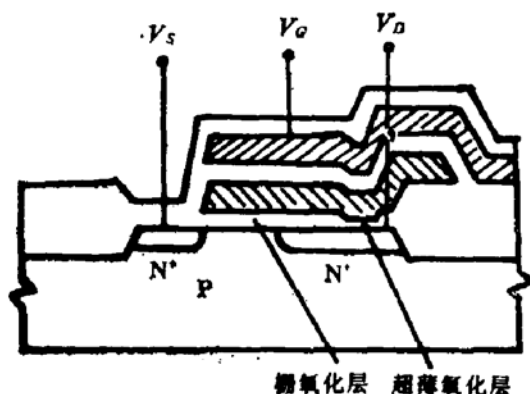


图 1(a) FLOTOX 型 EEPROM 存贮管结构

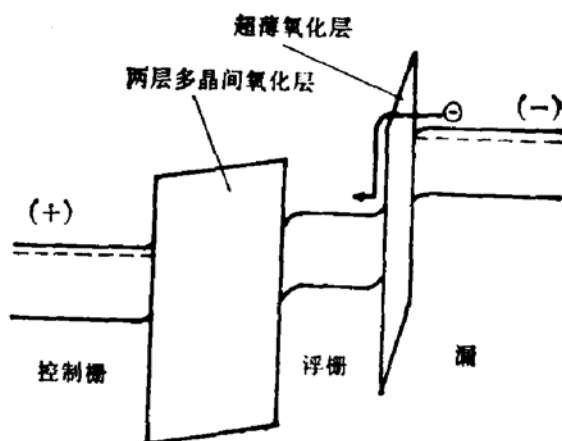


图 1(b) FLOTOX 型 EEPROM 存贮管工作原理

存贮管有两层多晶硅,上面一层为控制栅,栅电压  $V_g$  加在其上,下面一层为浮栅,浮栅周围被绝缘性能良好的氧化层包围,浮栅与漏区之间有面积很小的超薄氧化层区,氧化层厚度约为  $100 \text{ \AA}$ . 图 1(b) 表示电子注入到浮栅时的工作原理,此时控制栅相对漏区加

正脉冲,脉冲电压在该结构上分压,使超薄氧化层上有很高电场,形成图示的能带图。漏区电子可以由隧道效应通过超薄氧化层而到达浮栅,使浮栅上的负电荷不断增加。若把脉冲极性颠倒,则发生相反的过程,使浮栅上电子减少而带正电荷。浮栅上存贮的电荷量直接联系存贮管的阈值电压,改变保持在浮栅上的电荷量可以控制阈值电压。例如:我们所制备的存贮管在脉冲幅度为 18 伏,脉冲宽度为 10 毫秒的条件下,向浮栅注入电子则阈值电压变为大于 7 伏,而改变脉冲极性使电子离开浮栅,则使阈值电压变为小于 -7 伏。所以,用这种方法可使存贮管处于“1”或“0”状态。由于浮栅上存贮的电荷可长期保持,就得到了电可擦写的非挥发性。加脉冲讯号使浮栅电荷改变的过程就是存贮单元的擦写过程。擦写特性是 EEPROM 的主要特性,在这方面已进行过很多研究工作。Scheibe *et al.*<sup>[2]</sup> 最早讨论了 SIMOS 结构的浮栅电位和分压情况, Giora Yaron *et al.*<sup>[3]</sup> 研究了 EEPROM 存贮单元的浮栅分压, Schaver *et al.*<sup>[4]</sup> 研究了雪崩注入电子和空穴的 EEPROM 的擦写模型。

本文着重研究 FLOTOX 型 EEPROM 的擦写特性,并得到浮栅电荷量和存贮管阈值电压的计算公式。

## 二、理论分析

理论分析基于注入电流的隧道电流性质,首先要确定擦写时加于超薄氧化层上的电场和由此造成的隧道电流,然后研究浮栅上电荷量的变化过程,最后推导阈值电压变化的理论公式。

### 1. 浮栅注入电流分析

注入隧道电流按 Fowler-Nordheim 电流公式<sup>[5]</sup>可表示为:

$$J = \left( \frac{q^3 E^2}{8\pi\hbar\phi} \right) \cdot \exp[-4(2m)^{\frac{1}{2}} \cdot \phi^{\frac{3}{2}} / 3\hbar q E]. \quad (1)$$

式中,  $J$  为注入电流密度,  $E$  为隧道氧化层上电场强度,  $\phi$  为势垒高度。若计入镜像力和

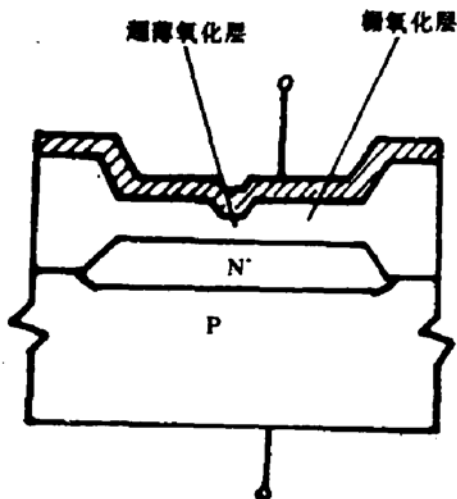


图 2(a) 测隧道电流样品结构

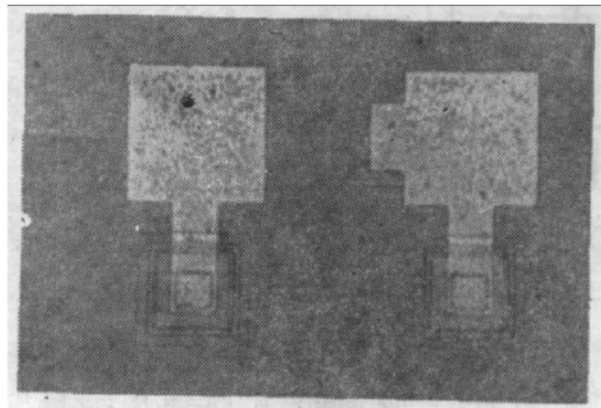


图 2(b) 样品照片

温度影响还要加入修正函数。在向介质发射电子时,应考虑电子有效质量和相对介电常数。浮栅注入电流应为电流密度乘以隧道区面积,但在该区内电场并非均匀分布,故还需考虑局部电场增强效应引入场增强因子<sup>[6]</sup>。

我们用实验方法确定隧道电流的有关系数,将式(1)简化为:

$$I = A \cdot E^2 \cdot \exp(-B/E). \quad (2)$$

制出与存贮管浮栅区结构相同的 MOS 陪测图形,如图 2 所示,其剖面如图 2(a)。P 型硅衬底扩磷,其超薄氧化层厚度及面积均和存贮管相同。图 2(b) 为陪测结构照片,右面的样品图形正中的小方孔为超薄氧化层区,左面的样品的超薄氧化层区面积为 0.002 平方毫米,后者用于检查氧化层质量。对所制作的 MOS 结构测量其隧道电流随外加电压的变化关系,测量时多晶硅电极加正电压。将测量结果画成  $\ln(I/E^2) \sim 1/E$  的图如图 3 所示,由此可确定系数  $A$  和  $B$ 。

## 2. 电子注入浮栅时,浮栅电荷 $Q_F$ 的计算

我们所制作的 EEPROM 存贮管,有两种结构如图 4 所示。

当向浮栅注入电子时,控制栅加正脉冲,源端、漏端及衬底接地,存贮管的电容分压等效电路如图 5 所示。

当初始浮栅电荷量  $Q_F = 0$  时,浮栅电位可写为:

$$V_F = \frac{V_G \cdot C_G}{C_S + C_B + C_D + C_P + C_F}. \quad (3)$$

式中,  $C_G$  为两层多晶硅间电容,  $C_S$  为浮栅对源端电容,  $C_B$  为浮栅对衬底电容,  $C_D$  为浮栅对漏端电容,  $C_P$  为浮栅-超薄氧化层-漏区的电容,  $C_F$  为浮栅-场氧-衬底的电容。

当浮栅上积累有浮栅电荷  $Q_F$  时,根据图 5 的等效电路可得,

$$Q_F = (V_F - V_G) \cdot C_G + (V_F - V_S) \cdot C_S + (V_F - V_B) \cdot (C_B + C_F) + (V_F - V_D) \cdot (C_D + C_P). \quad (4)$$

电子向浮栅注入时,  $V_S = V_B = V_D = 0$

$$\therefore V_F = \frac{Q_F + V_G \cdot C_G}{C_i} \quad (5)$$

式中,  $C_i = C_G + C_S + C_B + C_F + C_D + C_P$ 。

超薄氧化层上电场强度  $E$  为,

$$E = \frac{V_F - V_D}{D_0} = \frac{Q_F + V_G \cdot C_G}{C_i \cdot D_0}. \quad (6)$$

式中  $D_0$  为超薄氧化层厚度。

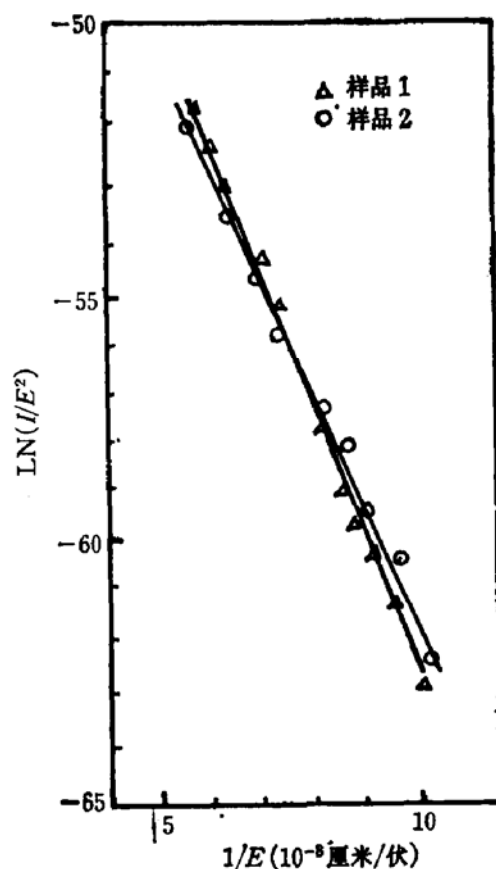


图 3 陪测图形隧道电流与电场强度关系。  
 $E$  为电场强度,  $I$  为隧道电流。

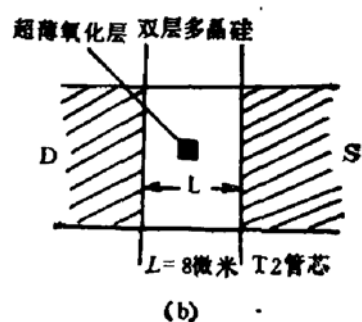
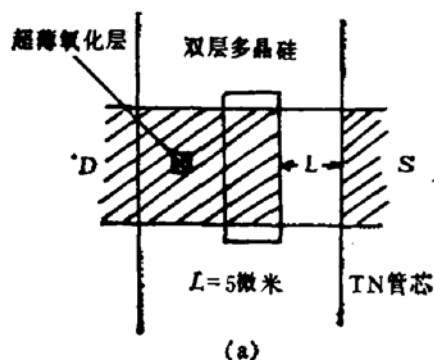
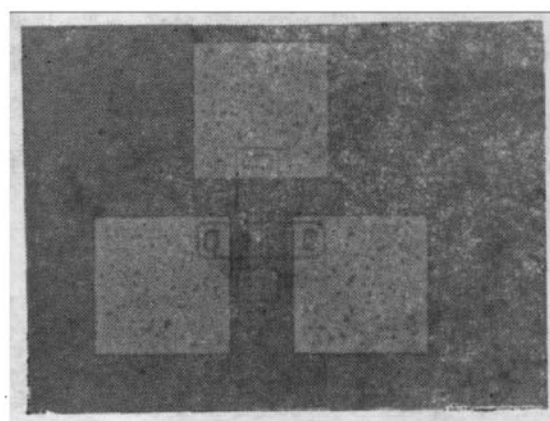
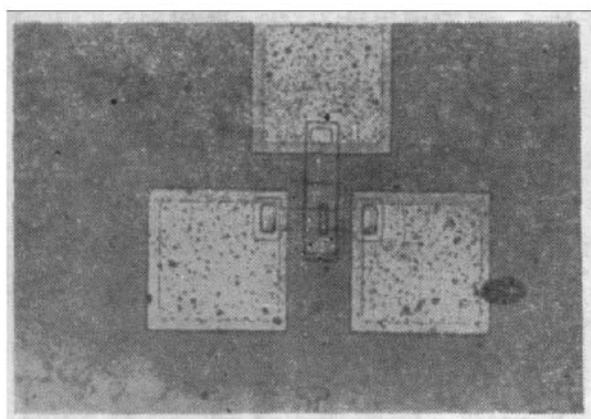


图4 两种存贮管结构

(a) TN 存贮管 (b) T2 存贮管

浮栅上电荷量  $Q_F$  为注入电流的积分及原始电荷量之和,

$$Q_F(t_w) = - \int_0^{t_w} A \cdot E^2 \cdot \exp(-B/E) dt + Q_F(0). \quad (7)$$

将(7)式两边微分,并将式(6)代入,再作积分后可得注入时间为  $t_w$  时,浮栅上电荷量为:

$$Q_F(t_w) = \frac{C_i \cdot D_0 \cdot B}{\ln \left[ \frac{A \cdot B}{C_i \cdot D_0} \left( t_w + \frac{C_i \cdot D_0}{A \cdot B} \cdot \exp \left( \frac{C_i \cdot D_0 \cdot B}{Q_F(0) + V_G \cdot C_G} \right) \right) \right]} - V_G \cdot C_G. \quad (8)$$

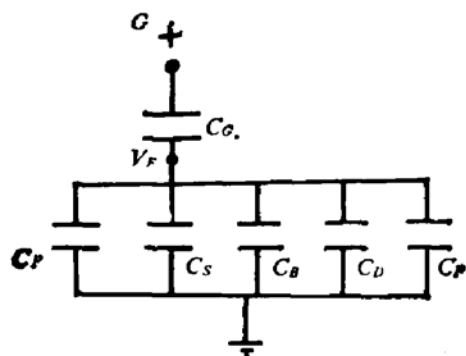


图5 注入电子时电容分压等效电路

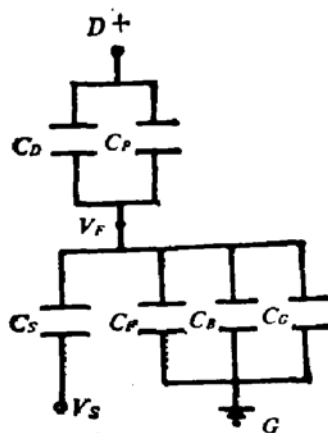


图6 擦去电子时电容分压等效电路

### 3. 浮栅上擦去电子时 $Q_F$ 的计算

此时漏端加正脉冲, 电容分压等效电路如图 6 所示. 图上  $V_S$  端悬空说明该端可接地或接合适的直流偏压.

浮栅上擦除电子时间到  $t_E$  时的电荷量  $Q_F(t_E)$  为,

$$Q_F(t_E) = (V_F - V_G) \cdot C_G + (V_F - V_B) \cdot (C_B + C_F) + (V_F - V_S) \cdot C_S + (V_F - V_D) \cdot (C_D + C_P). \quad (9)$$

由此求出,

$$V_F = \frac{Q_F(t_E) + V_D \cdot (C_D + C_P) + V_S \cdot C_S}{C_i} \\ \therefore E = \frac{V_D - V_F}{D_0} = \frac{V_D \cdot (C_G + C_F + C_S + C_B) - V_S \cdot C_S - Q_F(t_E)}{D_0 \cdot C_i} \quad (10)$$

将(10)代入(7)式, 作处理后可得,

$$Q_F(t_E) = C' \cdot V_D - \frac{B \cdot C_i \cdot D_0}{\ln \left\{ \frac{A \cdot B}{C_i \cdot D_0} [t_E + C_i \cdot D_0 / (A \cdot B) \cdot \exp(C_i \cdot D_0 \cdot B / (C' \cdot V_D - Q_F(D) - V_S \cdot C_S))] \right\}} \quad (11)$$

式中,  $C' = C_G + C_F + C_S + C_B$ .

### 4. 存贮管阈值电压 $V_T$ 与 $Q_F$ 、 $V_D$ 等的关系

对于具有浮栅的存贮管, 阈值电压  $V_T$  不仅与浮栅电荷有关, 而且与存贮管结构和漏电压有关. 这是因为漏电压可通过电容耦合而影响浮栅电位.

读出时等效电路如图 7 所示, 此时的漏端电压不会造成浮栅电荷量  $Q_F$  的变化. 读出时定义  $V_D = 5$  伏, 漏电流为 1 微安时的控制栅电压  $V_G$  为阈值电压  $V_T$ , 此时浮栅电荷量  $Q_F$  可表示为,

$$Q_F = (V_F - V_G) \cdot C_G + (V_F - V_D) \cdot (C_P + C_D) + (V_F - V_S) \cdot C_S + (V_F - V_B) \cdot C_B + (V_F - V_B) \cdot C_F. \\ \therefore V_G = \frac{V_F \cdot C_i - V_D \cdot (C_P + C_D) - Q_F}{C_G}$$

当  $Q_F = 0$  时, 所测到的阈值电压  $V_{T0}$  为,

$$V_{T0} = \frac{V_{FT} \cdot C_i - V_D \cdot (C_P + C_D)}{C_G} \quad (12)$$

式中  $V_{FT}$  为测到阈值电压时浮栅的电位, 对同一存贮管, 浮栅电荷量不同时,  $V_{FT}$  不变.

$$\therefore V_{FT} = \frac{V_{T0} \cdot C_G + V_D \cdot (C_P + C_D)}{C_i} \quad (13)$$

当  $Q_F$  不为 0 时,

$$V_T = \frac{V_{FT} \cdot C_i - V_D \cdot (C_P + C_D)}{C_G} - \frac{Q_F}{C_G} \quad (14)$$

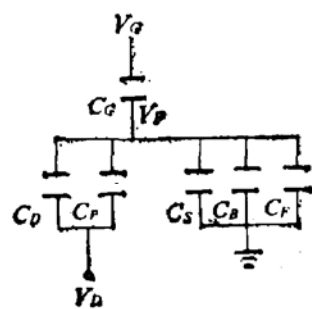


图 7 读出时电容分压等效电路

式(14)给出了计算有浮栅结构的存贮管的阈值电压公式。它说明  $V_T$  与  $Q_F$ 、 $V_D$  及各耦合电容有关。这已被实验结果证实。通常的 MOS 管源、漏是对称的,把源、漏端对换,输出特性无变化,而我们对图 4(a) 所示的 TN 管对换源、漏后,则得出不同的输出特性,如图 8 所示。图 8(a) 表示以无超薄氧化层区的一端为漏时所得输出特性曲线,图 8(b) 是以有超薄氧化层区的一端为漏所得结果。后者是有浮栅结构存贮管的正常工作状态,由于漏和浮栅间的耦合电容  $C_P + C_D$  较大,  $I_{DS}$  随  $V_{DS}$  的变化十分明显,反映对不同的  $V_D$  有不同的阈值电压。

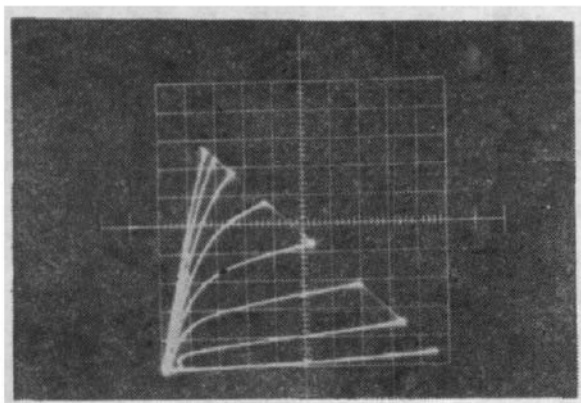


图 8(a) 存贮管源、漏对换后的输出特性

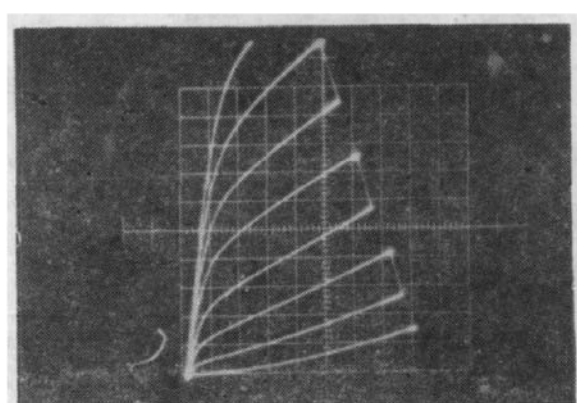


图 8(b) 存贮管正常工作状态时的输出特性

$x$ : 1 伏/1 格,  $y$ : 0.05 毫安/1 格, 阶梯: 0.5 伏

表 1 阈值电压测量值与计算值 ( $Q_F = 0$ )

| 存贮管结构<br>工作状态 | TN    |       | T2 (对称结构) |       |
|---------------|-------|-------|-----------|-------|
|               | 实 测 值 | 计 算 值 | 实 测 值     | 计 算 值 |
| 源、漏对换 (V)     | 1.4   | 1.3   | 2.0       | 1.9   |
| 正常工作状态 (V)    | 1.9   | 1.8   | 2.0       | 1.9   |

表 1 对 TN、T2 两种结构的存贮管作了比较, TN 管源、漏结构不对称,所以在不同工作状态下阈值电压不同。计算值由(14)式计算而得。

### 5. 在浮栅注入电子和擦除电子时 $V_T$ 的理论计算公式

将浮栅电荷量计算式(8)和(11)代入(14)式可得注入电子和擦除电子时的阈值电压  $V_T$  计算公式,

$$V_T(t_w) = \left\{ V_{FT} \cdot C_i - V_{DR}(C_P + C_D) + V_G \cdot C_G - \frac{C_i \cdot D_0 \cdot B}{\ln \left[ \frac{A \cdot B}{C_i \cdot D_0} \left( t_w + \frac{C_i \cdot D_0}{A \cdot B} \cdot \exp \left( \frac{C_i \cdot D_0 \cdot B}{Q_F(D) + V_G \cdot C_G} \right) \right) \right]} \right\} / C_G, \quad (15)$$

$$V_T(t_E) = \left\{ V_{FT} \cdot C_i - V_{DR} \cdot (C_P + C_D) - C' \cdot V_B \right\}$$

$$+ \frac{C_i \cdot D_0 \cdot B}{\ln \left[ \frac{A \cdot B}{C_i \cdot D_0} \left( t_E + \frac{C_i \cdot D_0}{A \cdot B} \exp \left( \frac{C_i \cdot D_0 \cdot B}{C' \cdot V_D - Q_F(0) - V_s \cdot C_s} \right) \right) \right]} \} / C_G. \quad (16)$$

式中  $V_{DR}$  为读出时漏电压以区别式中擦写时的漏电压  $V_D$ 。

### 三、实验结果与讨论

用幅度为 18 伏的可变脉宽脉冲信号对不同结构存贮管进行向浮栅注入电子操作, 每

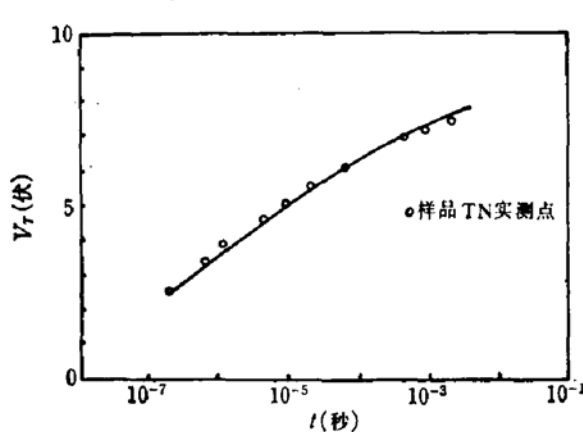


图 9 TN 管  $V_T$  与电子注入时间的关系

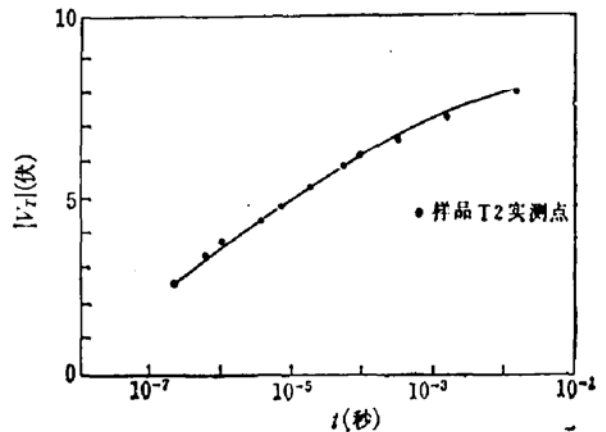


图 10 T2 管  $V_T$  与电子注入时间的关系

次注入后测阈值电压, 见图 9、图 10 所示。注入前阈值电压为 0 伏左右, 初始阶段  $V_T$  上升很快, 然后趋向稳定。理论计算结果与实测点符合较好。计算时用 (15) 式,  $A$ 、 $B$  两个系数先用图 3 所示的  $\ln(I/E^2) \sim 1/E$  实验关系确定初估值, 经过多次测量  $A$  值为  $5 \times 10^{-13} \sim 2 \times 10^{-12}$ ,  $B$  值为  $2.2 \times 10^8 \sim 2.6 \times 10^8$ 。然后用计算机拟合, 图 9 的 TN 存贮管  $A = 1.80 \times 10^{-12}$ ,  $B = 2.50 \times 10^8$ , 图 10 的 T2 存贮管

$$A = 1.65 \times 10^{-12}, \quad B = 2.45 \times 10^8.$$

擦除过程如图 11 所示, 开始阶段阈值电压下降极快, 由初始值 7 伏左右变为负值, 这种快变过程是由存贮管结构决定的, 当漏端加正脉冲时, 由图 6 可见, 在电容  $C_p + C_D$  上所得分压是比较大的, 从而造成大的隧道电流。在这一阶段计算值与实测值还较符合。但在  $V_T$  较负后, 两者偏离就大, 这种偏离无法用调整  $A$ 、 $B$  数值解决。说明此时有新的过程参与电子擦除。可能有两个原因, (1) 当  $V_T$  为负时, 存贮管已经开启, 有漏电流产生, 漏电流在负载上的压降使实际加在漏端的正脉冲幅度下降, 必然使擦除电子过程比由 (16) 式计算所得规律慢。(2) 当浮栅上电子减少而使浮栅带正电时, 必将影响电子从浮栅继续离开, 除了在式 (16) 中已计入的  $Q_F$  对分压的影响外, 还应考虑势垒高度的变化,

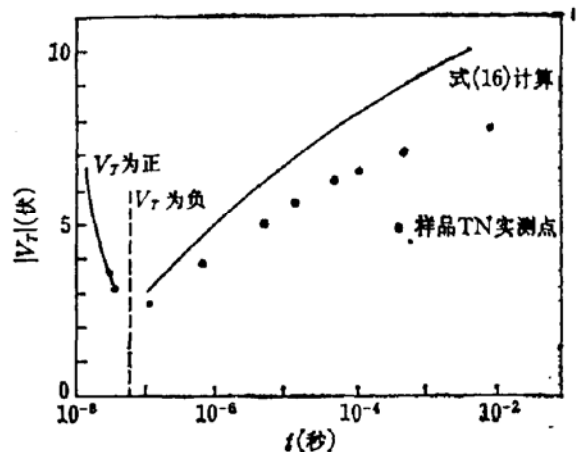


图 11 TN 存贮管  $V_T$  与擦除电子时间的关系

此时系数  $B$  不能取固定值, 而是随  $V_T$  变化的变量。所以, 在进一步研究擦除电子过程时, 应计入这些因素的影响。

#### 四、结 论

本文研究了 FLOTOX 结构 EEPROM 存储单元擦写特性, 提出了物理模型和理论计算公式, 与实验结果作了对比讨论。

本文分析了有浮栅结构存储管的阈值电压与存储管结构和漏电压的关系, 指出其漏电压通过与浮栅的耦合电容可影响浮栅电位。本文推导了阈值电压的理论公式, 并给出实验结果。

我们用有关理论分析研究了实际擦写过程中  $V_T$  与  $C_F$ 、 $C_P$ 、 $C_G$ 、 $C_B$ 、 $V_G$  和  $V_D$  等的关系, 用以改进擦写性能也取得较好结果。已经研制出存储单元阵列试验电路。所以, 本文所提供的理论分析公式可作为设计 FLOTOX 型 EEPROM 存储单元的一个基础。

#### 参 考 文 献

- [1] W. Johnson, G. Perlegos, A. Renninger, G. Kuhn and T. R. Raganath, *ISSCC Tech. Dig.*, p152 (1980).
- [2] A. Scheibe and Heihz Schulte, *IEEE Trans. Electron Devices*, ED-24, 600 (1977).
- [3] Giora Yaron, S. Jayasimha Prasad, Mark S. Ebel and Bruce M. K. Leong, *IEEE J. Solid-State Circuits*, SC-17, 833 (1982).
- [4] H. Schauer *et al.*, *IEEE Trans. Electron Devices*, ED-29, 1178 (1982).
- [5] M. Lenzlinger and E. Snow, *J. Appl. Phys.*, 40, 278 (1969).
- [6] Richard D. Jolly, Hugh R. Grinlds and Roy Groth, *IEEE Trans. Electron Devices*, ED-31, 767 (1984).

### Theory and Erase/Write Characteristics of FLOTOX EEPROM Memory Cell

Zhu Jun, Jin Dongming, Xiong Daqing and Li Zhijian

(Institute of Microelectronics, Tsinghua University)

#### Abstract

FLOTOX EEPROM memory transistors with different structures have been fabricated. Their erase/write characteristics are examined. A physical model is proposed for the gate voltage division between the first and second gate capacitances during the erasing or writing operations, the Fowler-Nordheim type tunneling current through the thin oxide is measured and two expressions are derived for calculating the amount of storage charge at the floating gate in the erasing or writing process. It is found that the threshold voltage in the memory transistor not only depends on the total storage charge at the floating gate, but also on the drain voltage in the reading process. Based on this fact, an expression of threshold voltage has been deduced. It is concluded, after the comparison of theory with experimental results, that the expressions presented in this paper can be used as the fundamentals for designing EEPROM memory cells.