

H₂、N₂ 气氛下热处理对磷离子 注入多晶硅电阻的影响

戴福根 张继盛 李维中 林月凤

(清华大学微电子学研究所)

1982年10月22日收到

提 要

在 SiO₂/Si 结构上用 CVD 生长 6000 Å 厚的多晶硅膜。通过注入不同剂量的磷离子和相应的热退火得到了不同阻值的多晶硅电阻。给出了方块电阻值 $R_{\square}$ 和注入剂量 N_D 之间的关系的实验结果。

实验证明,处于 $R_{\square}-N_D$ 曲线陡变区的多晶硅电阻对 H₂ 气氛下的热处理很灵敏。后者可使 $R_{\square}$ 下降几个数量级。但接着进行的 N₂ 热处理可使之恢复。

以上的结果均可用多晶硅薄膜电导的势垒理论得到解释。

随着集成电路技术的发展,多晶硅电阻在电路制造中获得广泛的应用。我们在研究用多晶硅做存贮单元的负载电阻时,发现了多晶硅的电阻值在 H₂、N₂ 气氛热处理前后变化显著。图1是国外已发表的多晶硅电阻率和掺杂浓度的关系曲线^[1],我们发现该曲线是和一定的工艺条件相联系的。在某些掺杂浓度下,H₂、N₂ 气氛热处理前后,阻值可变化几个数量级以上。本文报道实验结果及有关机理的初步探讨。

一、样品制备、实验安排

实验中采用 P 型 (100) 单晶硅作衬底,生长 5000—8000 Å 的 SiO₂, 然后在 SiO₂ 上,采用常压 CVD 和低压 CVD 两种方法淀积多晶硅,厚度为 6000 Å。实验时,两种方法淀积的多晶硅,经同一工艺流程进行处理。我们采用离子注入的办法控制掺杂剂量。离子注入能量为: 60keV;

束流为 1 μA; 注入剂量范围为: $2 \times 10^{12}/\text{cm}^2$ — $1 \times 10^{15}/\text{cm}^2$ 。电阻图形的几何尺寸、结构和测量原理如图2所示。测量时,先测尺寸为一方的 AB 两点电阻 $R_{AB} = V_{AB}/I_{AB}$, 再测尺寸为2方的 BC 两点电阻 $R_{BC} = V_{BC}/I_{BC}$, 则方块电阻为二次测量之差,即 $R_{\square} = R_{BC} -$

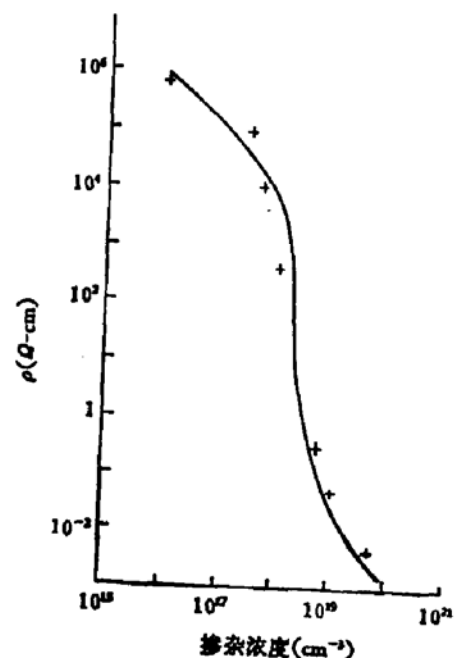
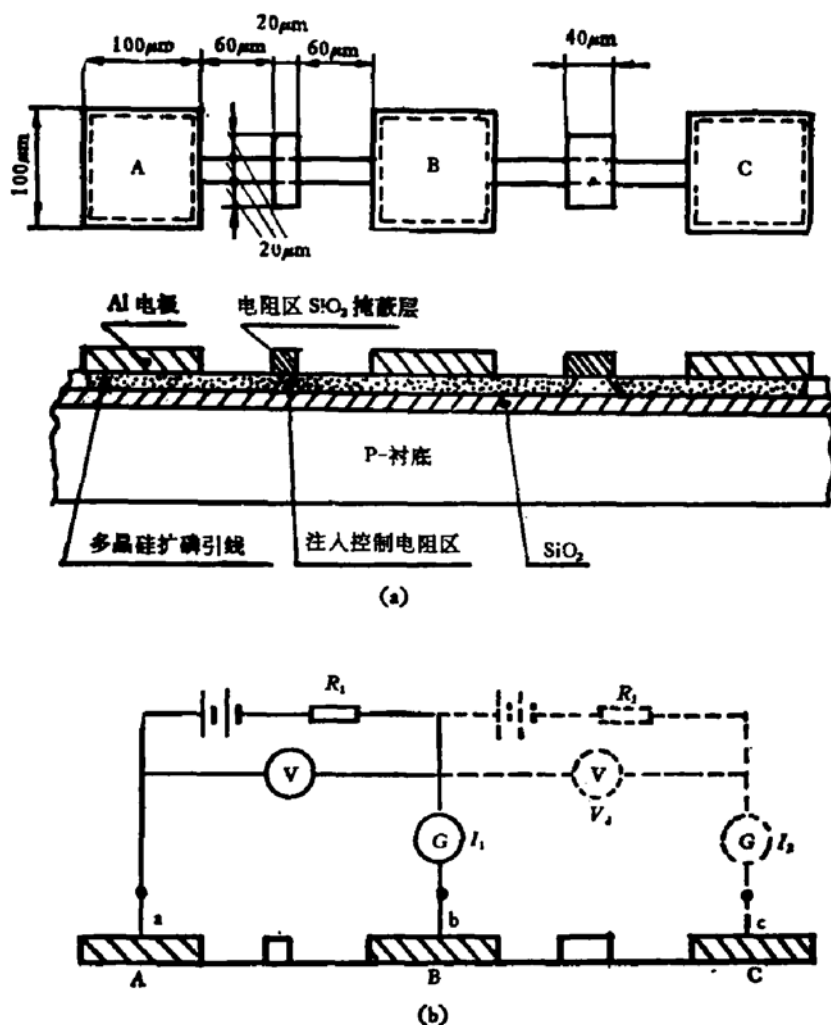


图1 典型的多晶硅电阻率和掺杂浓度关系曲线
(+实验值, ●理论值)

图 2 多晶硅方块电阻 $R_{\square}$ 测试示意图

(a) 多晶硅电阻结构、尺寸示意图

(b) 测定方块电阻示意图

R_{AB} , 从而消除了接触电阻及引线扩散时磷横向扩散的影响。

我们采用 12 种不同注入剂量的样品, 以一般的 NMOS 工艺流程加工, 但到合金工艺时, 不进行 N_2 、 H_2 合金处理, 而用 N_2 合金处理获得电阻的实验样品, N_2 合金后进行方块电阻的测量, 以此测量值作为 H_2 处理前的基准值, 然后进行 H_2 处理。(温度 465°C , H_2 流量 0.7L/min) 每处理一定值的时间后对 12 种剂量下的多晶硅电阻值测量一次, 经多次 H_2 处理, 多次测量, 得到合金温度下 (465°C), 不同 H_2 处理时间对多晶硅电阻特性的影响规律。在 H_2 处理之后再经 N_2 处理, 处理温度为 465°C 和 1000°C 以进行比较。(1000 $^{\circ}\text{C}$ 处理样品未蒸铝) 此外, 测量了 H_2 处理前后, 多晶硅伏安特性和温度特性的变化。

二、实验结果

1. 多晶硅薄层方块电阻 $R_{\square}$ 和注入剂量 N_D 的关系

采用低压 CVD 和常压 CVD 两组多晶硅, 图 3 为常压 CVD 样品 $R_{\square}$ 和注入剂量

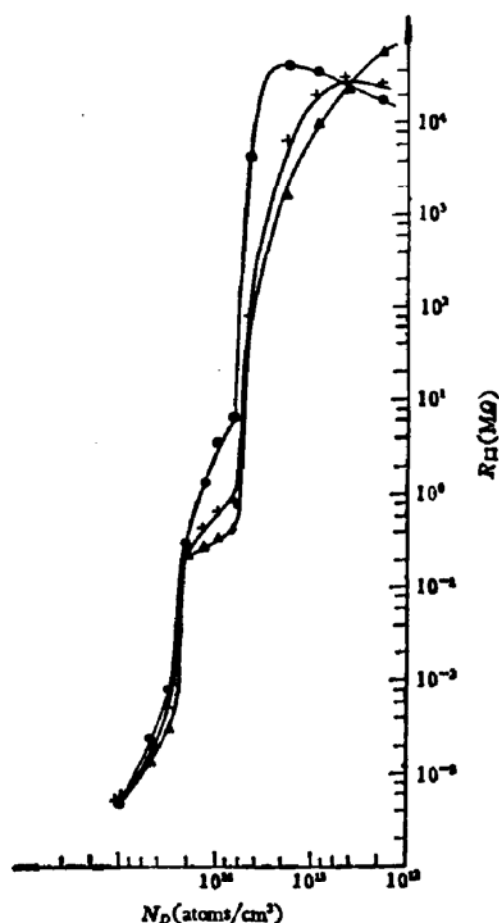


图3 常压 CVD 多晶硅, 方块电阻 $R_{\square}$ 和注入杂质剂量 N_D 的关系曲线

(● N_2 合金 1 小时;
+ H_2 处理 1 小时;
▲ H_2 处理 5 小时)

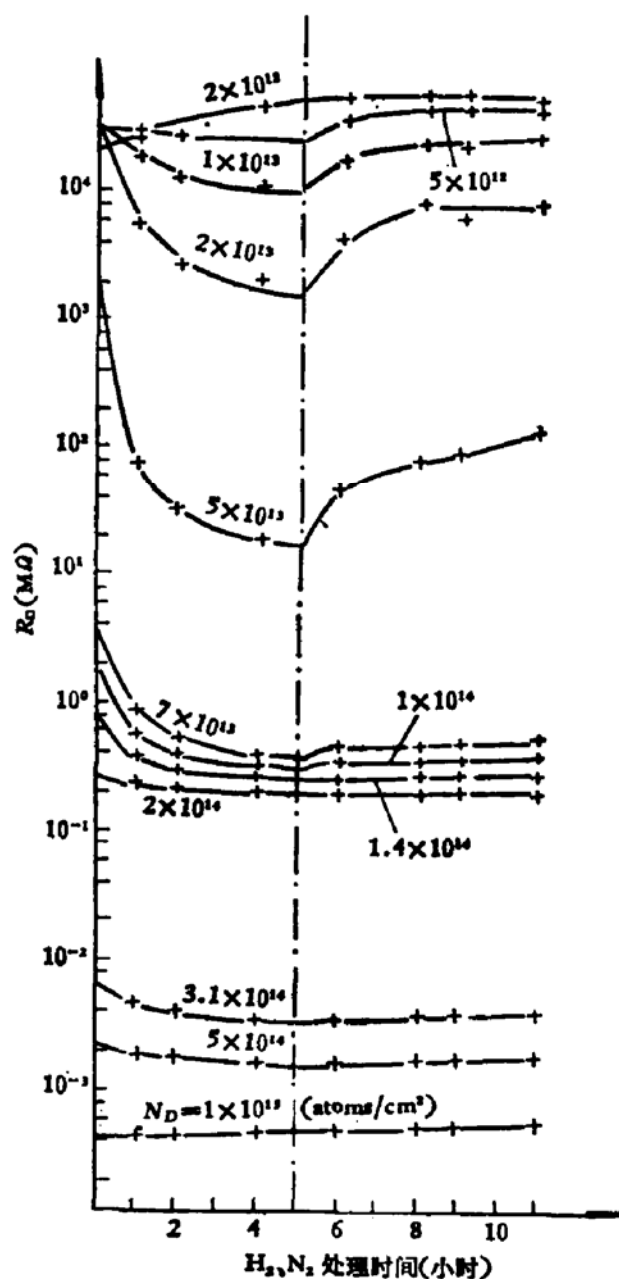


图4 常压 CVD 多晶硅不同注入剂量下, $R_{\square}$ 随 H_2 , N_2 处理时间变化的关系曲线, $t=0$ 时为 N_2 处理 1 小时的测量值
(图中点划线左侧为 H_2 处理时间, 右侧为接着进行 N_2 处理时间)

N_D 的变化曲线的实验结果, 低压 CVD 样品的结果和此类似. 掺杂杂质为 P^{31} . 曲线趋势和文献[1]中的实验曲线基本一致.

2. 多晶硅电阻和 H_2 处理时间的关系

测试结果见图 4, 曲线分两部分, 以点划线为界, 点划线左侧为 H_2 处理时间, 右侧为接着 H_2 处理之后进行 N_2 处理的时间, 此组曲线以注入剂量作参变量, 注入剂量范围从 $2 \times 10^{12}/\text{cm}^2$ 至 $1 \times 10^{15}/\text{cm}^2$. 从曲线中可以看到如下特点: (a) 在小注入剂量区域, 多晶

硅电阻随 H_2 处理时间的增长逐步上升。(b) 和 $R_{\square}-N_D$ 曲线陡直区域相呼应的注入剂量范围, H_2 处理使多晶硅电阻有大幅度的下降, 并且在 $R_{\square}-N_D$ 曲线越陡的地方, 电阻下降的幅度越大. 随着 H_2 处理时间的增长, 阻值的下降, 逐渐平缓. (c) 在注入剂量为 $1 \times 10^{14}/\text{cm}^2$ 前后, 几条曲线经 H_2 处理后趋于接近, 这就导致在 $1 \times 10^{14}/\text{cm}^2$ 附近 $R_{\square}-N_D$ 曲线上斜率趋于平缓, 图 3 中以“▲”标记的曲线为经 H_2 处理 5 小时的实验结果. 注入剂量达到和超过 $1 \times 10^{15}/\text{cm}^2$ 时, H_2 处理基本没有什么作用.

3. 多晶硅电阻值和 N_2 处理时间和温度的关系

(a) 图 4 中点划线右侧部分是 N_2 处理时间对多晶硅电阻值的影响. N_2 处理的结果

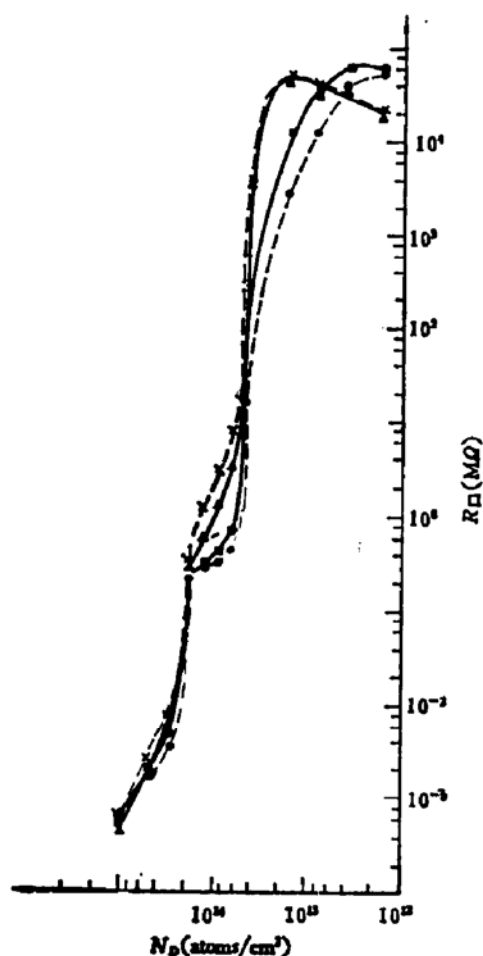


图 5 常压 CVD 多晶硅经 H_2 处理 5 小时后, 在 465°C 下 N_2 处理 6 小时和 1000°C 高温下 N_2 处理 1.5 小时, $R_{\square}-N_D$ 曲线的变化

(RC 组样品, 常压 CVD 多晶硅, 无 Al 电极)

+ 通 N_2 , 465°C 合金 1 小时

● 通 H_2 , 465°C 处理 5 小时

■ 通 N_2 , 465°C 处理 6 小时

▲ 通 N_2 , 1000°C 处理 1.5 小时)

使经 H_2 处理后的多晶硅电阻产生幅度不等的回升, 回升的幅度比下降的幅度小得多. 并且在开始上升一个幅度后, 变化就非常缓慢, 这说明虽然经 465°C 的温度长时间处理, 多晶硅电阻值仍有一定的稳定性, 同时也说明经 H_2 处理后造成的多晶硅电阻的变化, 不会因 465°C 温度下的 N_2 处理而全部消失, 此性质可利用来作为一定范围内调整多晶硅电阻值的工艺手段.

(b) 当 N_2 处理温度升高, (在本实验中采用 1000°C 的高温, 处理 1.5 小时) N_2 处理对电阻值的恢复作用大大增强, 图 5 中画出了四条曲线, 第一条为 N_2 合金 1 小时后的测量数据, (“+”号标记) 第二条为 5 小时 H_2 处理后的测量数据, (“·”号标记) 第三条为经 465°C 温度下 6 小时 N_2 处理后的测量数据, (“■”号标记) 表现为对 H_2 处理作用的部分恢复, 第四条是在 1000°C 高温下, 经 N_2 处理 1.5 小时的实测数据, (“▲”标记) 结果, 基本上消除了 H_2 处理的作用, 恢复到 N_2 合金后测试的值.

三、实验结果的初步讨论

从我们的实验结果看 H_2 处理对多晶硅导电特性有不可忽视的影响. 目前, 对多晶

硅导电机理的探讨, 采用较多的是势垒模型^[2]. 势垒模型认为, 在晶粒界面上存在载流子陷阱, 陷阱因捕获载流子而带电, 从而在晶粒界面处形成势垒, 阻碍载流子从一个晶粒向另一个晶粒的运动, 从而影响了多晶硅的导电性能. 我们认为形成多晶硅晶界陷阱的一

种可能原因是在晶界上存在 Si 的悬键,这种悬键在 H_2 气氛下加热,可以与 H 键合,形成

类如 SiH 键^[3], (如 $Si^* + H \xrightarrow{\text{加热}} SiH$) 这样 H 就饱和了晶粒界面上部分不完整价键,从而减小了陷阱密度,使势垒高度下降,电导增加。这个设想是与 H_2 处理能使 Si-SiO₂ 界面态大幅度下降的事实相符合的。

下面从 H_2 处理前后伏安特性和温度特性的变化,说明 H_2 的影响和势垒模型是一致的。

图 6 是多晶硅电阻经 H_2 处理前后伏安特性的测试结果。由图可见 H_2 处理后多晶硅电阻伏安特性的斜率变大了。

伏安特性可用下式表示:

$$J = A^* T^2 e^{-\frac{E_B}{kT}} (e^{\frac{qV}{nkT}} - 1). \quad (1)$$

其中, A^* : 有效理查逊常数, T : 绝对温度, E_B : 界面势垒高度, k : 玻尔兹曼常数, q : 电子电荷, n : 多晶硅电阻区串接的晶粒数, $\frac{V}{n}$: 加在每一晶粒界面势垒上的电压。

如引入多晶硅电阻区的截面积 S , 则上式可改写为:

$$I = SA^* T^2 e^{-\frac{E_B}{kT}} (e^{\frac{qV}{nkT}} - 1). \quad (2)$$

当 $\frac{V}{n} \ll \frac{kT}{q}$ 时, 上式简化为:

$$I = \frac{qSA^* T}{nk} e^{-\frac{E_B}{kT}} \cdot V. \quad (3)$$

所以

$$\frac{dI}{dV} = \frac{qSA^* T}{nk} e^{-\frac{E_B}{kT}}. \quad (4)$$

即多晶硅电阻伏安特性的斜率随 E_B 的降低而增大, 在 Baccarani^[4] 等人的分析中 E_B 可表达为: $E_B = q^2 N_t^2 / 8\epsilon N_D$.

其中 N_t 为陷阱密度, ϵ 为多晶硅的介电常数, N_D 为掺杂浓度。

因此, 图 6 的实验结果, 说明 H_2 处理使势垒高度 E_B 下降, 也即使 N_t 下降, 这与我们所提出的 H_2 饱和悬键, 减少界面陷阱的假设是一致的。

由(4)式引入反映多晶硅电阻几何尺寸的常系数 K , 则可写成:

$$R_{\square} = K \frac{nk}{qSA^* T} e^{\frac{E_B}{kT}}, \quad (5)$$

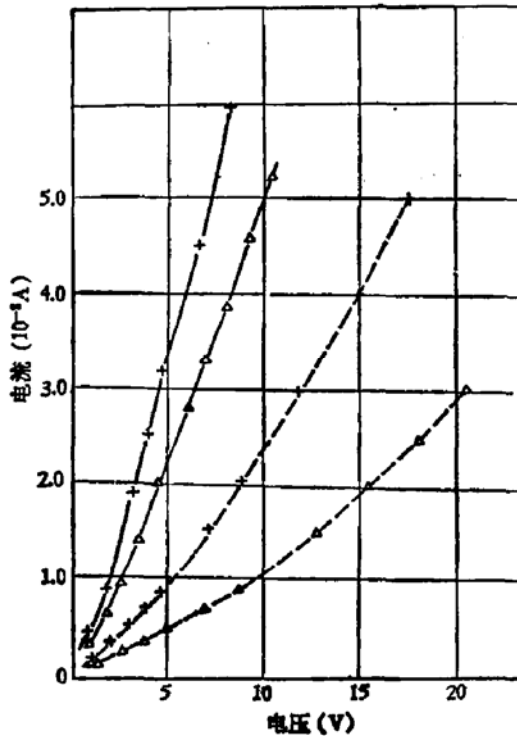


图 6 H_2 处理前后多晶硅电阻伏安特性的变化。虚线为未经 H_2 处理测得的伏安特性。实线为经 H_2 处理 1.5 小时后测得的伏安特性

(— N_2 合金后, 经 1.5 小时 H_2 处理
 $\cdots N_2$ 合金后, 未经 H_2 处理
 $+ R07(5-7)$ 样品
 $\triangle R07(6-7)$ 样品)

忽略指数项前的温度 T 的影响, 则可得到

$$\frac{d(\ln R_0)}{d(1/T)} = E_B/k. \quad (6)$$

即 $\ln R_0$ 与 $1/T$ 将成一直线, 由此直线的斜率可决定反映激活能的势垒高度 E_B .

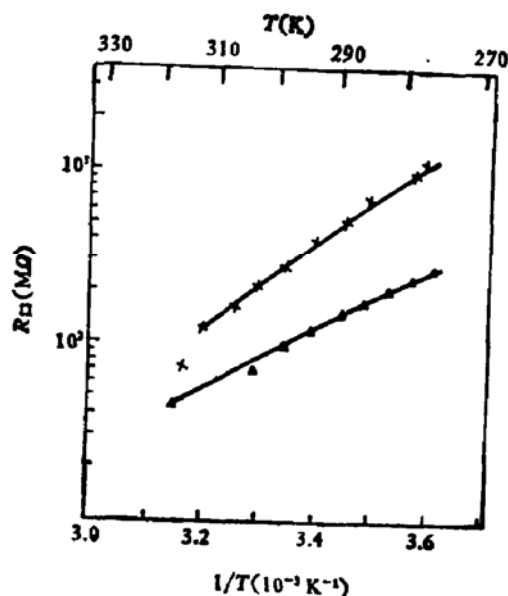


图7 H_2 处理前后, 多晶硅电阻温度特性的变化
(+ 未经 H_2 处理的测量结果
▲ 经 1.5 小时 H_2 处理后的测量结果)

图7 为我们对某一样品 H_2 处理前后 R_0 与温度关系的实测结果。

此结果再一次指出 H_2 处理使势垒下降:

H_2 处理前: $E_B = 0.49$ 电子伏

H_2 处理后: $E_B = 0.34$ 电子伏

N_2 气氛下经高温处理能对 H_2 处理后的多晶硅电阻具有恢复作用, 其原因可能为在高温下 H_2 从晶界中被释放出来, 从而使晶界的势垒有所恢复。 N_2 的作用是避免样品在高温下表面被氧化, 如能在真空系统对 H_2 处理后的样品进行高温处理, 预计能得到同样的结果。

四、结 论

本文研究了 H_2 、 N_2 气氛下热处理对 P^{31} 离子注入多晶硅电阻的影响, 取得了一些肯定结果。

1. 获得了多晶硅方块电阻 R_0 和注入剂量 N_D 的关系曲线, 发现此曲线和 H_2 、 N_2 处理过程有密切联系。

2. 在 R_0-N_D 曲线最陡的区间, H_2 气氛热处理对 R_0 的影响非常显著, 它使 R_0 下降达几个量级以上, 接着的 N_2 处理可使 R_0 有一定程度的恢复, 温度越高, 恢复作用越显著。

3. 多晶硅电导的势垒模型解释了所观察到的实验结果。我们认为 H_2 可以饱和晶粒界面的悬键, 使界面陷阱密度下降, 势垒降低, 从而使 $R_{\square}$ 下降。 H_2 处理前后伏安特性和 $R_{\square}$ 温度特性变化的实验结果支持了这一机理。

参 考 文 献

- [1] John, Y. W. Seto, *J. Appl. Phys.* **46**, 5247 (1975).
- [2] T. I. Kamins, *J. Appl. Phys.*, **42**, 4357 (1971).
- [3] A. G. Revesz, *J. Electrochem. Soc.*, **126**, 122 (1979).
- [4] G. Baccarani and B. Ricco, *J. Appl. Phys.* **49**, 5565 (1978).

Effect of Heat Treatment in H_2 and N_2 Atmosphere on the Resistance of Phosphorus Ion Implanted Polysilicon Layers

Dai Fugen, Zhang Jisheng, Li Weizhong and Lin Yuefeng

(Institute of Microelectronics, Tsinghua University)

Abstract

Polysilicon layers with a thickness of 6000 Å were deposited on SiO_2/Si structures through CVD method. By implanting phosphorus ions with different doses N_D and appropriate heat annealing, the polysilicon resistances with different sheet resistance values $R_{\square}$ were obtained. Experimental results are given on the relations between $R_{\square}$ and N_D . It is shown that those resistances $R_{\square}$ located at steep portions on the $R_{\square}-N_D$ curve are very sensitive to heat treatment in H_2 atmosphere. The H_2 heat treatment can reduce $R_{\square}$ by several orders of magnitude, while the N_2 treatment can recover it. All of the observed phenomena can be explained by the barrier model of electrical conductance in the polysilicon layer.