

高掺杂沟道 GaAs M-I(10^{20}Å)-S Schottky 势垒栅场效应晶体管 (MIS SB FET)

周 勉* 王 渭 源

(中国科学院上海冶金研究所)

1984年1月14日收到

本文首次报道了高掺杂沟道的 GaAs MIS SB FET。在 S. I. GaAs 衬底上用离子注入 Si, 同时形成高浓度、超薄的有源层和欧姆接触区, 载流子峰值浓度为 $0.5-1 \times 10^{18}\text{cm}^{-3}$ 。在 Al 栅和 GaAs 有源层间有一层用阳极氧化制备的自身氧化膜, 厚度 10^3Å 。MIS SB FET 为双栅器件, 栅尺寸 $2 \times 400\text{ }\mu\text{m}$ 。

实验所得 MIS SB FET 的夹断电压为 4V, 零栅偏跨导为 25mS, 高于本实验室相似结构常规工艺的 MES FET 器件(峰值浓度 $1-2 \times 10^{17}\text{cm}^{-3}$, 没有氧化膜)。

在二区间模型基础上, 计入薄氧化膜影响, 模拟计算了 MIS SB FET 的直流和微波特性, 并与常规工艺的 MES FET 作了比较。

一、引 言

GaAs MES FET 广泛应用于微波领域。器件方面的实验工作和理论模拟均表明, 减薄沟道厚度有利于降低噪声^[1,2], 提高掺杂水平能获得高的增益^[3,4]。此外, 栅-有源层间存在一高阻缓冲层及突变的有源层-衬底界面可以改善器件噪声性能^[5,6]。然而当沟道掺杂高到使半导体接近或进入简并 ($0.5-1 \times 10^{18}\text{cm}^{-3}$) 时, 器件的工作特性是文献中尚未探讨过的问题, 而且, 实现高掺杂 FET 要受到栅击穿电压的限制^[4]。

本文中, 我们应用二区间模型^[7], 考虑薄氧化层对器件的影响, 对 FET 的直流输出特性及小信号参数和微波参数进行了模拟计算。在此基础上, 结合我们曾经在金属-高掺杂 ($\sim 10^{18}\text{cm}^{-3}$) GaAs 接触中夹入薄氧化膜使反向漏电减小三个数量级的经验^[8], 制作了高掺杂沟道 GaAs M-I (10^3Å)-S SB FET。

二、器 件 模 拟

应用程兆年、王渭源^[9]给出的离子注入分布下的 FET 直流输出特性和小信号参数计算公式, 计入薄氧化膜的影响, 研究了不同掺杂水平及不同氧化层厚度对器件直流性能的影响。微波参数中的噪声系数采用 Fukui^[10] 总结的半经验公式计算, 微波增益则通过等

* 现址: 上海交通大学应用物理系。

效电路的网络方程求得。

1. 沟道参数的选取 以 $n(y)$ 表示有源层中载流子浓度分布, $v_{dep}(y)$ 是耗尽层深度为 y 时所对应的电压, 则有

$$v_{dep}(y) = \frac{q}{\epsilon_s} \int_0^y y n(y) dy \quad (1)$$

$$n(y) = \frac{D}{\sqrt{2\pi} \Delta R_p} e^{-\frac{(y-R_p)^2}{2\Delta R_p^2}} \quad (2)$$

式中, D 是注入剂量, R_p 和 ΔR_p 分别是 LSS 理论给出的投影射程和射程偏差^[11], 两者都是注入能量 E 的函数; q 是电子电荷; ϵ_s 是半导体介电常数。在实际器件中, 当载流子浓度降至 10^{15}cm^{-3} 以下, 该部分沟道对电流的贡献已极小, 故可取耗尽区推进到 $n = 5 \times 10^{14} \text{cm}^{-3}$ 时为沟道夹断。我们计算了一组具有不同离子注入能量和剂量, 但是器件有相同夹断电压的注入参数 (表 1), 这种情况反映了不同浓度分布但相同的器件工作条件下的比较, 具有实际意义。夹断电压 V_p 取为 3.8V (外加偏压 3V, 内建电势 0.8V)。

2. 有效平坦分布 高斯掺杂分布的 FET 特性, 因未知数位于积分限上^[9], 计算时需进行迭代循环, 占用机器时间较长。按 Shur 和 Eastman^[12], 对于高斯掺杂分布, 可以用平均浓度 $\bar{N}$ 和平均厚度 $\bar{A}$ 将其化为平坦分布。计算了等夹断电压下不同掺杂分布对应的 $\bar{N}$ 和 $\bar{A}$, 结果也列在表 1 中。

表 1 等夹断电压 (3.8V) 下离子注入参数*

注入能量 E (keV)	注入剂量 D (cm^{-2})	峰值浓度 n (cm^{-3})	夹断时耗尽区 宽度 $w(\mu\text{m})$	平均浓度 $\bar{N}$ (cm^{-3})	平均厚度 $\bar{A}$ (μm)
30	9.85×10^{12}	2.30×10^{18}	0.096	1.83×10^{18}	0.054
40	7.55×10^{12}	1.41×10^{18}	0.119	1.08×10^{18}	0.070
50	6.10×10^{12}	9.54×10^{17}	0.142	7.08×10^{17}	0.086
60	5.12×10^{12}	6.92×10^{17}	0.163	4.99×10^{17}	0.103
80	3.85×10^{12}	4.14×10^{17}	0.204	2.82×10^{17}	0.136
110	2.78×10^{12}	2.32×10^{17}	0.262	1.47×10^{17}	0.189

* 有效平坦分布近似。

3. 氧化薄膜对 MIS SB FET 的影响 这一影响应从两个方面考虑:

(a) MIS SB 中氧化层的存在, 对载流子的输运起了阻挡作用, 电子必须隧道穿过薄氧化层^[8]。因此在给定电流下, MIS 二极管上的偏压 V_{MIS} 必然大于 MS 二极管上的偏压 V_{MS} , 二者之差 $\Delta V = V_{\text{MIS}} - V_{\text{MS}}$ 就是降在氧化层上的电压 V_i 。于是可由实测的 MIS 和 MS 的反向 $I-V$ 曲线^[13], 得到 $V_i \sim V_{\text{MIS}}$ 关系, 可表示为

$$V_i = aV_{\text{MIS}} + b. \quad (3)$$

其中 a, b 为由实验决定的与电压无关的常数 (具体数值见表 2)。由此, 当 MIS SB FET 的外加栅压为 V_g 时, 实际对沟道耗尽区展宽起作用的有效栅压 V_g^* 为

$$V_g^* = (1 - a)V_g - b. \quad (4)$$

一组实验的不同氧化层厚度的 V_g^* 表式列于表 2。

(b) 计算 MIS SB FET 栅-源电容时, 要考虑与 SB 结耗尽电容 c_j 串联的氧化膜电

容 c_i , 已知

$$c_i = \frac{\epsilon_i}{d} ZL. \quad (5)$$

式中, ϵ_i 为氧化层介电常数, d 为氧化膜厚度, Z 和 L 分别为栅宽和栅长。因此, 有效栅源电容 c_{gs}^* 为

$$c_{gs}^* = \left[\frac{1}{c_i} + \frac{1}{c_j} \right]^{-1}. \quad (6)$$

4. 计算结果和分析 计算了单栅 FET 的直流和微波特性, 用 DJS-130 计算机。数值积分计算中将高斯掺杂分布分为 255 个小区间求和, 所用参数的数值见表 3, 其中 E_s 、 V_s 、 ϵ_i 和 ϕ_B 参考了文献 [7], 其他各参数参考了实际器件的尺寸和当前工艺参数。

首先计算了高斯掺杂分布的 MIS SB FET 直流输出特性, 没有氧化层时夹断电压为 3V 的器件, 夹入 70 Å 氧化膜以后, 夹断电压增大到 4.26 V。也用有效平坦分布计算了输出特性, 发现与上述数值计算结果有一定的偏差, 但只需在平坦分布计算值上乘一常数经验因子, 二者就有很一致的结果。以下关于小信号参数和噪声等的讨论均以校正的平坦分布为基础。

(a) 不同掺杂水平的影响 零栅压时有效跨导 g_m^* 和有效栅源电容 c_{gs}^* 与注入能量的关系示于图 1。正如预期的, g_m^* 和 c_{gs}^* 都随注入能量减小而增大。由 Fukui^[10] 的 g_m 经验式 $g_m = K_m Z \left(\frac{N}{AL} \right)^{1/3}$, 对于离子注入情况, 利用 [12] 中的公式可求得

表 2 不同氧化层厚度下的 V_{gs}^* 表式

$d(\text{\AA})$	$V_{gs}^*(V)$
50	$0.8333V_{gs} - 0.035^+$
70	$0.7143V_{gs} - 0.040$
100	$0.6410V_{gs} - 0.070$
120	$0.5741V_{gs} - 0.090^+$
150	$0.4211V_{gs} - 0.110$

⁺由实测 $V_{gs} \sim V_{MIS}$ 曲线内插得到

表 3 计算 FET 特性所用参数的数值

参 数	数 值
E_s	$2900 \text{ V} \cdot \text{cm}^{-1}$
V_s	$1.3 \times 10^7 \text{ cm} \cdot \text{s}^{-1}$
ϵ_i	$1.107 \times 10^{-12} \text{ f} \cdot \text{cm}^{-1}$
ϵ_j	$0.35 \times 10^{-12} \text{ f} \cdot \text{cm}^{-1}$
ϕ_B	0.8 V
L	$1.5 \mu\text{m}$
L_{D_s}	$10 \mu\text{m}$
R_s	10 Ω
R_d	22 Ω
R_g	50 Ω
Z	$500 \mu\text{m}$

$$g_m = K_m Z \left(\frac{q}{2\epsilon_s L V_p} \right)^{\frac{1}{2}} D. \quad (7)$$

式中, K_m 是拟合因子. 在等夹断电压下, $g_m \propto D$. 注入剂量增大, 要求注入能量减低(表 1), 因此浅注入有利于提高跨导. 但是薄的有源层和高的载流子浓度, c_{gt}^* 较大. 可见, 跨导和栅源电容对注入能量的要求存在一定矛盾. 此外, 由于串联 c_i 的作用, c_{gt}^* 比无氧化层时即耗尽层电容 c_i 减小了约 $\frac{1}{3}$. 双层结构有较好的微波性能, 原因之一是缓冲层减小了栅源电容^[6]. 在这点上氧化层的作用类似于缓冲层.

最佳最小噪声系数 F_0 随注入能量减小而单调上升(图 1), 这是因为 $F_0 \sim \left(\frac{c_{gt}^*}{\sqrt{g_m^*}} \right)$, 随着 E 减小, c_{gt}^* 增大的速率超过了 $\sqrt{g_m^*}$ 的增大. 由图 1, 最大可用功率增益 MAG 随 E 降低迅速增大. Fukui^[10] 也曾指出, 高的掺杂-厚度比 $\frac{N}{A}$ 具有产生高功率增益的潜力, 但与获得低的最小噪声相矛盾. 因此对于注入能量和剂量的选取应有综合考虑, 以期获得较大的增益和较低的噪声.

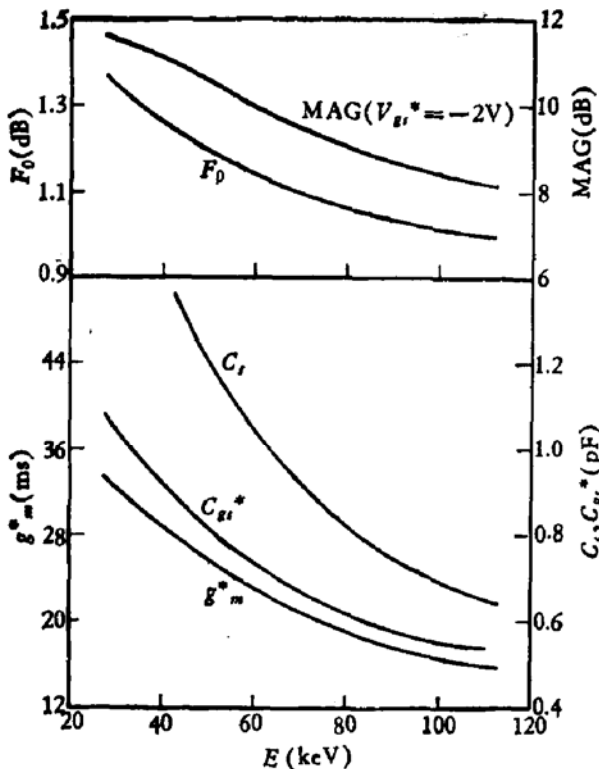


图 1 等夹断电压 ($V_p = 3.8V$) 下 GaAs MIS SB FET 零栅偏时跨导 g_m^* 、有效栅源电容 c_{gt}^* 、耗尽区电容 c_i 、最佳最小噪声系数 F_0 和最大可用功率增益 MAG 随注入能量 E 的变化 (计算的 MIS SB FET 的 I 层 $100\text{\AA}$, 其余参数参见表 3)

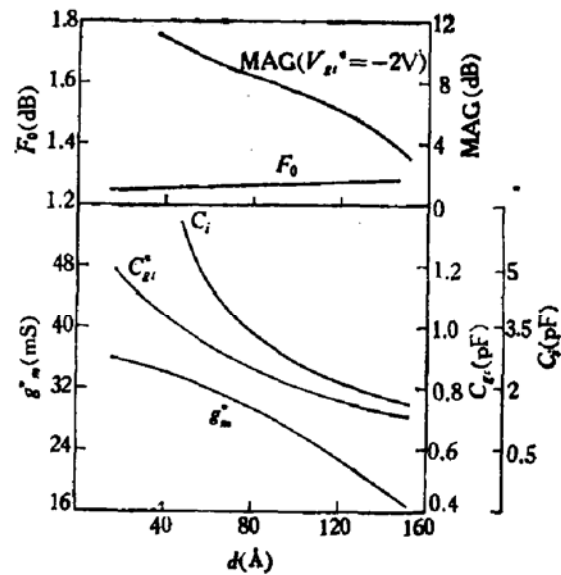


图 2 给定注入条件下 GaAs MIS SB FET 零栅偏时跨导 g_m^* 、有效栅源电容 c_{gt}^* 、耗尽区电容 c_i 、最佳最小噪声系数 F_0 和最大可用功率增益 MAG 随氧化层厚度 d 的变化

(注入条件 $E = 50\text{keV}$, $D = 6.1 \times 10^{12}\text{cm}^{-2}$, 其余参数参见表 3)

(b) 氧化膜厚度的影响 给定注入条件下, g_m^* 和 c_{gt}^* 均随氧化膜厚度减薄而增大(图 2), 图中未作出 $d = 0$ 的 g_m^* , 因为如果无氧化膜, 图中所示注入条件下的器件将不能工作. 考虑到这种情况, $d \sim$ 几十 $\text{\AA}$ 的器件将有最大的 g_m^* . Morkoc 等^[14] 也观察到氧

化膜由 1000 Å 变化到 50 Å , InP MES FET 的 g_m 增大了 10 倍. c_i^* 随 d 增厚而减小是由于 c_i 减小之故. 图 2 中给出 c_i 随 d 的变化.

噪声、增益与 d 的关系也示于图 2. 在 $50-150 \text{ Å}$ 范围内, 噪声基本维持不变, 而 MAG 随 d 减小很快升高. 考虑到器件不可能以 $d=0$ 工作, $d \sim$ 几十 Å 的器件将有最高的 MAG, 小的 F_0 . 当然 d 的选取要兼顾到 Schottky 势垒二极管的反向特性, d 太薄, 产生漏电从而使 FET 夹不断.

三、高掺杂沟道 GaAs 双栅 MIS SB FET

1. 器件制作 FET 为双栅结构, 两个独立的栅电极 G_1 和 G_2 位于漏和源之间, 改变 G_1 和 G_2 的偏置都可以实现对 FET 进行控制. 双栅器件栅长 $L_{g1} = L_{g2} = 2 \mu\text{m}$, 源漏间距 $L_{DS} = 9 \mu\text{m}$, 栅宽 $400 \mu\text{m}^*$.

实验所用样品为掺 Cr 半绝缘 GaAs 单晶, $R_{\square} > 10^8 \Omega/\square$, 晶向 $\langle 100 \rangle$, 表面抛光后用 $\text{H}_2\text{SO}_4:\text{H}_2\text{O}_2:\text{H}_2\text{O} = 3:1:1$, 45°C 腐蚀 5min 以去除机械抛光损伤层, 然后进行 $^{28}\text{Si}^+$ 注入, 注入时衬底偏离 $\langle 100 \rangle$ 约 7° . 注入能量 E 和剂量 D 分为两组: A 组 $E = 50 \text{ keV}$, $D = 8 \times 10^{12} \text{ cm}^{-2}$; B 组 $E = 80 \text{ keV}$, $D = 6 \times 10^{12} \text{ cm}^{-2}$. 退火采用无包封法, 在加 As 压、 H_2 气氛中进行, 温度 $700-800^\circ\text{C}$, 时间 30min. 用电化学逐层腐蚀 $C-V$ 法测定载流子浓度分布. 以不含水的酒石酸-乙二醇溶液阳极氧化制备 GaAs 薄氧化膜^[13], $\text{H}_3\text{PO}_4:\text{H}_2\text{O}_2:\text{H}_2\text{O}$ 体系溶液腐蚀台面. 漏源欧姆接触用 Au-Ge-Ni 合金, 合金化温度 440°C , 时间 1min. 栅用 Al, 尺寸 $2 \times 400 \mu\text{m}$.

FET 管芯直流测量在 QT2 晶体管特性图示仪上进行, 电容由 CC-6 型小电容测量仪测量.

2. 结果和讨论

(a) 离子注入及退火 $700-800^\circ\text{C}$ 退火后载流子浓度分布示于图 3. 由图可看出, 800°C 退火后的激活率高于 700°C . 根据 LSS 理论, 离子注入能量越低, 载流子浓度分布下降的速率越快, 因此浅注入比深注入当有更好的界面分布. 这种陡峭的界面分布对于降低噪声是有益的^[1,5].

(b) 阳极氧化膜 一般认为 GaAs 自身氧化膜化学稳定性不太好. 但我们的超薄阳极氧化膜, 经历光刻、合金化以及反复清洗, MIS SB 仍显示出很好的结特性, 说明氧化膜比较稳定.

(c) FET 性能 MIS SB FET 直流输出特性及 MIS SB 二极管特性见图 4 (其间的氧化膜为 70 Å). MIS SB 的反向击穿电压约为 $4-5 \text{ V}$, 正向导通电压为 0.8 V , 其工作特性仍是典型的 Schottky 势垒结.

由直流输出特性, 得器件零栅偏饱和电流 $I_{DSS} = 90 \text{ mA}$, 跨导 $g_m = 25 \text{ mS}$, 而本实验室内常规双栅 MES FET (尺寸相似, 但沟道峰值浓度 $n = 1-2 \times 10^{17} \text{ cm}^{-3}$, 没有薄

* 实际器件的尺寸与上节计算中所取的数值(表 3)不同, 但图 1 和图 2 的结果和有关结论当不致有所影响.

氧化层) 零栅偏跨导约为 $15\text{mS}^{[15]}$, 显然高掺杂 FET 有更高的跨导。器件夹断电压为

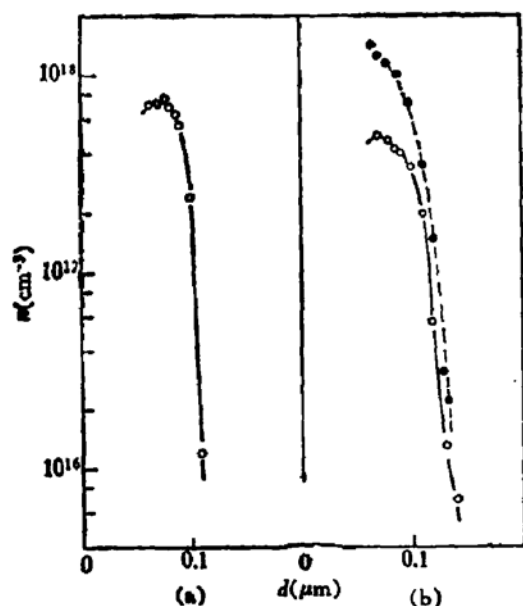


图3 GaAs 中 Si^+ 注入后载流子浓度分布
(a) $E = 50\text{keV}$, $D = 8 \times 10^{12}\text{cm}^{-2}$, 700°C 退火
(b) $E = 80\text{keV}$, $D = 6 \times 10^{12}\text{cm}^{-2}$, — 700°C 退火
----- 800°C 退火

4.3V。应用上节校正的有效平坦分布方法计算了单栅 MIS SB FET 直流输出特性(图4中虚线),取离子注入激活率60%, $R_s = 8\Omega$, $L = 2\mu\text{m}$, $Z = 400\mu\text{m}$, $d = 70\text{\AA}$, 其余参数同表3。理论计算结果与实测的输出特性相当接近(双栅 FET 当其第二栅悬置时,可以近似简化为单栅 FET 工作)。

实测 FET 零栅偏时有效栅源电容 $c_{gs}^* = 0.6\text{pF}$, 与理论计算值也十分接近,看来氧化层串联电容使高掺杂沟道的栅源电容降低了。

上面已提到高掺杂沟道 GaAs MIS SB FET 的一些特点。此外,常规 MES FET 除第一次离子注入形成有源沟道后,还需在漏、源处进行第二次大剂量注入以减小欧姆接触电阻。使用高掺杂沟道,可以一次注入同时形成有源沟道和欧姆接触区,减少了一次注

入工艺。当有源层用高剂量注入,注入时扫描次数必须增加,估计杂质在材料表面上的分布会更均匀,这对 GaAs 集成电路是有重要意义的。

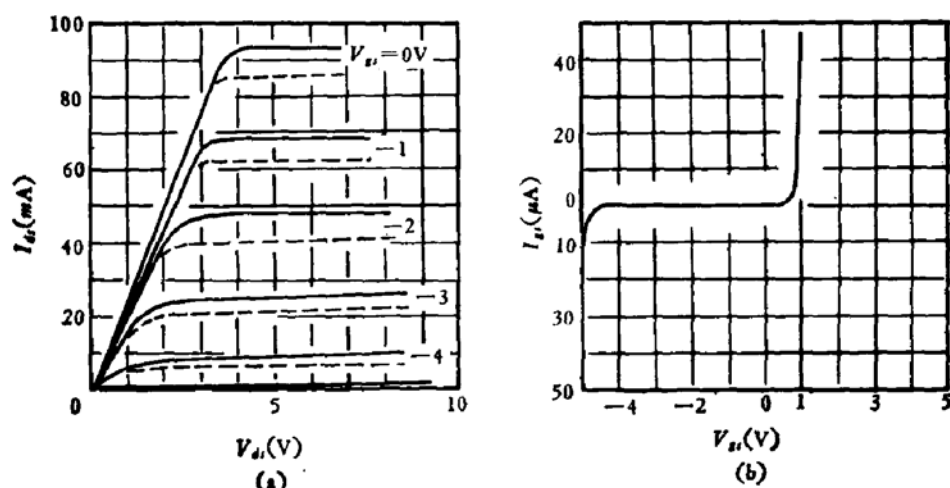


图4 高掺杂沟道 GaAs 双栅 MIS SB FET 直流输出特性 (a) 和二极管特性 (b), Γ 层为 $70\text{\AA}$ (注入及退火条件 $E = 80\text{keV}$, $D = 8 \times 10^{12}\text{cm}^{-2}$, 700°C 退火。图 a 中, V_{gs} 悬置,实线是实验结果,虚线是理论计算,详见正文)

四、结 论

在高浓度 GaAs 上实现了 MIS SB FET。采用低能量、大剂量单重离子注入同时形

成高浓度、超薄的有源层和漏源欧姆接触区,载流子峰值浓度为 $0.5-1 \times 10^{18} \text{ cm}^{-3}$ 。制作 Al 栅前,用阳极氧化方法在 GaAs 上生长 $\lesssim 100 \text{ \AA}$ 自身氧化膜。制得的 MIS SB FET 有良好的夹断特性,夹断电压 $\sim 4.3 \text{ V}$,跨导 65 mS/mm ,高于本实验室相同结构常规 MES FET 器件(峰值浓度 $1-2 \times 10^{17} \text{ cm}^{-3}$,没有氧化膜)的跨导。M-S SB 间引入的薄氧化膜不仅改善了 Schottky 结的反向击穿性能,而且使有效栅源电容减小了 $\frac{1}{3}$ 。

在二区间模型基础上,采用有效栅压和有效栅源电容的概念计入薄氧化膜的影响,计算了直流和小信号参数,其中直流输出特性和栅源电容与实验结果相当一致,证明沟道浓度进入简并的 FET,工作特性仍可用二区间模型近似。模型结果表明,器件在微波频段的增益高于常规的 MES FET,而噪声则维持在原有水平上。

由于使用单重离子注入同时形成沟道和欧姆接触区,减少了一次注入工艺。使用高浓度有源层,使器件参数较少受到高阻衬底的影响,均匀性得到改进,可能对 GaAs 集成电路有重要意义。

本文得到本所场效应器件组、程兆年和朱文玉同志的帮助,电子工业部 25 所离子注入组协助进行了 Si 离子注入,在此一并致谢。

参 考 文 献

- [1] R. A. Pucel, D. J. Massé and C. F. Krumm: *IEEE Trans.*, SC-11, 243 (1976).
- [2] W. Baechtold: *IEEE Trans.*, ED-19, 674 (1972).
- [3] P. Wolf: *IBM J. Res. Develop.*, 14, 125 (1970).
- [4] F. Hasegawa: *GaAs FET Principles and Technology* (Artech House Inc. 1982) 177.
- [5] T. Suzyki, A. Nara, M. Nakatani and T. Ishii: *IEEE Trans.*, MTT-27, 1070 (1979).
- [6] A. Nagashima, S. Umebachi and G. Kano: *IEEE Trans.*, ED-25, 537 (1978).
- [7] R. A. Pucel, H. A. Haus and H. Statz: *Adv. in Electronic and Electron Phys.*, 38, 195 (1975).
- [8] 周勉,王渭源: 将发表于物理学报。
- [9] 程兆年,王渭源: 1981 GaAs 及有关化合物会议论文集, 302.
- [10] H. Fukui: *IEEE Trans.*, ED-26, 1032 (1979).
- [11] J. Lindhard, M. Scharff and H. Schiøtt: *Mat. Fys. Medd. Dan. Vid. Selsk.*, 33 (14), (1963).
- [12] M. S. Shur and L. F. Eastman: *IEEE Trans.*, ED-27, 455 (1980).
- [13] 周勉,王渭源: 研究生论文(未发表)。
- [14] H. Morkoc, T. J. Drummond and C. M. Stanchak: *IEEE Trans.*, ED-28, 1 (1981).
- [15] 王渭源,卢建国,乔 塘,周永泉,夏冠群,邵永富,杨新民,陈自姚,罗潮涓,詹千宝,王文琪: *应用科学学报*, 1, 361 (1983).

GaAs Metal-Thin Insulator-Semiconductor Schottky Barrier FET with High-Doped Channel

Zhou Mian* and Wang Weiyuan

(Shanghai Institute of Metallurgy, Academia Sinica)

Abstract

GaAs M-I (10^3 Å)-S Schottky barrier FET (MIS SB FET) with high doped channel is presented for the first time. Using Si implantation into GaAs S. I. substrate, a very thin and high-doped layer with a peak carrier concentration of $0.5-1 \times 10^{18} \text{ cm}^{-3}$ and a thickness less than $0.1 \mu\text{m}$ is formed for FET channel as well as for source/drain layer. between Al gate and GaAs active layer, there is an anodized native oxide layer with a thickness less than 10^3 Å. The GaAs MIS SB FET of dual-gate structure with a gate length of $2 \mu\text{m}$ and a width of $400 \mu\text{m}$ is fabricated.

The pinch-off voltage of obtained FETs is about 4 V. The determined transconductance at zero gate bias is 25 mS, higher than normally-made MES FETs with a similar structure in this laboratory.

On the basis of two-region model and the effect of thin insulating layer, the GaAs MIS SB FETs DC and microwave characteristics are computed and compared with normallymade MESFETs.

* Present address: Department of Applied Physics, Shanghai Jiaotong University