

微波凹槽栅结构 GaAs FET's 的 有限元二维数值分析

汪正孝

(中国科学院半导体研究所)

1983年11月22日收到

本文采用有限元二维数值分析方法揭示了微波凹槽栅结构 GaAs FET's 在工作状态下的内部物理图象,如载流子浓度分布、电位分布、电场分布以及速度分布等,并由此计算了一些重要的器件参数与凹槽深度的关系。以此为基础,本文分析并讨论了一些有关的器件物理问题,如:器件内部的电偶极层的状况、有效栅长的概念,凹槽栅结构之所以在微波功率器件及低噪声器件二个方面的性能均优于平面栅结构的原因。

一、引言

近十年来,微波砷化镓场效应器件(GaAs FET's)的发展极为迅速。器件性能也有了极大的改善和提高。究其原因,除了材料质量和工艺技术的改进外,器件结构的改进也是一个很重要的方面。近几年来,凹槽栅结构(recessed gate)的 GaAs FET's 受到了人们极大的重视并得到广泛的应用。由于这种结构的 GaAs FET's 在微波功率及微波低噪声二个领域内的性能全面超过了原来的平面栅结构,因此目前所有高性能的微波功率及低噪声 GaAs FET's 几乎都采用凹槽栅结构。目前虽然已发表了不少有关凹槽栅结构的 GaAs FET's 的实验结果^[1-5],但至今缺乏器件物理方面的全面阐述。一些作者^[6-7]已试图用有限差分法来研究凹槽栅结构 GaAs FET's 的内部器件物理过程。但由于有限差分法只适宜于处理规则的矩形边界的问题,故有限差分法的凹槽栅 GaAs FET's 的模型如图 1(a)所示^[7],即凹槽形状是一个规则的矩形。这显然与通过 SEM(扫描电镜)的观察^[4-5]所得出的凹槽形状,即如图 1(b)所示的类似于一段圆弧的曲线,有较大的差距。为了较好地反映这部分近似圆弧的凹槽形状,最适宜的分析方法是有限元法^[8-10]。本文试图用作者编制的适用于 GaAs FET's 的有限元二维瞬态数值分析程序^[11]对这个问题作一个探讨,重点是通过平面栅和凹槽栅二种结构在内部器件物理图象上的差异来分析后者的器件性能优于前者的原因。

二、凹槽栅结构 GaAs FET's 有限元二维数值分析的一些结果

1. 凹槽栅结构 GaAs FET's 的模型

本文的有限元法采用的凹槽栅结构 GaAs FET's 的模型如图 1(c)所示。在该模型

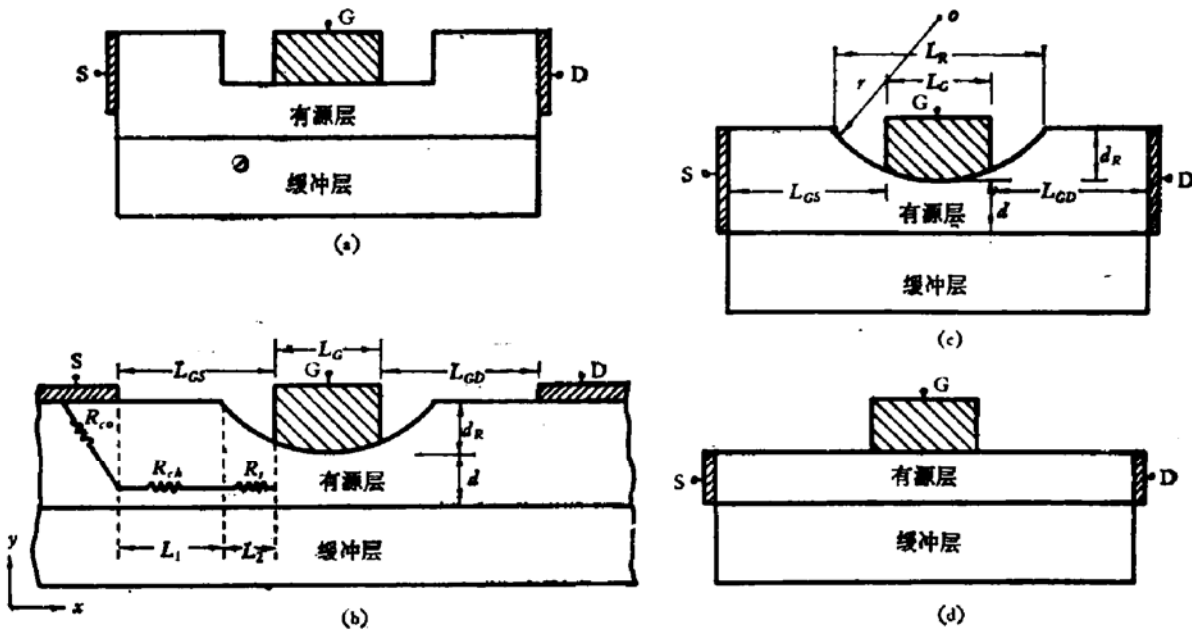


图1 凹槽栅和平面栅 GaAs FET's 的模型

(a) 有限差分法中采用的凹槽栅结构 GaAs FET's 的模型^[7]. (b) 通过 SEM 照片得到的实际凹槽栅结构 GaAs FET's 的状况^[4-5]. (c) 本文的有限元法中采用的凹槽栅结构 GaAs FET's 的模型. (d) 平面栅结构 GaAs FET's 的模型

中, 假定凹槽形状是一段以 O 点为圆心, r 为半径的圆弧. 这种假定的凹槽形状与图 1(b) 所示的实际凹槽形状比较接近. 半径 r 与凹槽宽度 L_R 及凹槽深度 d_R 的关系是:

$$r = (4d_R^2 + L_R^2)/8d_R. \quad (1)$$

图 1(c) 中 L_G 表示栅长, L_{GS} 表示栅源间距, L_{GD} 表示栅漏间距, d 表示凹槽底部的有源层厚度. 在本文的分析中, $L_G = 0.5 \mu\text{m}$, $L_{GS} = L_{GD} = 1 \mu\text{m}$. 这样, 总的漏源间距 $L_{DS} = L_{GS} + L_G + L_{GD} = 2.5 \mu\text{m}$. 这个值比实际的 L_{DS} 要小一些. 这样做主要是考虑到距栅较远的区域为低场区, 对分析结果影响不大^[6]. 有源层厚度 $d = 0.2 \mu\text{m}$, 有源层掺杂浓度 $N_D = 1 \times 10^{17} \text{cm}^{-3}$. 为了比较不同的凹槽深度 d_R 对器件性能的影响, d_R 取四个值: 0, 0.04, 0.08, 0.12 μm . 平面栅结构被认为是凹槽栅结构的一个特例, 即 $d_R = 0$ (见图 1(d)). 源、漏接触假定位于垂直方向^[7,13], 这主要是为了减少分析中所需的网格点的数目. 文献[7]指出, 在 L_{GS} 和 L_{GD} 不是很小的情况下, 依据上述假定得出的分析结果不会与实际情况有大的偏离.

在本文的有限元法分析中, 采用三角形的元素划分^[12]和线性形状函数. 网格点总数为 300—400 个, 元素总数为 500—600 个, 在栅极附近的高电场区域内网格点取得比较密, 其余的低电场区域的网格点取得比较稀. 最小网格间距为 0.012 μm , 最大网格间距为 0.05 μm . 迭代初值为平衡态的值. 系数矩阵带宽 13—17. 计算一条 V_{GS} 为固定值的 $I_{DS} \sim V_{DS}$ 曲线 (V_{DS} 从零增加到 2—4V) 约需 1—3 小时 (假定平均计算速度为一百万次/秒). 有关数值计算部分请参阅[11].

2. 典型偏压下的电位及相对电子浓度的分布和稳态伏安特性

图 2 和图 3 分别示出了平面栅结构 ($d_R = 0$) 及凹槽栅结构 ($d_R = 0.08 \mu\text{m}$) 的 GaAs

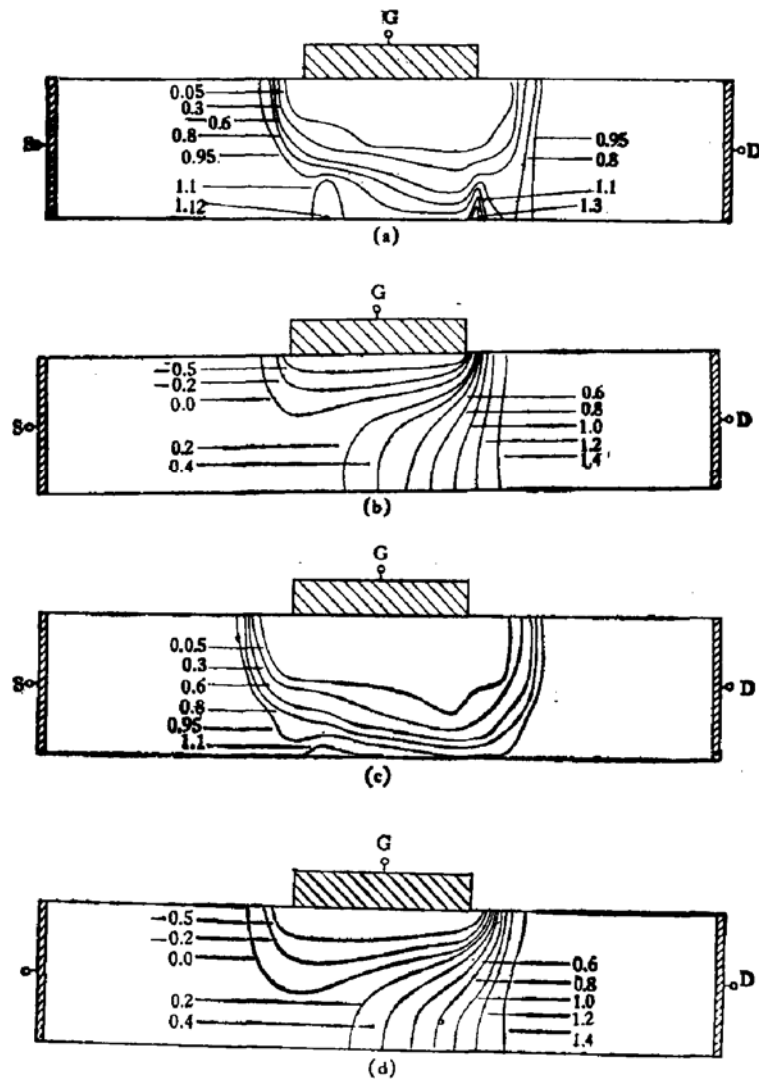


图2 平面栅结构 ($d_R = 0$) 的 GaAs FET's 的 n/N_D 和 ϕ 的分布

- (a) 在 $V_{DS} = 1.5V$ 和 $V_{GS} = 0V$ 下的 n/N_D 的分布(图上所标数字为 n/N_D 的值).
 (b) 在 $V_{DS} = 1.5V$ 和 $V_{GS} = 0V$ 下的 ϕ 的分布(图上所标数字为 ϕ 的值).
 (c) 在 $V_{DS} = 1.5V$ 和 $V_{GS} = -0.5V$ 下的 n/N_D 的分布.
 (d) 在 $V_{DS} = 1.5V$ 和 $V_{GS} = -0.5V$ 下的 ϕ 的分布

FET's 在典型偏压下的相对电子浓度 n/N_D 及电位 ϕ 的分布.

图4示出了各种凹槽栅结构 GaAs FET's 在 $V_{GS} = 0$ 下的稳态 $I_{DS} \sim V_{DS}$ 特性.

3. 一些器件参数与凹槽深度 d_R 的关系

通过二维分析可得出在某一工作点下的下述小讯号参数: 栅源电容 C_{GS} , 栅漏电容 C_{GD} , 本征跨导 g'_m , 输出电导 g_d , 特征频率 f_T 等^[11]. 跨导 g_m 的计算公式是:

$$g_m = g'_m / (1 + R_s \cdot Z \cdot g'_m). \quad (2)$$

(2) 式中, Z 为栅宽, R_s 为源串联电阻. 关于 R_s 的计算参照了 [4], [14] 提出的方法. 由图 1(b) 可见:

$$R_s = R_{co} + R_{ch} + R_{fs}. \quad (3)$$

其中, R_{co} 为源接触电阻, R_{ch} 为均匀沟道区的电阻, R_{fs} 为过渡沟道区的电阻. 它们的

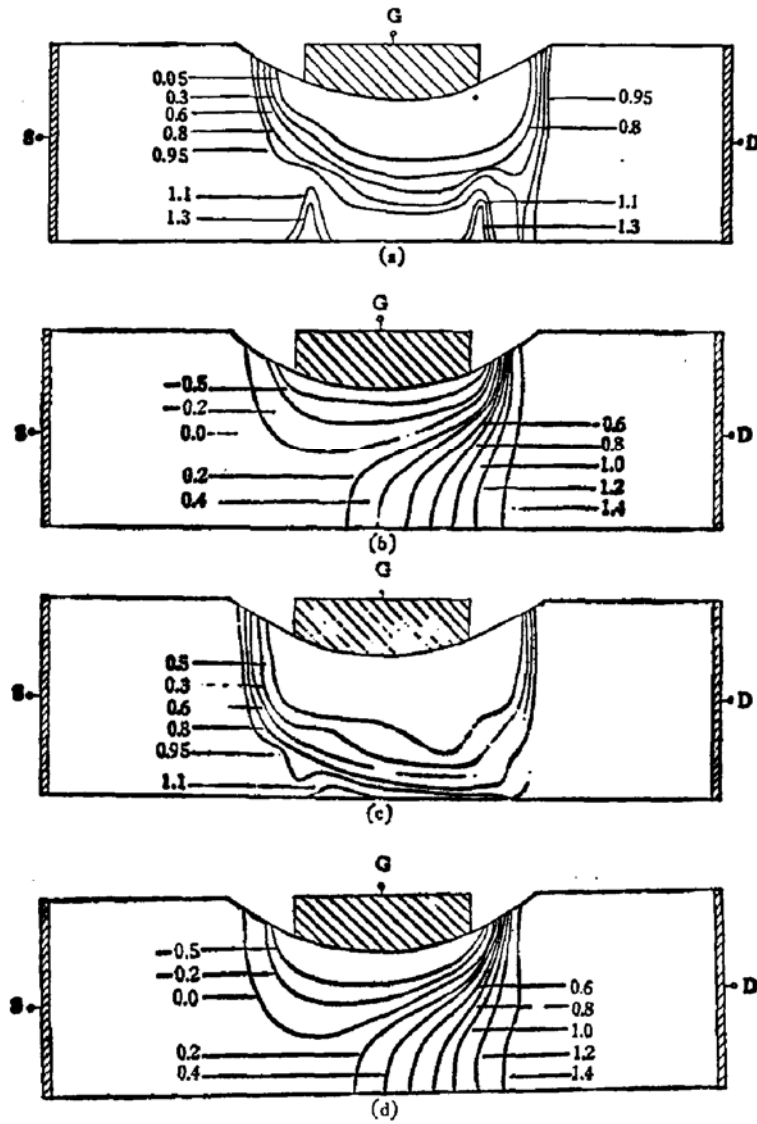


图3 凹槽栅结构 ($d_R = 0.08\mu\text{m}$) 的 GaAs FET's 的 n/N_D 和 ϕ 的分布

(a) 在 $V_{DS} = 1.5\text{V}$ 和 $V_{GS} = 0\text{V}$ 下的 n/N_D 的分布.

(b) 在 $V_{DS} = 1.5\text{V}$ 和 $V_{GS} = 0\text{V}$ 下的 ϕ 的分布.

(c) 在 $V_{DS} = 1.5\text{V}$ 和 $V_{GS} = -0.5\text{V}$ 下的 n/N_D 的分布.

(d) 在 $V_{DS} = 1.5\text{V}$ 和 $V_{GS} = -0.5\text{V}$ 下的 ϕ 的分布.

表达式分别为:

$$R_{co} = \frac{1}{Z} \sqrt{\frac{\rho_c}{q \cdot \mu_n \cdot N_D \cdot (d + d_R)}} \cdot \coth \sqrt{\frac{L_c^2}{\rho_c \cdot q \cdot \mu_n \cdot N_D \cdot (d + d_R)}} \quad (4)$$

$$R_{ch} = \frac{L_1}{q \cdot \mu_n \cdot N_D \cdot (d + d_R) \cdot Z} \quad (5)$$

$$R_t = \int_0^{L_2} \frac{dx}{q \cdot \mu_n \cdot N_D \cdot Z \cdot d(x)} \cong \frac{L_2}{q \cdot \mu_n \cdot N_D \cdot Z \cdot d_R}$$

$$\cdot \ln\left(\frac{(d + d_R)}{d}\right). \quad (6)$$

其中, ρ_c 为欧姆接触电阻率, 通常取为 $1 \times 10^{-6} \Omega \cdot \text{cm}^2$. 其它数据取为: $Z = 280 \mu\text{m}$, $L_1 + L_2 = L_{GS}$, $L_1 = 0.75 \mu\text{m}$, $L_2 = 0.25 \mu\text{m}$, $\mu_n = 5500 \text{cm}^2/\text{V} \cdot \text{s}$. (6) 式最后一项的导出是假定有源层厚度 $d(x)$ 在 L_2 范围内的变化是线性的.

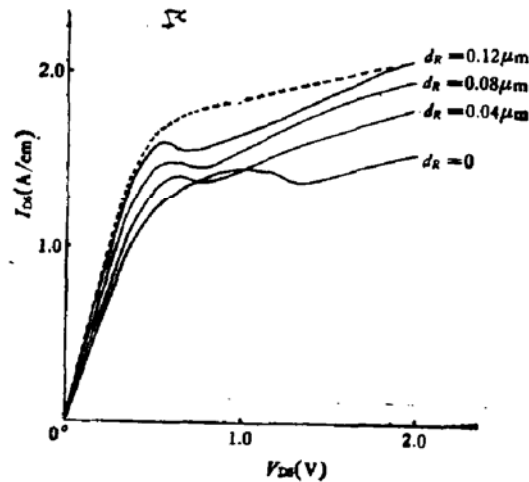


图4 各种凹槽栅结构的 GaAs FET's 在 $V_{GS} = 0\text{V}$ 下的稳态 $I_{DS} \sim V_{DS}$ 特性
(虚线表示 $d_R = 0.12 \mu\text{m}$ 的实际 $I_{DS} \sim V_{DS}$ 曲线)

根据(4—6)式计算得到的 $d_R = 0, 0.04, 0.08, 0.12 \mu\text{m}$ 下的 R_{co} , R_{ch} , R_i 及 R_t 的值如表1所示.

表1 源串联电阻 R_t 及各个组成部分与凹槽深度 d_R 的关系

$d_R (\mu\text{m})$	$R_{co} (\Omega)$	$R_{ch} (\Omega)$	$R_i (\Omega)$	$R_t (\Omega)$
0	0.86	2.04	—	2.90
0.04	0.78	1.27	0.47	2.52
0.08	0.72	1.09	0.43	2.24
0.12	0.67	0.96	0.39	2.02

表2 一些重要的器件参数与凹槽深度 d_R 的关系

$d_R (\mu\text{m})$	$C_{GS} (\text{pf/cm})$	$C_{GD} (\text{pf/cm})$	$g'_m (\text{ms/cm})$	$g_m (\text{ms/cm})$	$g_d (\text{ms/cm})$	$I_{DSS} (\text{A/cm})$	$f_T (\text{GHz})$
0	4.45	0.53	940	873	115	1.56	31.2
0.04	4.60	0.81	1080	1004	173	1.81	34.8
0.08	4.72	0.95	1150	1073	210	1.95	36.2
0.12	4.81	1.04	1210	1132	248	2.09	37.5

表2示出了一些重要的器件参数与凹槽深度 d_R 的关系.

在表2中, I_{DSS} 是在 $V_{DS} = 2\text{V}$, $V_{GS} = 0\text{V}$ 下的 I_{DS} 值. 其余小讯号参数均为在 $V_{DS} = 1.5\text{V}$, $V_{GS} = -0.5\text{V}$ 下的值.

三、分析和讨论

1. 由图 2(a) 和图 3(a) 可看出, 在 $V_{GS} = 0V$ 的饱和区的工作范围内, 平面栅和凹槽栅结构的栅区的漏端各出现一个较明显的电偶极层, 而在栅区的源端则各出现一个不甚明显的电偶极层. 关于电偶极层是“明显的”或是“不明显的”可通过下面定义的两个参数 α 、 β 、 γ 来区分:

$$\alpha = n_{\max}/n_{\min}, \quad (7)$$

$$\beta = (n_{\max} - N_D)/N_D, \quad (8)$$

$$\gamma = (N_D - n_{\min})/N_D. \quad (9)$$

其中, $n_{\max}$ 、 $n_{\min}$ 分别是电偶极层内最大及最小的电子浓度值, α 是电子浓度的峰谷比, β 为最大的相对负电荷浓度, γ 为最大的相对正电荷浓度. 很明显, 如果 α 、 β 、 γ 三个值都比较大, 则可称为“较明显的”电偶极层. 如果只是 α 、 β 较大而 γ 近似为零, 则就只能称为“电子积累层”. 如果 α 、 γ 较大而 β 近似为零, 就只能称为“电子耗尽层”. 表 3 列出了二种结构在栅区的漏、源端的电偶极层的 α 、 β 、 γ 的值.

表 3 二种结构在栅区的漏、源端形成的电偶极层的参数 α 、 β 、 γ 的值

	在栅区的漏端			在栅区的源端		
	α	β	γ	α	β	γ
平面栅结构 ($d_R = 0$)	3.3—3.5	0.4—0.45	0.28—0.3	1.2—1.3	0.1—0.13	0.03—0.04
凹槽栅结构 ($d_R = 0.08\mu m$)	3.1—3.2	0.4—0.45	0.2—0.22	2.4—2.5	0.4—0.45	0.03—0.04

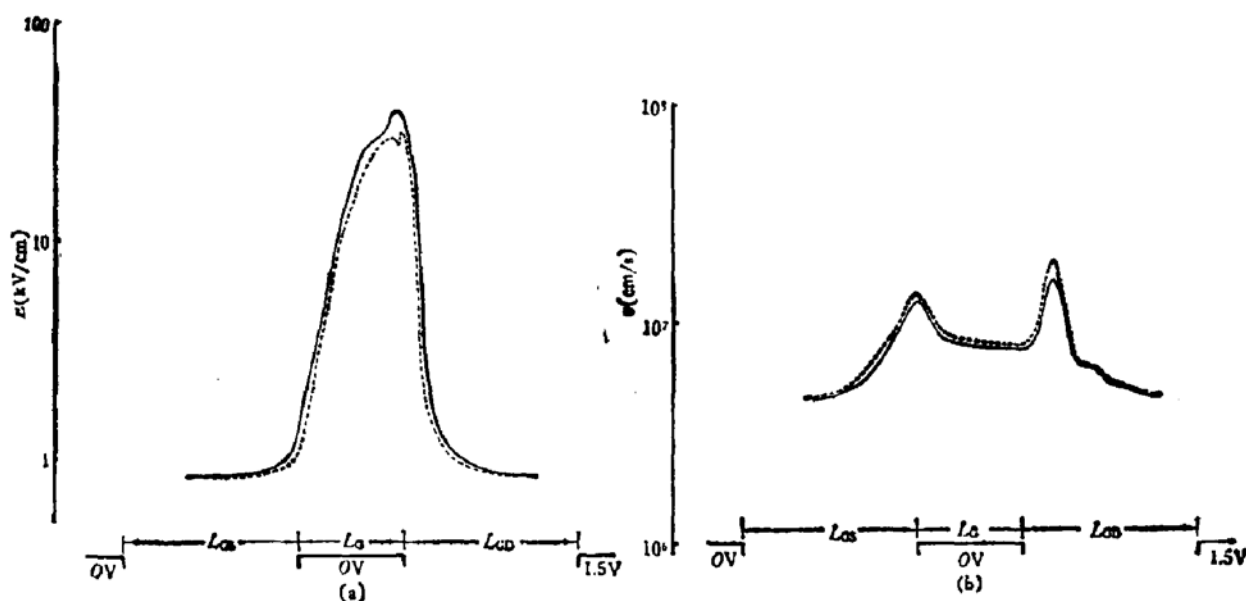


图 5 GaAs FET's 内部沟道区的电场和电子速度分布 ($V_{DS} = 1.5V$, $V_{GS} = 0V$)

(a) 电场 E_x 的分布(实线对应平面栅结构, 虚线对应 $d_R = 0.08\mu m$ 的凹槽栅结构) ($y = 0.02\mu m$)

(b) 电子速度 v_n 的分布(实线对应平面栅结构, 虚线对应 $d_R = 0.08\mu m$ 的凹槽栅结构) ($y = 0.02\mu m$)

图 5 示出了二种结构在沟道区的电场分布和电子速度分布。

2. 由图 2(c) 和图 3(c) 可见, 在 $V_{GS} = -0.5V$ 的饱和区工作范围内, 无论平面栅或凹槽栅结构内的电偶极层均基本消失。由图可见, 二种结构内部在沟道的底部, 即有源层与衬底或缓冲层相邻近的区域形成了一个载流子积累层。由此可见, 在 GaAs FET's 内部出现电偶极层 (即静止 Gunn 畴) 的现象只是在 $V_{GS} \cong 0V$ 的饱和区工作范围内才比较明显。当栅极加上一定的负偏压 ($V_{GS} \leq -0.5V$) 后, 上述电偶极层便基本上消失了。通常在低噪声放大或功率放大的应用中, GaAs FET's 的工作点不可能选在 $V_{GS} = 0V$, 而是选在栅极加一定的负偏压的情况下^[15]。因此, 如果把 GaAs FET's 内部出现电偶极层的状况作为一种普遍规律以及器件设计的基本出发点^[16], 显然是不够合理的。

3. 由图 4 所示的各种凹槽栅结构的稳态 $I_{DS} \sim V_{DS}$ 特性可见, 随着 d_R 的增加, I_{DSS} 也随之增大。还有一点值得注意的是, 图 4 所示的 $I_{DS} \sim V_{DS}$ 曲线上均有一段小的稳态负阻区。根据 [13] 的分析, 这种稳态负阻区的出现是与器件内电偶极层的形成直接相关的。在实际的 GaAs FET's 中, 由于缓冲层及高阻衬底并不是完全绝缘的, 因此就在漏、源端间形成一个并联电阻, 这个并联电阻往往将上述略去衬底效应的较理想的 $I_{DS} \sim V_{DS}$ 曲线上的稳态负阻抵消掉。由于这个缘故, 实际的 GaAs FET's 的 $V_{GS} = 0V$ 下的 $I_{DS} \sim V_{DS}$ 曲线往往没有一段稳态负阻区 (见图 4)。

4. H. Fukui 在 [5]、[14]、[17] 中均提出了关于有效栅长 $(L_G)_{eff}$ 的概念。他的基本观点是: 1) 有效栅长 $(L_G)_{eff}$ 不同于几何栅长 L_G ; 2) $(L_G)_{eff}$ 可通过电学测量方法来确定; 3) 在凹槽栅结构中, $(L_G)_{eff} < L_G$ 。原因是在凹槽栅结构与栅金属相接触的沟道部分的截面形状不是一条直线而是一条曲线^[5]。H. Fukui 的上述关于 $(L_G)_{eff}$ 的解释并没有说清楚 $(L_G)_{eff}$ 的物理含意。本文试图以下述方式对这个问题作一个探讨。

特征频率 f_T 可表为:

$$f_T = \frac{g_m}{2\pi C_{GS}} = \frac{1}{2\pi\tau} \quad (10)$$

(10) 式中 τ 为载流子渡越栅区的平均时间。从表 2 可看出, 随着 d_R 的增加, g_m/C_{GS} 是增加的, 换言之, f_T 是增加的。从 (10) 式可见, d_R 的增加导致 τ 的下降。这一现象的物理原因可从图 5 看得很清楚, 即: 凹槽栅结构内部的电子速度分布比平面栅结构的电子速度分布较为有利, 从而导致较短的平均渡越时间。另外从图 5 还可看到, 载流子基本上是以饱和漂移速度 v_{sat} 渡越栅区的。这样, 我们就可用 (11) 式来定义有效栅长 $(L_G)_{eff}$:

$$(L_G)_{eff} = v_{sat} \cdot \tau \quad (11)$$

再结合 (10) 式, 可得:

$$(L_G)_{eff} = (v_{sat} \cdot C_{GS}) / g_m \quad (12)$$

根据 (12) 式以及表 2 的二维分析结果, 可得到 $(L_G)_{eff}$ 随 d_R 的变化关系如表 4 所示。

表 4 有效栅长 $(L_G)_{eff}$ 随凹槽深度 d_R 的变化关系

$d_R (\mu m)$	0	0.04	0.08	0.12
$(L_G)_{eff} (\mu m)$	0.41	0.37	0.35	0.34

5. 上面已提到, 凹槽栅结构的 GaAs FET's 目前在微波功率和微波低噪声二个领域的器件性能全面超过了平面栅结构. 下面拟通过有限元二维分析所得的一些结果从器件物理的角度来阐述其原因.

1) 功率 GaAs FET's

功率 GaAs FET's 的主要指标是最大输出功率 $P_{\max}$. $P_{\max}$ 主要取决于二个因素: 器件能通过的最大电流 I_m 及器件能承受的最大击穿电压 BV_{DS} . 在这二个方面, 凹槽栅结构均优于平面栅结构. 下面分别加以阐述.

a) 器件能通过的最大电流 I_m

上面已提到, I_{DSS} 随 d_R 增加而增加. 此外, H. Fukui 给出了一个关于 I_m 的经验公式^[18]:

$$I_m \cong 0.277 \cdot Z \cdot N_D^{1.2} \cdot d^{1.5} \cdot L_G^{-0.28}. \quad (13)$$

H. Fukui 对 (13) 式有一个说明: 其中 N_D 、 d 、 L_G 均为有效值. (我理解这里的“有效”是指对电学性能而言的) 关于 (13) 式中各个量的单位请参阅 [18].

由 (13) 可见, I_m 随 $(L_G)_{\text{eff}}$ 的减少而增加, 通过前一节的讨论可见, $(L_G)_{\text{eff}}$ 随 d_R 的增加而减少, 故 I_m 随 d_R 的增加而增加. 故可得出结论: 凹槽栅结构的 I_m 大于平面栅结构的 I_m .

b) 器件能承受的最大击穿电压 BV_{DS}

对 GaAs FET's 内部的雪崩击穿现象作细致深入的定量分析要考虑许多复杂的因素^[6-7]. 本文因限于篇幅, 只对这个问题作一个初步的半定量分析以说明为什么凹槽栅结构的 BV_{DS} 大于平面栅结构的 BV_{DS} . 众所周知, 半导体器件内部某一小区域的雪崩电流的大小取决于三个因素: 该区域的电场强度值 (即表明该区域的离化率的大小)、该区域的载流子浓度值以及该区域沿电流流动方向的线度大小. 有限元分析方法中, 被分析的器件内部区域分割为许多小单元, 在每个小单元中可定义一个“平均的单元雪崩倍增量” ξ . 它是该单元内平均的载流子浓度 $\bar{n}$ 、离化率 $\alpha_n(E)$ 和电流流动方向的网格间距 x_m 三者的乘积:

$$\xi = \bar{n} \cdot \alpha_n(E) \cdot x_m. \quad (14)$$

如果某一单元的 ξ 大于某一临界值 ξ_c , 则该单元将首先发生雪崩击穿. 很明显, 如果一个器件与另一个器件相比在同一偏压下内部的最大“平均的单元雪崩倍增量” $\xi_{\max}$ 较小, 则意味着该器件的击穿电压比另一器件的击穿电压要高. 表 5 示出了在 $V_{DS} = 1.5$ V, $V_{GS} = -0.5$ V 下的 $(\xi)_{\max}$ 与 d_R 的关系.

表 5 最大的平均单元雪崩倍增量 $(\xi)_{\max}$ 与凹槽深度 d_R 的关系

$d_R(\mu\text{m})$	0	0.04	0.08	0.12
$(\xi)_{\max}(\text{cm}^{-1})$	9.72×10^8	8.14×10^8	6.93×10^8	6.02×10^8

表 5 在计算 $(\xi)_{\max}$ 时所用的 $\alpha_n(E)$ 采用了 [19] 的关系式:

$$\alpha_n(E) = 1.83 \times 10^5 \times e^{-(3.79 \times 10^5/E)^2}. \quad (15)$$

其中, α_n 的单位是 cm^{-1} , E 的单位是 V/cm .

由表 5 可看出, 凹槽栅结构的 BV_{DS} 大于平面栅结构的 BV_{DS} 。这个分析结果与 [2] 报道的在 GaAs FET's 的光发射研究中观察到的凹槽栅结构的光发射强度弱于平面栅结构的光发射强度的实验结果完全一致。

2) 低噪声 GaAs FET's

低噪声 GaAs FET's 的主要指标是最小噪声系数 F_{min} 。 F_{min} 的一个半经验公式是 [20]:

$$F_{min} = 1 + k_1 \cdot f \cdot (C_{GS} \cdot Z) \cdot \sqrt{\frac{R_g + R_s}{g_m \cdot Z}} \quad (16)$$

其中, k_1 为一常数, 通常取为 0.016。 f 为工作频率, 以 GHz 为单位, $(g_m \cdot Z)$ 以 Ω^{-1} 为单位。栅电阻 R_g 及 R_s 以 Ω 为单位。计算 R_g 的公式 [21]:

$$R_g = \frac{17 \cdot z^2}{L_G \cdot h \cdot Z} \quad (\Omega) \quad (17)$$

其中, z 为单位栅指的宽度, h 为栅金属厚度。 本文在计算 F_{min} 时所用的数据是: $f = 15\text{GHz}$, $Z = 280\mu\text{m}$, $z = 70\mu\text{m}$, $L_G = 0.5\mu\text{m}$, $h = 0.5\mu\text{m}$ 。 根据这些数据以及前面已得到的 R_s , g_m 和 C_{GS} 的值可计算 F_{min} 与 d_R 的关系。 结果示于表 6。 ($R_g = 1.18\Omega$)

表 6 在 $f = 15\text{GHz}$ 下最小噪声系数 F_{min} 与凹槽深度 d_R 的关系

$d_R(\mu\text{m})$	0	0.04	0.08	0.12
$F_{min}(\text{dB})$	1.41	1.31	1.27	1.22

由此可见, 凹槽栅结构的 F_{min} 小于平面栅结构的 F_{min} 。

四、结 束 语

本文通过有限元二维数值分析方法揭示了凹槽栅结构 GaAs FET's 内部在工作状态下的物理图象, 分析和讨论了一些有关的器件物理问题。 这对于更好地认识和掌握凹槽栅结构 GaAs FET's 的内在规律将是有益的。

参 考 文 献

- [1] H. M. Macksey, R. L. Adams, D. M. McQuiddy, Jr., D. W. Shaw, and W. R. Wisseman, *IEEE Trans.*, ED-24, 113 (1977).
- [2] T. Furutsuka, T. Tsuji, and F. Hasegawa, *IEEE Trans.*, ED-25, 563 (1978).
- [3] H. M. Macksey, F. H. Doerbeck, and R. C. Vail, *IEEE Trans.*, ED-27, 469 (1980).
- [4] K. Ohata, H. Itoh, F. Hasegawa, and Y. Fujiki, *IEEE Trans.*, ED-27, 1029 (1980).
- [5] H. Fukui, J. V. DiLorenzo, B. S. Hewitt, J. R. Velebir, Jr., H. M. Cox, L. C. Luther, and J. A. Soman, *IEEE Trans.*, ED-27, 1034 (1980).
- [6] W. R. Frensley, *IEEE Trans.*, ED-28, 962 (1981).
- [7] J. P. R. Devid, J. E. Sitch, and M. S. Stern, *IEEE Trans.*, ED-29, 1548 (1982).

- [8] T. Adachi, A. Yoshii and T. Sudo, *IEEE Trans.*, ED-26, 1026 (1979).
- [9] E. M. Buturla, P. E. Cottrell, B. M. Grossman, and K. A. Salsburg, *IBM J. Res. Dev.*, 25, 218 (1981).
- [10] S. E. Laux and R. J. Lomax, *IEEE Trans.*, ED-28, 120 (1981).
- [11] 汪正孝, 半导体学报, 5, 178(1984).
- [12] L. J. Segerlind, "Applied Finite Element Analysis", p. 367, N. Y. Wiley (1976).
- [13] K. Yamaguchi, S. Asai, and H. Kodaera, *IEEE Trans.*, ED-23, 1283 (1976).
- [14] H. Fukui, B. S. T. J., 58, 771 (1979).
- [15] C. A. Liechti *IEEE Trans.*, MTT-24, 279 (1976).
- [16] L. F. Eastman, S. Tiwari, and M. S. Shur, *Solid State Electronics*, 23, 383 (1979).
- [17] H. Fukui, *IEEE Trans.*, ED-26, 1032 (1979).
- [18] H. Fukui, *Solid State Electronics*, 22, 507 (1979).
- [19] H. D. Law and C. A. Lee, *Solid State Electronics*, 21, 331 (1978).
- [20] H. Fukui, *IEEE Trans.*, MTT-27, 643 (1979).

Finite Element 2D Numerical Analysis of Microwave Recessed-Gate GaAs FET's

Wang Zhengxiao

(Institute of Semiconductors, Academia Sinica)

Abstract

The internal physical pictures of microwave recessed gate GaAs FET's, such as the distributions of carrier concentration, of potential, field and velocity are revealed by using finite element 2D numerical analysis, and some important parameters as functions of recess depth are calculated. Based on these analyses and calculations, a series of problems of device physics concerning recessed gate GaAs FET's are discussed, e.g., the status of dipole layer inside the device, the concept of "effective gate length", the reasons why recessed gate structure is superior to planar one both in microwave power and in microwave low noise applications.