

大规模集成电路测试图案产生方法的研究*

林 雨

(中国科学院半导体研究所)

一、引 言

大规模集成电路测试设备的核心是测试图案发生器。为发展我国大规模集成电路的测试设备,我们对于测试图案的产生方法进行了研究,提出了几点看法并用于研制大规模集成电路设备的实践。与北京无线电仪器厂合作研制了:

1. BJ-1 型半导体存储器功能测试仪。
2. QL-13 型半导体存储器测试仪。
3. 用于计算机辅助测试系统的 BJ-10 测试图案发生器。
4. QL-12 型半导体存储器中测试仪。
5. 简易随机逻辑测试仪。

本文简介这些仪器中测试图案的产生方法。

二、存储器测试方法的研究及其测试仪

存储器其结构标定,适合于大规模集成。存储器的测试图案由地址码、数据及控制信息三个部份组成,我们分析国内外存储器测试图案认为:

1. 地址的变化规律是以时序变化为主,为实现随机取址,往往通过两个数的交替选择实现地址的跳跃变化。

2. 由一位数据控制背景数据作“归零制”或“非归零制”的变化以产生多位的数据。

3. 就存储器测试图案的一位数据变化的规律可分为两类图案: 一类图案,一位数据变化规律与具体地址无关,其变化可以融合在地址跳跃变化的小循环之中,可以由控制器直接产生一位数据。而另一类图案,一位数据是地址的函数。必须引进组合电路(地址函数发生器)由地址产生一位数据。

4. 为灵活产生测试图案、高性能的存储器测试图案发生器必须采用微程序控制的高速专用的处理机。

通过上述分析,确定了半导体存储器测试图案发生器的一般结构如图1示。并按此框图设计了三种半导体存储器测试仪: BJ-1、QL-13、QL-12。这三种测试仪的性能及与国外70年代初产品 T310/35(日本)、MD-100(美国)的比较如表1所示。

* 1980年3月24日收到。

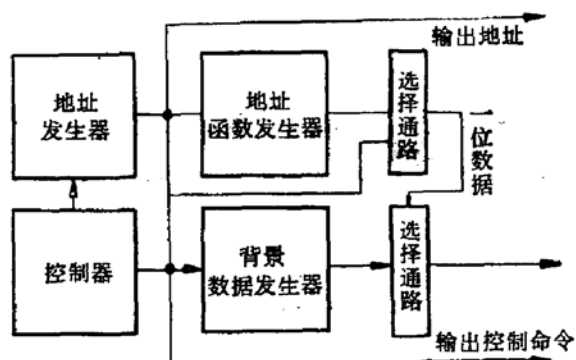


图1 存储器图形发生器的结构

表 1

性能型号			BJ-1 半导体存储器功能测试仪	QL-13 半导体存储器测试仪	T310/35 存储器测试仪(日本) MD-100 存储器测试仪(美国)	QL-12 半导体存储器中测仪
主 机 性 能	地 址	行、列地址能否分开	不能	能	不 能	能
		地址可分位锁闭否	不能	能	不 能	能
		地址总位数	12 位	16 位	16 位	12 位
	数 据	数据位数	4 位	16 位	18 位	1 位
		可依据地址产生数据否	能	能	MD-100 能 T310/35 不能	能
	指 令	采用微程序控制否	采用	采用	采 用	未采用
		微指令位数	16 位	16 位	24 位	—
	图 形	可由用户编排程序否	可以	可以	可 以	固定的几种图案
		可产生测试大容量存储器 $N^{3/2}$ 图形否	不能	能	不 能	不能
	每秒产生测试信息数	由 RAM 控制时	300 万次/秒	500 万次/秒	1000 万次/秒	—
		由 ROM 控制时	500 万次/秒	500 万次/秒	500 万次/秒	—
	时 钟	有手动时钟否	有	有	有	有
		最高时钟	20 兆周	10 兆周	10 兆周	5 兆周
	控 制	面板控制	有	有	有	有
		计算机控制	可以	可以	可 以	不能
		输入机控制	不能	可以	不 能	不能
副 机	管脚电路		针对用户设计	通用	专用测试盒	通用
	相脉冲发生器		通用 6 路	通用 6 路	专 用	通用 6 路
	测试电源		6 路	6 路	3 路	3 路
	参数测试	静态参数	不能测	能测	不能测	能测
		动态参数	不能测	可显示 8 路逻辑波形	不能测	可显示 8 路逻辑波形

三、大规模集成电路测试方法的研究

——用功能模拟比较法产生测试图案

国外产生随机逻辑的测试图案都采用存储法。这种设备必须使用大容量的高速的半导体存储器,而且此种设备的速度也随着所用的存储器容量的增加而下降。因此为立足于国内元件研制测试图案发生器,就必须研究用较小容量的存储器产生测试图案的方法。

通过总结国内经验和研制的实践形成了一种产生随机逻辑测试图案的方法——功能模拟比较法。其观点是:

1. 因为电路的端极分为输入端与输出端,测试图案发生器可分为输入与输出图案发生器两部分,而不是分为存储器测试图案发生器与随机逻辑测试图案发生器两部分。

2. 认为测试的速度决定于输入图案产生的速度,而输出图案发生器产生标准图案的速度只影响测试必须的时间。因此,测试图案发生器可由高速的输入图形发生器与低速的多功能的输出图案发生器构成,两者配合产生测试图案,通过测试程序的安排或者通过采样输出数据与标准数据进行比较的方法,使两个速度不同的测试信息图案发生器同步工作。

3. 认为集成电路的输入端可分为数据输入端与操作码输入端。因而输入图案可分为输入数码图案与输入操作码图案,可用一背景数据发生器产生低速的、背景的数码。由控制码控制选择不同的背景数码产生高速的数码,由小容量的图案存储器产生高速的控制码及操作码。因此,建基于功能模拟比较法的图案发生只需小容量的高速的存储器。

4. 输出图案发生器是被测电路的逻辑功能模拟器。可用速度较低的,但功能完善的计算机产生,这个计算机可用计算机辅助测试系统的控制机或用一个高档的微型机。因此,按功能模拟比较法设计的测试图案发生器是符合测试设备的发展方向的。

为了验证此种方法,我们设计了两种产生大规模集成电路的测试图案发生器:

1. 微程序控制的高性能的测试图案发生器,大部份方案已在综合系统 BJ-10 高性能图案发生器中作了实验,结果证明此方案是可行的。

2. 组合逻辑控制的简易随机逻辑测试仪,并已用于测试多元逻辑的中、大规模电路。与初期采用比较法的测试设备的比较如表 2 所示。

表 2

设 备	输入图案产生方法	输出图案产生方法	工作方式
初期比较法设备	计 数 器	标准组件	单机统一时钟
简易随机逻辑测试	组合控制的输入图案发生器	功能模拟板	单机统一时钟
微程序控制测试图案发生器	微程序控制器高速图案发生器	低速高性能的处理机	双机不同时钟

我们认为,初期比较法测试大规模时序电路的困难在于其输入图案太简单,并且不能

对样品进行测试,功能模拟比较法克服了上述两种方法的缺点,因此有可能实用。

上述的测试设备均由半导体研究所与北京无线电仪器厂合作研制。参加测试设备研制的有赵群增、勤学芝、李秀琼、舒惠云、田宁、董宗光、徐贻英、陈福海、梁玉英、张武开、王世新等同志。

参 考 文 献

- [1] 林雨,半导体通讯,1976年, No. 2, p. 18.
- [2] 林雨,半导体通讯,1977年, No. 4, p. 32.
- [3] Huston, R., "Microprocessor function test generation on the sentry 600" Digest of papers, semiconductor test symposium 1974, p. 216.
- [4] 松冈统,电子计测, 10, 15 (1976).

A RESEARCH ON THE PATTERN GENERATION METHOD FOR TESTING LSI CIRCUITS

Lin Yu

(Institute of Semiconductors, Chinese Academy of Sciences)