

镶嵌在超薄 SiO_2 层中的纳米硅的库仑阻塞现象^{*}

石建军 吴良才 鲍 云 刘嘉瑜 马忠元 戴 敏 黄信凡 李 伟 徐 骏 陈坤基

(南京大学物理系 固体微结构物理国家重点实验室, 南京 210093)

摘要: 采用等离子体氧化和逐层(layer by layer)生长技术在等离子体增强化学气相沉积(PECVD)系统中原位制备了 $\text{SiO}_2/\text{nc-Si}/\text{SiO}_2$ 的双势垒纳米结构, 从 nc-Si 薄膜的喇曼谱中观察到结晶峰, 估算出该薄膜的晶化成分和平均晶粒尺寸分别约为 65% 和 6nm. 通过对该纳米结构的电容-电压($C-V$)测量, 研究了载流子的隧穿和库仑阻塞特性. 在不同测试频率的 $C-V$ 谱中观测到了由于载流子隧穿引起的最大电容值抬升现象. 通过低温低频 $C-V$ 谱, 计算出该结构中 nc-Si 的库仑荷电能为 57meV.

关键词: 纳米硅; $C-V$; 超薄氧化层; 隧穿

PACC: 6855; 7360F

中图分类号: TN304.055

文献标识码: A

文章编号: 0253-4177(2003)01-0029-05

1 引言

近年来, 研究发现基于 nc-Si 晶粒的双势垒结构的电荷存储在未来的集成电路中具有广泛的应用前景^[1~4]. 在这种结构中, 硅量子点被嵌埋在氧化层中作为电荷存储单元, 通过电荷隧穿出入量子点, 达到控制阈值电压的目的. Ishikawa 等人利用 $C-V$ 方法研究了电子在量子点和硅衬底之间通过超薄 SiO_2 层的隧穿现象^[5]. Shi 等人研究了电荷在该种结构中的 nc-Si 中的存储现象, 并利用三维量子限制效应和库仑荷电效应解释了实验现象^[6]. 本文首次提出在等离子体增强化学气相沉积(PECVD)生长系统中原位制备 $\text{SiO}_2/\text{nc-Si}/\text{SiO}_2$ 的双势垒纳米结构. 利用 $C-V$ 测试方法研究了镶嵌在 SiO_2 中的 nc-Si 电荷输运性质.

2 样品制备

在 PECVD 系统中采用等离子体氧化^[7]和逐层

(layer by layer) 生长^[8]技术在电阻率为 $7\sim 8\ \Omega\cdot\text{cm}$ 的 p 型(100) 硅衬底上原位制备了 $\text{SiO}_2/\text{nc-Si}/\text{SiO}_2$ 双势垒结构的样品, 图 1(a) 是该结构样品的示意图. 首先在气压为 33Pa 的纯氧气氛中等离子体氧化生长厚度约 2nm 的超薄氧化层作为隧穿氧化层. 衬底温度为 250°C , 射频源频率和功率分别为 13.56MHz 和 80W. 然后利用 layer by layer 技术生长厚度约 8nm 的 nc-Si 层, 最后再对 nc-Si 层进行等离子体氧化生成厚度约为 5nm 的栅氧化层, 而 nc-Si 的厚度减少为 6nm. 为了研究界面态的影响, 我们对其中部分样品做了在氮气保护下 900°C 、30min 的准静态退火. 用于 $C-V$ 测量的样品上下表面蒸铝做电极, 其中上电极的面积为 0.78mm^2 .

layer by layer 生长是一个不连续的生长过程: 首先生长一层几个纳米的超薄非晶硅层后, 关闭反应气体 SiH_4 , 利用氢等离子体的剪裁作用, 在已生长的薄膜中形成纳米尺寸的硅晶粒. 根据所需 nc-Si 层的厚度, 确定重复以上生长过程的周期数. 本实验中生长非晶硅和氢等离子体剪裁时间分别是 120s 和 60s, 重复了 10 个周期.

^{*} 国家自然科学基金(批准号: 60071019, 90101020), 国家重点基础研究(批准号: 2001CB610503), 江苏省高科技研究(No. BG2001002)资助项目
石建军 男, 1976 年出生, 南京大学研究生.

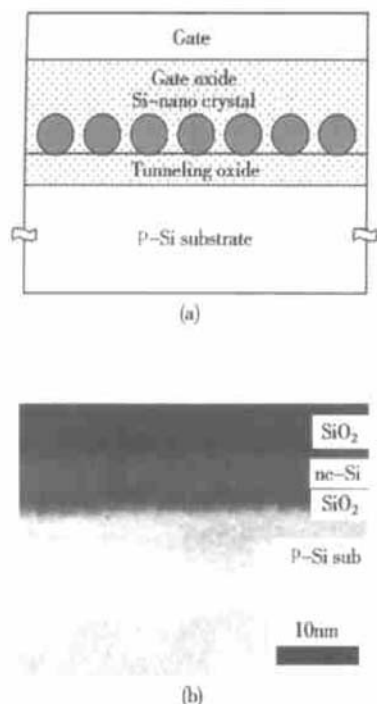


图1 $\text{SiO}_2/\text{nc-Si}/\text{SiO}_2$ 双势垒结构示意图(a)和 TEM 照片(b)

Fig. 1 Schematic cross section (a) and TEM picture (b) of the nc-Si based $\text{SiO}_2/\text{nc-Si}/\text{SiO}_2$ structure

我们在室温和低温下利用 HP4294A 型阻抗分析仪测量了样品的 $C-V$ 特性, 测试频率范围在 $1\text{kHz} \sim 1\text{MHz}$ 之间.

3 实验结果与讨论

$\text{SiO}_2/\text{nc-Si}/\text{SiO}_2$ 双势垒结构样品的剖面透射电子显微镜(TEM)的照片如图 1(b) 所示, 可以看到 nc-Si 层镶嵌在上下两层 SiO_2 层中, 其厚度约为 6nm , 与设计值一致. 隧穿氧化层与衬底和 nc-Si 层的界面清晰.

图 2 是利用 layer by layer 技术生长的 nc-Si 的喇曼散射谱, 可以看到在 517cm^{-1} 处有一个明显的峰, 对应于 nc-Si 的 TO 振动模, 说明薄膜中已形成了 nc-Si. 在其左侧有一抬起是由于 nc-Si 薄膜中残余的 a-Si 引起的. 根据经验公式^[9], 我们估算出 nc-Si 的平均晶粒尺寸为 6nm , 并从关系式 $[I_c]/([I_c] + 0.88[I_a])$ 中得到了 nc-Si 薄膜的晶化比率为 65% , 其中 I_c 和 I_a 分别对应于 Raman 谱分峰后 nc-Si 和 a-Si 的积分面积.

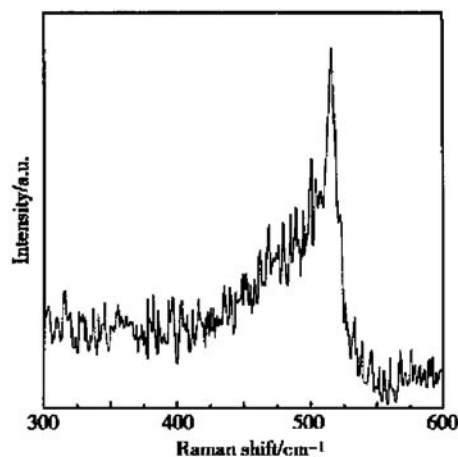


图2 利用 layer by layer 技术生长的 nc-Si 的喇曼散射谱

Fig. 2 Raman spectrum of the nc-Si deposited by layer by layer technique

未退火样品在 300K 时在不同频率 (1MHz , 500kHz , 100kHz 和 10kHz) 下的 $C-V$ 曲线如图 3 所示, 被用于研究隧穿氧化层的电荷隧穿现象. 对于所有频率, 电容随偏压从正电压向负电压变化而抬升, 与常规 p-型硅衬底 MOS 结构的 $C-V$ 曲线相似. 但

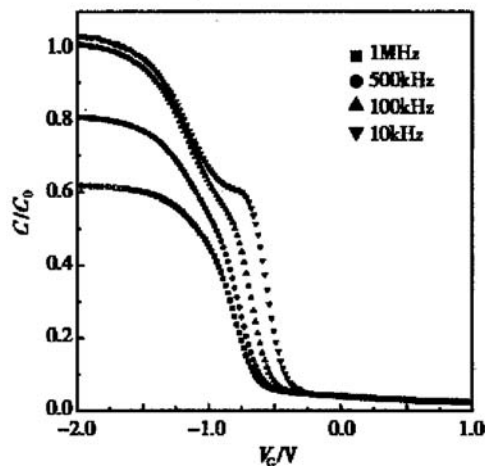


图3 未退火样品在不同频率下的 $C-V$ 曲线

Fig. 3 $C-V$ characteristics of unannealed sample at the frequency of 1MHz , 500kHz , 100kHz and 10kHz

最大电容值随测试频率的降低而增大. 根据图 4 中的能带结构, 我们解释了该现象: 样品处于反型状态时(图 4(a)), nc-Si 和 p 型硅衬底都处于耗尽状态, 测到的电容是 C_{ox} (栅 SiO_2 层)、 $C_{\text{nc-Si}}$ (nc-Si 层)、 C_{tunl} (隧穿 SiO_2 层) 和 C_{si} (衬底表面的耗尽层) 的串联电

容, 所以电容达到最小值, 并且不随频率变化. 样品处于积累状态时(图 4(b)), 衬底表面处于空穴积累状态. 高频时, 空穴隧穿过 SiO₂ 层的过程跟不上测试频率的变化, 测到的电容是 C_{ox} , C_{nc-Si} 和 C_{tunl} 的串联电容; 而在低频时, 空穴能够跟上测试频率的变化, 空穴可以隧穿过隧穿 SiO₂ 层进入 nc-Si 层中, 这样测到的电容值只反映了 C_{ox} ^[5]. 所以在低频时的最大电容值要比高频时的大, 与实验结果一致.

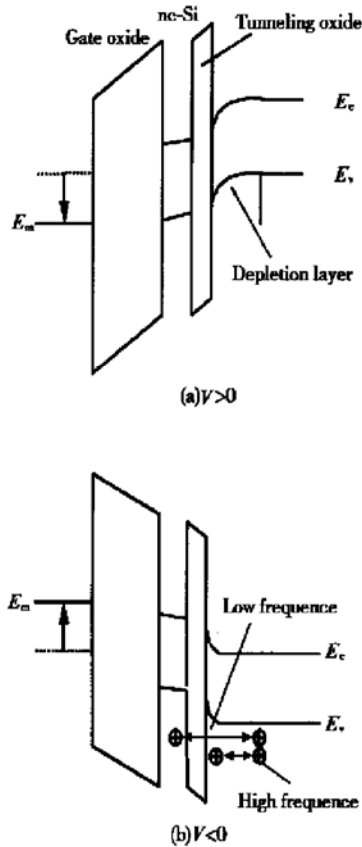


图 4 样品处于正偏压(a)和负偏压(b)时的能带图

Fig. 4 Schematic band diagrams for (a) positive bias and (b) negative bias of the SiO₂/nc-Si/Si/SiO₂ structure

为了研究镶嵌在超薄 SiO₂ 中的 nc-Si 的电荷输运现象, 我们比较了在 300K 下未退火样品和 300K, 100K 下退火样品的低频(1kHz) $C-V$ 曲线, 如图 5(a)、(b)和(c)所示. 从(a)中可以看到一个在电容抬升处的明显的“肩”, 并且上面还叠加了两个小的电容峰, 而在退火样品的 $C-V$ 曲线中该“肩”已消失, 所以两个小的电容峰变得更加明显. 根据文献报道^[5], 该“肩”是由于 Si/SiO₂ 界面态引起的, 说明退火改善了样品的界面态, 并且可以认为在退火样品的低频 $C-V$ 曲线中出现的小电容峰不是由于界面

态引起的. 从退火样品在不同温度(300K, 100K)下的 $C-V$ 曲线中, 我们看到了温度对样品 $C-V$ 特性的影响. 在低温下, 由于热效应影响的降低, 更有利于我们研究 nc-Si 中电荷的输运性质. 在 100K 时出现了两个明显的电容峰 1 和 2.

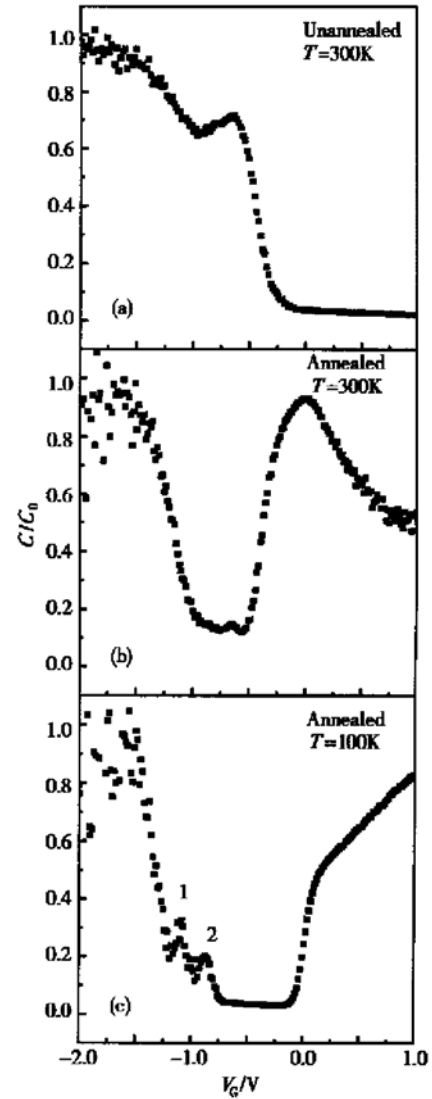


图 5 未退火样品(a)在 300K 和退火样品在 300K(b), 100K(c)时的低频(1kHz) $C-V$ 曲线

Fig. 5 $C-V$ characteristics of unannealed sample (a) at 300K and annealed sample at 300K (b), 100K (c) with the frequency of 1kHz

电容峰 1 和 2 位于电容开始抬升处, 此时衬底表面已基本处于反型状态, 如能带示意图(图 4(a)), nc-Si 中的能级由于量子限制和库仑荷电效应发生分裂, 当衬底中的电子能级与 nc-Si 中的某个分裂能级平齐时, 电子发生共振隧穿, 电子通过隧穿

SiO₂ 层进入 nc-Si 中, 在 $C-V$ 曲线上形成一个电容峰^[10]. 我们观测到的两个电容峰的形状和面积基本相等, 说明在对应这两个电容峰的电压下, 隧穿进入 nc-Si 晶粒的电子数目基本相同, 其电荷量相当于每个晶粒中注入一个电子. 因此我们认为电容峰 1 和 2 是电子依次隧穿进入 nc-Si 态的两个分裂的能级引起的.

利用公式(1)^[11], 从 $C-V$ 曲线中可以得到两个能级之间的库仑荷电能.

$$\Delta E = \frac{t_{\text{tunnel}}}{t_{\text{tot}}} q \Delta V_G \quad (1)$$

其中 t_{tunnel} 和 t_{tot} 分别是隧穿 SiO₂ 层和总 SiO₂ 层(隧穿 SiO₂ 层和栅 SiO₂ 层)的厚度; ΔE 是 nc-Si 晶粒两个能级之间的能量间距; ΔV_G 为不同电容峰之间的电压差. 从图 5(c) 中得到电容峰 1 和 2 之间的电压差为 0.2V, 计算得到 ΔE 为 57meV. 对于直径为 6nm 的 nc-Si 晶粒. 根据公式: $E_c = \frac{e^2}{2C_{\text{dot}}}$. 可得到其库仑阻塞能为 61meV, 可见实验和理论结果基本一致.

4 结论

利用等离子体氧化和 layer by layer 生长技术, 我们在 PECVD 系统中成功地原位制备了 SiO₂/nc-Si/SiO₂ 双势垒的纳米结构, 通过 $C-V$ 测量研究了该结构中电荷的输运性质. 用空穴在衬底表面和 nc-Si 之间通过隧穿 SiO₂ 层的隧穿模型解释了 $C-V$

曲线中最大电容值随频率的变化, 并通过退火降低 Si/SiO₂ 的界面态, 消除了由于界面态引起的在 $C-V$ 曲线抬升处的“肩”. 另外, 我们还解释了在反型区出现的电容峰, 认为它们是由于电子共振隧穿进入 nc-Si 分裂能级引起的, 并计算出 nc-Si 晶粒的库仑荷电能为 57meV.

参考文献

- [1] Gu X F, Qin H, Lu H, et al. J Non-Cryst Solids, 1996, 227~230: 1168
- [2] Qin H, Gu X F, Lu H, et al. Solid State Commun, 1999, 111: 171
- [3] Tan Y T, Kamiya T, Durrani Z A K, et al. Appl Phys Lett, 2001, 78: 1083
- [4] Park J W, Park K S, Lee B T, et al. Appl Phys Lett, 1999, 75: 566
- [5] Ishikawa Y, Kosugi M, Kumezawa M, et al. Thin Solid Films, 2000, 369: 69
- [6] Shi Y, Saito K, Ishikuro H, et al. Jpn J Appl Phys, 1999, 38: 425
- [7] Bao Yun, Jiang Ming, Li Wei, et al. Chinese Journal of Semiconductors, 2001, 22: 1011[鲍云, 蒋明, 李伟, 等. 半导体学报, 2001, 22: 1011]
- [8] Chen M R, Chen K J. Acta Physica Sinica, 1994, 3: 250
- [9] Chen G X, Xia H, Chen K J, et al. Phys Status Solids A, 1990, K51: 118
- [10] Dons E M, Skowronski C S, Farmer K R. Appl Phys Lett, 1998, 73: 3712
- [11] Ashoori R C, Stormer H L, Weiner J S, et al. Phys Rev Lett, 1993, 71: 613

Coulomb Blockade Effect of Carriers in nc-Si Embedded in Ultrathin SiO₂ Films^{*}

Shi Jianjun, Wu Liangcai, Bao Yun, Liu Jiayu, Ma Zhongyuan, Dai Min,
Huang Xinfan, Li Wei, Xu Jun and Chen Kunji

(National Laboratory of Solid State Microstructures and Department of Physics, Nanjing University, Nanjing 210093, China)

Abstract: The nanocrystalline silicon (nc-Si) based double oxide barriers structures are fabricated in-situ by plasma oxidation and layer by layer technique in a plasma enhanced chemical vapor deposition (PECVD) system. The average grain size of nc-Si in this structure is about 6nm that is obtained from Raman spectrum. The nc-Si is firstly deposited on the tunneling oxide layer (2nm) and then oxidized to form the gate oxide layer (5nm). The maximum capacitance of this structure at negative bias increased with decreasing frequency, which reflected the tunneling of holes between the nc-Si and the substrate through ultrathin tunneling oxide. Furthermore, two peaks in the low frequency capacitance curves, corresponding to the resonant tunneling of electrons into nc-Si, are observed. From the peaks in the low frequency (1kHz) $C-V$ curves, the coulomb blockade energy (57meV) is estimated.

Key words: nc-Si; $C-V$; ultrathin oxide layer; tunneling

PACC: 6855; 7360F

Article ID: 0253-4177(2003)01-0029-05

^{*} Project supported by National Natural Science Foundation of China (Grant No. 60071019, No. 90101020), National 973 Project (No. 2001CB610503) and Jiangsu Province High Technology Project (No. BG2001002)

Shi Jianjun male, was born in 1976. He is pursuing his MS degree in Nanjing University.

Received 22 March 2002, revised manuscript received 27 April 2002

©2003 The Chinese Institute of Electronics