

1V 2.5GHz 压控振荡器设计

李天望 曾晓军 洪志良

(复旦大学电子工程系, 上海 200433)

摘要: 设计了 1V, 2.5GHz 的全集成压控振荡器. 通过优化集成电感的设计, 同时采用 NMOS 管和开关电容阵列作为可变电容, 使该设计具有较低的相位噪声和较宽的调谐范围. 采用 0.18 μm CMOS 工艺进行仿真, 结果显示, 在 1V 电源电压下, 在偏离中心频率 600kHz 处的相位噪声为 -119dBc/Hz, 调谐范围为 28%, 功耗为 3.6mW.

关键词: 频率合成器; 压控振荡器; 相位噪声; 开关电容阵列; 可变电容

EEACC: 7250E; 1230B

中图分类号: TN782

文献标识码: A

文章编号: 0253-4177(2003)01-0080-05

1 引言

随着无线通信技术的发展, 单片集成的无线收发器的设计越来越引起人们的重视. 过去由于工艺条件的限制, RF 电路的设计多采用 GaAs、BiCMOS、Bipolar 工艺实现, 为了便于与数字电路单片集成在一块芯片上, 近几年来, CMOS RF 电路的设计成为集成电路设计的热点^[1~4].

对于单片集成的无线收发器来说, 最具挑战性的设计是频率合成器. 频率合成器的相位噪声是信息传输质量和可靠性的最重要参数, 因而低相位噪声的压控振荡器的设计变得十分关键. 近些年来, 人们对压控振荡器进行了大量的研究^[1~12], 从电路的结构上看, 压控振荡器主要有两类: 环形振荡器和 LC 振荡器. 环形振荡器易于集成, 但为了满足低相位噪声需要的功耗较大, 而且随着电源电压的降低, 环形压控振荡器的相位噪声变得很差. 通常情况下, LC 压控振荡器的相位噪声比环形压控振荡器的相位噪声低, 但 LC 压控振荡器要求高品质因素的无源器件. 现在的 CMOS 工艺中, 集成电感的品质因素通常很低, 从而使 LC 压控振荡器的设计更具挑战性. 为了满足低功耗的要求, 电源电压越来越低,

文献[3]给出了 1.8V, 1.8GHz 的压控振荡器设计, 功耗约为 33mW. 本设计采用了 1V 的电源电压, 工作在 2.5GHz 的功耗仅为 3.6mW, 和以前文献报道的振荡器^[1~6]相比, 本设计的电源电压最低, 功耗最小, 同时具有较低的相位噪声和较宽的调谐范围.

2 压控振荡器的工作原理

在 LC 压控振荡器中, 通常采用有源器件产生的 $-G_m$ 来补偿集成电感和可变电容的电阻损失, 如图 1 所示. 图 1 中的 G_{tank} 表示由电感和电容引起的电阻损失, 当有源器件足以补偿电阻损失时, 即 G_{active} 大于 G_{tank} 时, LC 压控振荡器能够维持振荡. 在实际电路设计中, 用来产生 $-G_{\text{active}}$ 的方式有很多种, 同时采用 NMOS 管和 PMOS 管, 可以通过调整两种管子的尺寸, 使输出波形更对称, 从而降低相位噪声^[7]. 但由于本设计的电源电压只有 1V, 只能采用一种类型的器件. PMOS 的低频噪声要比 NMOS 管小, 有利于低相位噪声设计. 但 PMOS 管的迁移率比 NMOS 管小, 为了产生相同的 G_m , PMOS 管的尺寸要比 NMOS 管大. 寄生电容也大. 这大大影响压控振荡器的调谐范围. 同时, 由于电源电压仅为 1V, 可变电容的控制电压范围很小, 从而使得压控

李天望 男, 1968 年出生, 博士, 从事数模混合电路和射频电路设计.

曾晓军 男, 1968 年出生, 博士研究生, 从事数字处理信号研究及数模混合电路设计.

洪志良 男, 1946 年出生, 博士, 教授, 博士生导师, 从事 VLSI 设计研究, 特别对模拟和高速集成电路感兴趣.

2002-03-12 收到, 2002-08-24 定稿

©2003 中国电子学会

振荡器的调谐范围更易成为设计的瓶颈, 因此, 本文将采用开关电容阵列和 NMOS 管的结构做可变电容, 如图 2 所示.

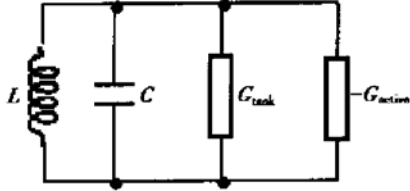


图 1 LC 压控振荡器的模型图

Fig. 1 Equivalent circuit of VCO

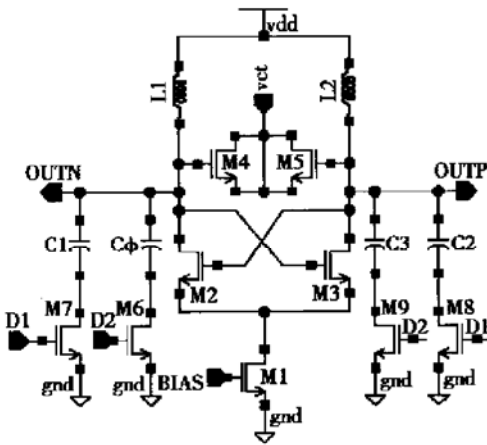


图 2 带有电感和电容阵列的压控振荡器的具体电路

Fig. 2 Concrete circuit of VCO with inductors and capacitors array

对于图 2 的电路, 可变电容的设计是能否实现大的调谐范围的关键. 早期的可变电容多采用反偏的 PN 结二极管, 但其最大电容与最小电容的比值较小, 近几年来, 采用 MOS 电容的设计越来越多^[8]. 在本设计中, 为了获得较大的调谐范围, 采用两位开关电容阵列, 同时, 采用 NMOS 可变电容来补偿开关电容的位与位之间的频率范围. 图 2 中的 M1 管用来控制偏置电流 I , M2、M3 用来产生 $-G_{\text{active}}$, 当振荡器处于电流有限区域时, 振荡器的幅度 A 可表示为^[7]

$$A = \frac{I}{G_{\text{tank}}} \quad (1)$$

在可变电容的电阻损失相对于电感可以忽略的情况下, (1) 式中的 $G_{\text{tank}} = 1/Q\omega L$. 因此, 高品质因素 Q 和大电感 L 有利于提高振荡幅度. 相位噪声是压控振荡器的一项重要参数, 对于图 2 中的电路, 其大小为^[3]

$$L\{\Delta\omega\} = \frac{kTR_s[1+F]}{A^2/2} \left[\frac{\omega_c}{\Delta\omega} \right]^2 \quad (2)$$

式中 R_s 为串联等效电阻; F 为噪声因子; ω_c 为中心频率; $\Delta\omega$ 为相对于中心频率的大小. 将 (1) 式代入 (2) 式可得

$$L\{\Delta\omega\} = \frac{2kTR_s[1+F]C}{I^2L^3} \left[\frac{1}{\Delta\omega} \right]^2 \quad (3)$$

与 (2) 式相比, (3) 式更准确地描述了相位噪声与电感、电容、电流的关系, 有利于更好地在电路的各个参数之间进行折衷优化. 从 (3) 式可以看出, 减小 R_s 、 F 及增大电感和工作电流有利于降低相位噪声.

3 压控振荡器的详细设计

3.1 集成电感的设计

从上一节的讨论可以看出, 高品质因子的电感有助于降低相位噪声, 减少功耗. 但在 CMOS 工艺中, 由于衬底的电阻率较小, 集成电感的品质因子通常较小, 为了提高集成电感的品质因子, 有大量文献对此进行了研究, 如采用地屏蔽结构、用腐蚀法去掉电感下面的衬底, 这样设计的电感品质因子有明显的提高, 但由于受仿真工具的限制, 这些电感无法在测试之前得到很好的模型, 整个 VCO 的设计需要多次流片才能得到正确的结果, 而未采用任何附加技术的正方形集成电感, 虽然它的品质因子较小, 但 ASITIC^[9] 给出了很好的模型, 仿真结果和测试结果匹配较好, 有利于一次流片成功, 因此, 在本设计中, 将采用正方形集成电感, 其模型如图 3 所示.

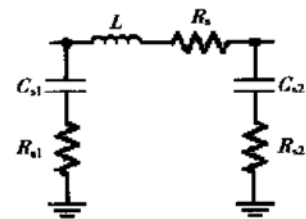


图 3 集成电感模型

Fig. 3 A model of the integrated inductor

在图 3 中, L 为电感, R_s 为电感的串联电阻, C_{s1} 、 R_{s1} 、 C_{s2} 、 R_{s2} 为衬底引起的电阻和电容. 对于正方形集成电感, 有 4 个参数需要折衷考虑, 即金属宽度、间距、正方形半径及圈数, 来获得高的品质因子. 如果增加金属宽度, 可减少串联电阻, 当宽度增加到

一定程度以后,由于电流趋肤效应,串联电阻减少到一定程度以后,就不再减少,与此同时,衬底的寄生电容则增大,因此,本设计采用 ASITIC 对所设计的电感进行了优化,得到的电感如表 1 所示. 本设计所用的 $0.18\mu\text{m}$ 工艺共有 6 层金属,电感采用最上面的三层金属并联而成,这样,既有利于减少串联电阻,又不至于使衬底的寄生电容太大.

表 1 集成电感的模型参数

Table 1 Model parameters of the integrated inductor

圈数	3
宽度/ μm	17
半径/ μm	100
L/nH	1.68
R_s/Ω	4.34
C_{s1}/fF	105
R_{s1}/Ω	310
C_{s2}/fF	107
R_{s2}/Ω	422
Q	5.3

3.2 有源器件的设计

由表 1 的电感模型,可以计算出 G_{tank} . 为了确保压控振荡器能够起振,取 $G_{\text{active}} = 2G_{\text{tank}}$. 同时,为了使压控振荡器能够工作在电流限制的区域,在 1V 的电源电压下,取振荡器的幅度为 0.3V. 根据(1)式,可以很容易得出振荡器所需的电流大小. 在电流和 G_m 已知的情况下,可根据(4)式得到 M2、M3 的宽长比.

$$G_m = \sqrt{2k \frac{W}{L} I} \quad (4)$$

为了使压控振荡器具有大的调谐范围, M2、M3 的沟道长度取工艺所允许的最小尺寸. 根据文献 [10], (3) 式中的噪声因子 F 可表示为

$$F = \frac{4\gamma R I_T}{\pi A} + \frac{4}{9} \gamma g_{\text{mbias}} R \quad (5)$$

为了减少 M1 管的 $1/f$ 噪声对压控振荡器的相位噪声的影响, M1 管的沟道长度比最小尺寸要大. 通过仿真可知,当沟道长度为 $1\mu\text{m}$ 时,其对相位噪声的影响已较小,继续增加沟道长度只会增加芯片面积.

3.3 可变电容设计

为了使压控振荡器具有大的调谐范围,本文采用开关电容和 NMOS 做可变电容,为了使开关电容对 VCO 的相位噪声的影响减到最小,开关电容的

品质因子应远大于电感的品质因子,在本设计中,开关电容的品质因子设计为 22,从仿真结果来看,开关电容对相位噪声的影响非常小. 如果增大开关电容的品质因子,则开关 NMOS 管的寄生电容增加,从而导致开关电容的调谐范围变小. 为了减小开关管的寄生电容对调谐范围的影响,本文采用了环形结构的晶体管,这样,晶体管的漏区面积较小,因而,寄生电容也较小,开关电容单元电路的版图如图 4 所示.

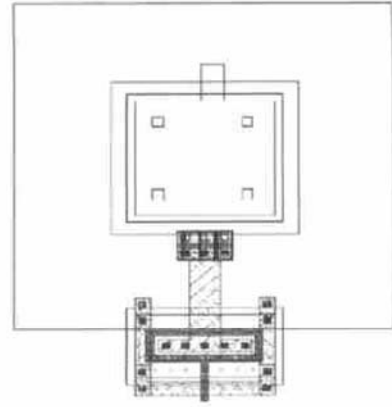


图 4 开关电容单元电路的版图

Fig. 4 Layout of switched capacitor circuit unit

为了计算开关管的尺寸大小,开关电容单元的品质因子可表示为

$$Q = \frac{1}{\omega C R_{\text{on}}} \quad (6)$$

其中 R_{on} 为开关管的导通电阻. 在品质因子和单位电容均已确定的情况下,可通过(6)式得出 R_{on} 的大小,从而可以方便地得到开关管的尺寸.

为了使 VCO 在一定频率范围里连续可调,同时采用图 2 中的 M4、M5 管来做可变电容,为使其品质因子最大,沟道长度为工艺所允许的最小尺寸. 同时,在进行版图设计时, NMOS 可变电容采用多个 MOS 管并联,以减少多晶电阻对相位噪声的影响.

4 仿真结果

根据前面的设计结果,本文设计的版图如图 5 所示. 同时对图 5 进行了寄生参数提取,并采用 HSPICE 进行了仿真,压控振荡器的调谐特性如图 6 所示. 从图 6 中可以看出,当控制电压从 0.2~0.8V 间变化时,压控振荡器的输出频率从 2.13GHz 到 2.85GHz,调谐范围约为 28%. 同时,采

用 Spectre RF 对相位噪声进行了仿真, 其相位噪声特性如图 7 所示. 在偏离频率为 600kHz 时的相位噪声为 -119dBc/Hz . 表 2 给出了整个压控振荡器的性能.

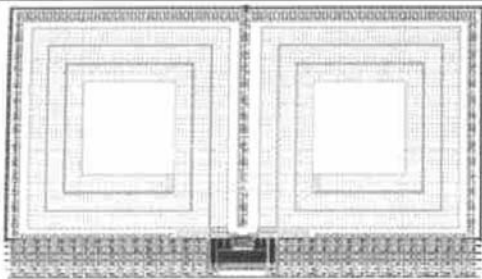


图 5 压控振荡器的版图

Fig. 5 Layout of the VCO

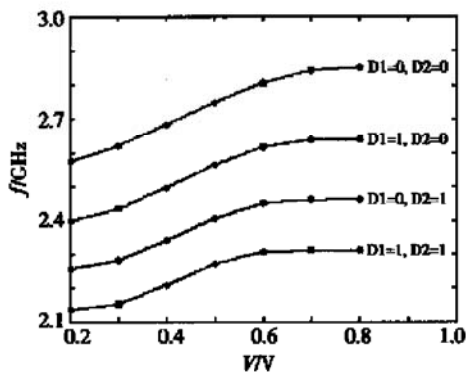


图 6 压控振荡器的调谐特性

Fig. 6 Characteristic of the VCO tuning

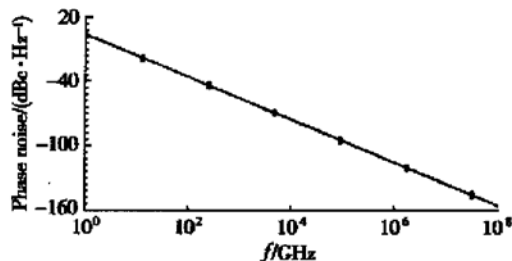


图 7 压控振荡器的相位噪声特性

Fig. 7 Characteristic of the VCO phase noise

表 2 压控振荡器的性能

Table 2 Performances of the VCO

电源电压	1V
中心频率	2.5GHz
控制电压	0.2~ 0.8V
调谐范围	2.13~ 2.85GHz
相位噪声	-119dBc/Hz @ 600kHz
功耗	3.6mW

5 结论

本文设计了 1V 2.5GHz 压控振荡器, 并对集成电感进行了优化, 与其它文献给出的结果相比, 本设计具有较低的相位噪声, 大的调谐范围, 最低的功耗及最低的电源电压. 本设计的完成为 1V 频率合成器的设计打下了坚实的基础.

参考文献

- [1] Craninckx J, Steyaert M. A 1.8GHz low-phase-noise CMOS VCO using optimized hollow spiral inductors. IEEE J Solid-State Circuits, 1997, 32(5): 736
- [2] Bunch R, Raman S. A 0.35 μm CMOS 2.5GHz complementary G_m VCO using PMOS inversion mode varactors. IEEE Radio Frequency Integrated Circuits Symposium, 2001: 49
- [3] Muer B D, Itoh N, Borremans, et al. A 1.8GHz highly-tunable low-phase-noise CMOS VCO. IEEE Custom Integrated Circuits Conference, 2000: 585
- [4] Chen Yu, Hong Zhiliang, Zhu Jiang. Design of high-performance multiphase clock generator used in LVDS driver with 0.25 μm CMOS technology. Chinese Journal of Semiconductors, 2001, 22(8): 1069 (in Chinese) [陈钰, 洪志良, 朱江. 采用 0.25 μm CMOS 工艺、适用于 LVDS 驱动器的高性能多相时钟生成器的设计. 半导体学报, 2001, 22(8): 1069]
- [5] Zhang Shilin, Liang Huilai, Yuan Xiaojie, et al. Trapezoidal convex substrate inner stripe semiconductor laser phase-locked array. Chinese Journal of Semiconductors, 1992, 13(2): 124 (in Chinese) [张世林, 梁惠来, 原小杰, 等. 梯形凸台衬底内条形半导体激光锁相阵列. 半导体学报, 1992, 13(2): 124]
- [6] Sun Xiqing, Li Zhijian, Fei Guifu. Micro polysilicon beam switch vibrator. Chinese Journal of Semiconductors, 1993, 14(6): 331 (in Chinese) [孙曦庆, 李志坚, 费圭甫. 微多晶硅梁开关振荡器. 半导体学报, 1993, 14(6): 331]
- [7] Ham D, Hajimiri A. Concepts and methods in optimization of integrated LC VCOs. IEEE J Solid-State Circuits, 2001, 36(6): 896
- [8] Tiebout M. Low-power low-phase-noise differentially tuned quadrature VCO design in a standard CMOS. IEEE J Solid-State Circuits, 2001, 36(7): 1018
- [9] Niknejad A M, Meyer R G. Analysis, design, and optimization of spiral inductors and transformers for Si RF IC's. IEEE J Solid-State Circuits, 1998, 33(10): 1470
- [10] Rael J, Abidi A. Physical process of phase noise in differential LC oscillators. IEEE Custom Integrated Circuits Conference, 2000: 569
- [11] Zhang Chunhui, Li Yongming, Chen Hongyi. Two types of

high frequency integrated CMOS Multivibrator voltage controlled oscillator. Chinese Journal of Semiconductors, 2001, 22: 491 (in Chinese) [张春晖, 李永明, 陈弘毅. 两种集成高频多谐振荡器. 半导体学报, 2001, 22: 491]

[12] Wang Zhao, Liu Fei, Ji Lijiu. A novel dual-path current-mode voltage controlled oscillator. Chinese Journal of Semiconductors, 2002, 23: 305 (in Chinese) [王钊, 刘飞, 吉利久. 新型双环路电流型压控振荡器. 半导体学报, 2002, 23: 305]

Design of 1V, 2.5GHz Voltage Controlled Oscillator

Li Tianwang, Zeng Xiaojun and Hong Zhiliang

(Department of Electronic Engineering, Fudan University, Shanghai 200433, China)

Abstract: A 1V, 2.5GHz VCO is designed with an on-chip inductor. Through inductor optimization, the VCO has a low phase noise and a wide tuning range with switched capacitor array and NMOS varactor. Simulation results with 0.18 μ m CMOS process show that the phase noise is -119dBc/Hz at 600kHz offset frequency, the tuning range is 28%, and the power consumption is 3.6mW.

Key words: frequency synthesizer; voltage controlled oscillator; phase noise; switched capacitor array; varactor

EEACC: 7250E; 1230B

Article ID: 0253-4177(2003)01-0080-05

Li Tianwang male, was born in 1968, PhD. His main research area includes mixed signal and RF circuit design.

Zeng Xiaojun male, was born in 1968, PhD candidate. His main research area includes digital signal processing and mixed signal circuit design.

Hong Zhiliang male, was born in 1946, PhD, professor, advisor of PhD candidates. He is engaged in research on VLSI design, special interest in high speed analog and mixed signal circuit design.

Received 12 March 2002, revised manuscript received 24 August 2002

©2003 The Chinese Institute of Electronics