

填充不流动胶的倒装焊封装中芯片的断裂问题*

彩 霞 黄卫东 徐步陆 程兆年

(中国科学院上海微系统与信息技术研究所 中德联合实验室, 上海 200050)

摘要: 用断裂力学方法和有限元模拟分析了填充不流动胶芯片断裂问题. 模拟时在芯片上表面中心预置一裂缝, 计算芯片的应力强度因子和能量释放率. 模拟表明, 由固化温度冷却到室温时, 所研究的倒装焊封装在填充不流动胶时芯片断裂临界裂纹长度为 $12\mu\text{m}$, 而填充传统底充胶时为 $20\mu\text{m}$. 模拟结果显示芯片断裂与胶的杨氏模量和热膨胀系数相关, 与胶的铺展关系不大. 焊点阵列排布以及焊点位置也会影响封装整体翘曲和芯片断裂.

关键词: 芯片断裂; 不流动胶; 封装翘曲; 能量释放率; 应力强度因子

EEACC: 2550F; 2570

中图分类号: TN 405. 97

文献标识码: A

文章编号: 0253-4177(2003)01-0090-08

1 引言

随着集成电路飞速发展, I/O 数目急剧增加, 集成电路封装也向快速化、小型化、高密度和低成本方向发展^[1,2]. 将芯片倒置在有机基板上的倒装焊封装技术顺应了这种发展趋势^[3~7], 但是由于芯片和有机基板之间存在热膨胀系数(CTE)的差别(芯片: $2.5 \times 10^{-6}/^{\circ}\text{C}$, 有机基板: $(18 \sim 24) \times 10^{-6}/^{\circ}\text{C}$), 焊点在热循环过程中将承受很大的周期性热应力应变, 造成裂纹萌生和扩展, 使其过早地发生疲劳失效. 1987 年, Nakano^[8]提出在聚合物环氧树脂中掺入大量的 SiO_2 颗粒粉料制成底充胶填充在芯片和基板之间, 可以缓解硅芯片和有机基板之间的热失配, 使焊点寿命提高 10~100 倍^[8~11], 同时胶还可以起到保护 IC 芯片免受污染的作用. 底充胶工艺迅速应用到倒装焊封装中. 传统的充胶工艺中, 胶是在倒装焊封装焊接好以后, 利用毛细作用填充在芯片与基板间隙内的, 和一般的表面贴装(SMT)工艺相比, 这种充胶工艺要增加充胶以及固化等步骤. 另外, 随着倒装焊工艺日趋走向大芯片、低焊点高度, 毛细作用已不足以使胶填满芯片/基板间隙, 这将引

起不完全充胶现象, 同时也增加了充胶时间和成本. 近年来, 由 Wong 等提出的不流动胶填充工艺克服了以上缺点, 它是在焊料回流焊之前预先将不流动胶铺好, 然后在回流焊过程中完成焊接和胶固化两个过程^[12~18]. 不流动胶与传统底充胶材料略有差别, 它必须满足以下条件:

(1) 不流动胶在焊接中能起到助焊剂的功能;
(2) 焊点形成先于不流动胶的固化; (3) 胶在回流焊过程中能完全固化.

各种胶的添加剂(如硬化剂、催化剂、填充粉料、耦合剂等)都会改变胶的材料属性, 进而影响封装的可靠性. 不流动胶一般由环氧树脂、硬化剂、催化剂、助焊剂组成^[14], 通常不含 SiO_2 类的填充颗粒. 这是由于填充颗粒会影响焊点的形成以及焊料和金属焊盘的浸润性^[20]. 因此, 和传统底充胶相比, 不流动胶由于缺少了 SiO_2 颗粒粉料对底充胶热力学性能的调节作用, 通常具有更高的热膨胀系数. 目前, 实验观测到的填充不流动胶倒装焊封装的失效模式有焊点疲劳失效、不流动胶/芯片或不流动胶/基板界面边缘断裂以及在焊点周围的胶的整体断裂^[21]. 其中在界面处由于不同材料之间的热失配所造成的分层是引起封装器件失效的主要原因. 但是随着芯片越

* 国家自然科学基金资助项目(批准号: 19834070)

彩 霞 女, 1976 年出生, 博士研究生, 目前从事电子材料和器件的可靠性研究.

程兆年 男, 研究员, 博士生导师, 主要研究领域包括高密度电子封装、新型电子材料等.

2002-01-19 收到, 2002-09-14 定稿

©2003 中国电子学会

来越大,且越来越薄,芯片的碎裂问题也不容忽视.特别是在胶固化过程和温度循环过程中,芯片将承受很大的热应力,往往会造成芯片碎裂.对于不流动胶填充工艺,固化胶发生在回流焊过程中,固化温度比传统底充胶更高,因此在低温时芯片应力更大.而关于填充不流动胶的倒装焊封装芯片可靠性问题的研究还少见报道.

本文主要运用断裂力学方法分析了填充不流动胶的倒装焊封装中芯片断裂问题.采用有限元方法模拟计算了裂纹在芯片中心时,芯片的应力强度因子(SIF)和能量释放率(ERR),并研究了裂纹长度、胶的铺展状况以及焊点排布、位置对芯片断裂的影响,并与传统的底充胶作了比较.

2 基本模型

本文采用二维平面应变模型来模拟填充不流动胶的倒装焊封装芯片断裂问题,并在芯片上表面中心预置一裂缝,其构型如图1所示.具体尺寸列在表1中.

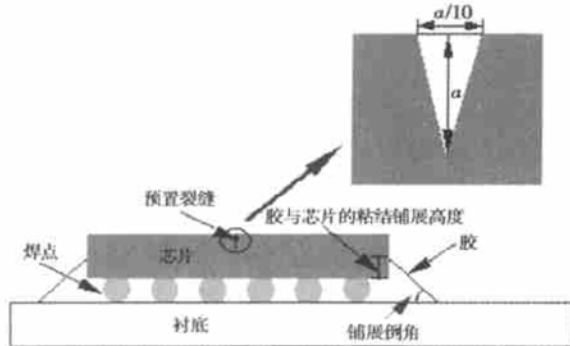


图1 填充不流动胶的倒装焊封装模型二维示意图

Fig. 1 Two-dimensional flip-chip package model with no-flow underfill

表1 填充不流动胶的倒装焊封装尺寸

Table 1 Key sizes of flip-chip with no-flow underfill

芯片	6.30mm×6.30mm×0.60mm
基板	12.6mm×12.6mm×0.60mm
焊点高度	130μm
焊点节距	450μm
焊点最大直径	200μm
焊点最小直径	150μm
焊盘厚度	35μm
UBM 厚度	35μm

在模拟过程中做如下假设:

(1) 倒装焊封装器件由 Si 芯片、锡铅共晶焊料 (37Pb/63Sn) 形成的焊点、金属化层 (UBM)、Cu 焊盘、FR4 基板以及胶几部分组成.

(2) 芯片、UBM、焊盘和基板为线弹性材料,焊料为粘塑性材料.胶的杨氏模量和热膨胀系数与温度相关^[5].所有材料的力学性能列在表2中.为了比较,传统胶的材料属性也列在表2中.

(3) 在芯片背面中心预置一裂缝.忽略所有的晶格缺陷以及其他工艺过程中产生的缺陷.

表2 倒装焊封装器件材料力学属性

Table 2 Mechanical properties of flip-chip package

材料	杨氏模量 /GPa	热膨胀系数 /10 ⁻⁶ ℃ ⁻¹	泊松比	玻璃化转变 温度/℃
芯片	155	2.6	0.25	
UBM	100	18	0.30	
焊料	31.7	24.7	0.40	
焊盘	120	17	0.30	
基板	22.0	18	0.28	
不流动胶	3.0(LT)~ 0.5(HT) ^[14]	80(LT)~ 450(HT) ^[14]	0.35	190 ^[14]
传统胶	9.0(LT)~ 1.0(HT) ^[3]	26(LT)~ 110(HT) ^[3]	0.30	186 ^[3]

注: LT 表示低温, HT 表示高温

3 有限元网格和模拟方法

本文利用 ANSYS 商用有限元软件运用断裂力学方法分析了芯片断裂问题,模拟计算了芯片的断裂参数.除焊点以外,其他所有材料均用平面 8 结点固体单元 (Plane82).考虑到焊料的蠕变,焊点采用平面 8 结点粘塑性单元 (Visco108).另外,为了防止裂缝两侧在模拟过程中的相互穿透,模拟中采用接触元素 (Contac48).图2显示了模拟的有限元网格以及裂纹尖端附近网格局部放大图.

在有限元模拟中,应力自由态温度取为不流动胶的固化温度 (200℃).加载条件为从高温 (应力自由态温度) 冷却到室温或温度循环时的低温 (-55℃).模拟中基板底面的中点为固支点,且对称轴在 x 方向上的位移为 0,以避免模拟构型转动.

由于模拟中结构和加载的对称性,芯片的断裂为单一的张开型断裂模式.由断裂力学模拟可以得到应力强度因子 K_I 和能量释放率 G .在线弹性条件下, K_I 和 G 可通过 J 积分计算,且 $G = J$. J 积分可以表达为公式 (1),其中 x 轴平行于裂纹扩展方向.

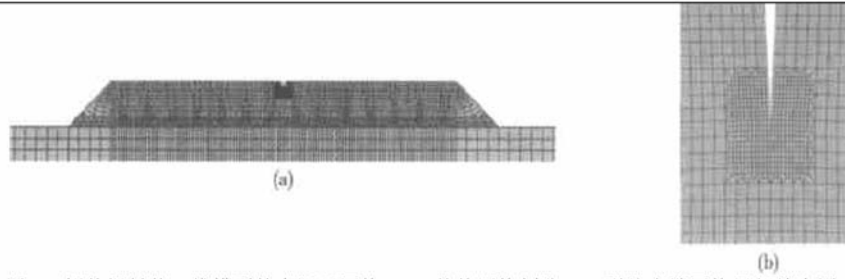


图2 倒装焊封装二维模型的有限元网格 (a) 整体网格划分; (b) 裂纹尖端网格局部放大图

Fig. 2 2D finite element mesh of flip chip package with no-flow underfill (a) and local refined mesh enlarged around crack tip (b)

$$J = \int W dy - \int (t_x \frac{\partial u_x}{\partial x} + t_y \frac{\partial u_y}{\partial y}) ds \quad (1)$$

其中 Γ 表示裂纹尖端周围任一路径; W 是应变能密度; $t_x = \sigma_x n_x + \sigma_{xy} n_y$ 是沿 x 轴的应力矢量; $t_y = \sigma_y n_y + \sigma_{xy} n_x$ 是沿 y 轴的应力矢量; σ 是应力分量; n 是路径 Γ 的单位外法向矢量; u 是位移矢量; s 是沿路径 Γ 的位移。

J 积分由各结点的应力、应变和位移的模拟结果计算得到。对平面应变而言, 应力强度因子 K 与 J 积分的关系满足下式。

$$J = \frac{1-\nu^2}{E} K^2 \quad (2)$$

其中 ν 是泊松比; E 为杨氏模量。根据断裂力学理论, 当应力强度因子 K 超过材料的临界断裂强度 K_{IC} 时, 就会发生分层或断裂。

4 模拟结果

4.1 裂纹长度的影响

预置裂缝长度取 $5\mu\text{m}$ 到 $50\mu\text{m}$ 。每隔 $5\mu\text{m}$ 长度产生一个有限元构型, 并进行一次降温加载下的有限元模拟, 计算该预置裂缝下的能量释放率。图3显示了 20°C 时填充不流动胶和传统底充胶两种情况下芯片断裂的能量释放率和应力强度因子随裂纹长度的变化曲线。从图3(a)可以看出, 能量释放率值随裂纹长度增长而增加, 表明该种裂纹是不稳定的, 随着裂纹的扩展, 会导致严重失稳^[23]。应力强度因子随裂纹长度也呈现非线性增长(图3(b))。说明裂纹长度越长, 芯片断裂的可能性也越大。按照 Lee 等所述^[24], Si 芯片在 $\{111\}$ 平面的断裂强度 $K_{IC} =$

$820\text{MPa} \cdot \mu\text{m}^{1/2}$, 对应的能量释放率为 $G_{IC} = 4.067\text{MPa} \cdot \mu\text{m}$ 。因此, 本文所研究的倒装焊封装, 在填充不流动胶时, 芯片的阈值裂纹长度 a_c 为 $12\mu\text{m}$, 而填充传统底充胶时, 阈值裂纹长度 a_c 大约为 $20\mu\text{m}$ 。当裂纹长度超出了阈值长度时, 裂纹就会失稳扩展, 使芯片碎裂。显然, 对同等长度的裂纹, 填充不流动胶的芯片更易断裂。

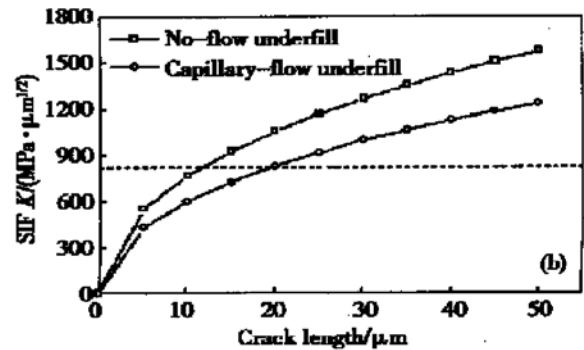
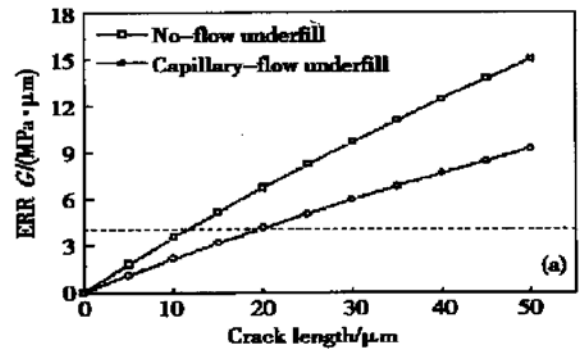


图3 20°C 时填充不流动胶和传统底充胶的芯片断裂参数 (a) J 积分; (b) 应力强度因子

Fig. 3 Comparison of J -integral (a) and SIF (b) of the die crack between the case with no-flow underfill and the case with conventional capillary-flow underfill at 20°C

4.2 不流动胶铺展状况的影响

取胶与基板的铺展倒角为 45° , 比较胶与芯片的粘结铺展高度分别为 0、25%、50%、75% 和 100% 芯片厚度五种情形(见图 1 标注)下芯片断裂情况, 模拟结果显示在图 4(a) 中. 另取四组不同铺展倒角(包括 30° 、 45° 、 60° 和无倒角), 固定胶与芯片的铺展高度为 50% 芯片厚度, 模拟结果显示在图 4(b) 中, 其中 90° 表示无倒角. 从图 4 可以看出, 芯片应力强度因子 SIF 值随胶的铺展高度以及倒角的变化很小, 表明胶的铺展状况与芯片断裂无太大关系.

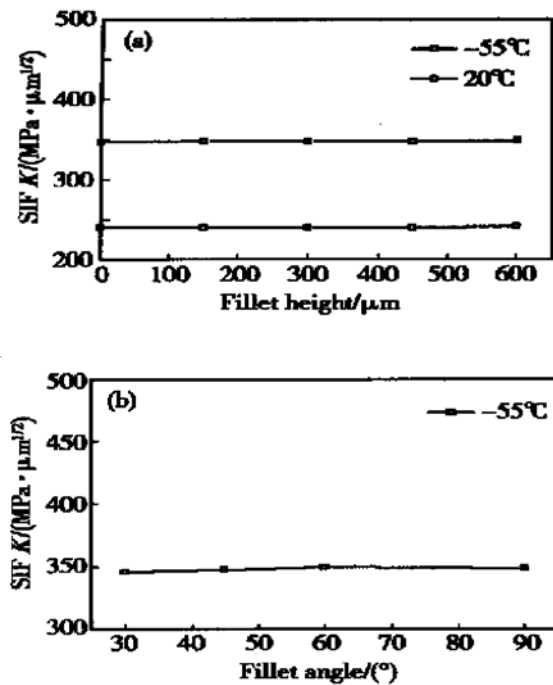


图4 不流动胶的铺展对芯片断裂的影响 (a) 胶与芯片的铺展高度; (b) 胶与衬底的铺展倒角

Fig. 4 Effects of fillet height (a) and angle (b) of no-flow underfill on the die cracking

4.3 胶材料属性的影响

在研究胶材料属性影响的一组模拟中, 预置裂缝长度均取为 $10\mu\text{m}$, 胶的铺展高度为 50% 芯片厚度, 铺展倒角为 45° , 杨氏模量和热膨胀系数均有高低两种取值(分别对应于流动的和流动底充胶实际值). 不同组合后分别作有限元模拟, 计算芯片断裂的能量释放率和应力强度因子(表 3), 结果表明芯片断裂与胶的这两种材料参数非常有关. 在高的杨氏模量和热膨胀系数下, 芯片更容易断裂.

表3 不同的胶的杨氏模量和热膨胀系数下芯片的断裂参数

Table 3 J integral and SIF of die cracking with different properties of underfill material

序号	焊点排布	杨氏模量 /GPa	热膨胀系数 / $10^{-6}^\circ\text{C}^{-1}$	能量释放率 /($\text{MPa} \cdot \mu\text{m}$)	应力强度因子 /($\text{MPa} \cdot \mu\text{m}^{1/2}$)
M1	Full	3.0(LT) ~ 0.5(HT)	80(LT) ~ 450(HT)	7.358	1102.95
M2	7 [#]	3.0(LT) ~ 0.5(HT)	80(LT) ~ 450(HT)	7.668	1125.98
M3	7 [#]	9.0(LT) ~ 1.0(HT)	80(LT) ~ 450(HT)	9.440	1249.31
M4	7 [#]	3.0(LT) ~ 0.5(HT)	26(LT) ~ 110(HT)	7.702	1128.42
M5	1 [#] + 7 [#]	3.0(LT) ~ 0.5(HT)	80(LT) ~ 450(HT)	12.35	1428.67
M6	1 [#] + 7 [#]	9.0(LT) ~ 1.0(HT)	80(LT) ~ 450(HT)	12.71	1449.79
M7	1 [#] + 7 [#]	3.0(LT) ~ 0.5(HT)	26(LT) ~ 110(HT)	8.460	1182.68

图 5 给出了包含 7 个焊点的倒装焊封装的半模型示意图, 原点位于基板底部中心. 对不同位置的焊点进行编号, 最靠近中心的焊点为 1[#], 依次向外递推, 最靠近芯片边缘的焊点为 7[#]. 表 3 中 M2~ M4 组指半模型中只有编号为 7[#] 的最边缘一个焊点, 而 M5~ M7 组半模型中包含中心位置 1[#] 和边缘 7[#] 两个焊点, M1 组表示全满的焊球阵列.

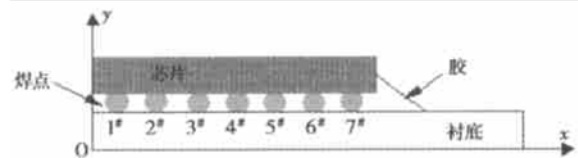


图5 不同焊点的半模型示意图

Fig. 5 Half model with solder ball numbers

比较表 3 中 M2~ M4 组和 M5~ M7 组的断裂参数结果, 可以发现两个系列随杨氏模量和热膨胀系数的变化略有不同. 在 M2~ M4 组中最低的应力强度因子 SIF 为 M2, 其杨氏模量和热膨胀系数都很低. M4 的杨氏模量与 M2 一致, 热膨胀系数比 M2 小, 其 SIF 只是略高于 M2 (小于 1%), 而 M3 的 SIF 明显高于 M2 和 M4, 表明杨氏模量的作用比较显著. 对 M5~ M7 三组而言, 最低 SIF 值的 M7 组也同样具有低的杨氏模量和热膨胀系数. 而 M5 和 M6 都是采用不流动胶的高热膨胀系数值, 其 SIF 大大高于 M7, 而 M5 和 M6 仅相差 3% 左右, 说明在这三组当中, 胶的热膨胀系数的大小对芯片断裂的作用更大, 杨氏模量的作用被削弱. M2~ M4 组和 M5~ M7 组的差别只是焊点排布, 却导致芯片断

裂对胶的杨氏模量和热膨胀系数变化的敏感程度不同,说明焊点排布对芯片的断裂也有很大影响。

4.4 焊点排布的影响

在本组有限元模拟中,芯片预置裂缝和底充胶铺展几何参数同上一组模拟。表4列出了填充不流动胶和传统底充胶时不同焊点排布下的 J 积分结果。从表中可以看出,填充不流动胶时,芯片断裂的能量释放率受焊点排布影响很大;而填充传统底充胶时,二者的关系不大。另外,包含芯片中心位置1[#]焊点的芯片能量释放率(A3, A4和A5)明显高于其他焊点阵列。

表4 填充不流动胶和传统底充胶时不同焊点阵列的 J 积分

Table 4 ERR with different locations of solder balls for the package with no-flow underfill and with capillary-flow underfill

序号	焊点排布	J 积分/(MPa· μ m)	
		填充不流动胶	填充传统底充胶
A1	7 [#]	7.668	5.449
A2	6 [#] + 7 [#]	7.466	5.447
A3	1 [#] + 7 [#]	12.345	5.394
A4	1 [#] + 6 [#] + 7 [#]	10.605	5.393
A5	1 [#] + 2 [#] + 6 [#] + 7 [#]	10.355	5.390
A6	1 [#] + 2 [#] + 3 [#] + 4 [#] + 5 [#] + 6 [#] + 7 [#]	7.358	5.417

由于FR4基板和胶的热膨胀系数比较大,在冷却过程中,将比芯片收缩得更厉害,导致封装整体向下弯曲,同时芯片受到比较大的轴向压缩应力。不同的焊点排布将影响封装整体翘曲,从而引起芯片断裂参数的变化。同时,由于芯片与基板之间除焊点以外,其余空间均被胶填满。填充不同的胶也会对倒装焊封装的变形产生影响。传统底充胶的热膨胀系数与焊料相近(见表2),因此焊点排布对封装整体的变形以及芯片的断裂影响不大(见表4)。而不流动胶的杨氏模量比较小,热膨胀系数比较大。在冷却过程中更易产生变形,收缩也更明显。因此,填充不流动胶时,芯片的变形和断裂与焊点排布相关。

A3, A4和A5的能量释放率比较高说明焊点的位置对芯片断裂有影响。

4.5 焊点位置的影响

为了研究焊点位置对芯片断裂的影响,在半模型中进一步仅取两个焊点,即边缘焊点(7[#]焊点)和其他任一焊点(从1[#]至6[#]焊点),分别模拟这六种不同焊点位置条件下,倒装焊封装从固化温度冷却

到-55℃时芯片的应力强度因子的变化,结果见图6。在所有组合中,仅焊点的位置不同,其他条件完全一致。图6结果显示1[#] + 7[#]组合具有最大的应力强度因子值,最低的为3[#] + 7[#]焊点组合,而且除1[#] + 7[#]组合数值明显较高以外,其他组合之间SIF相差不大。

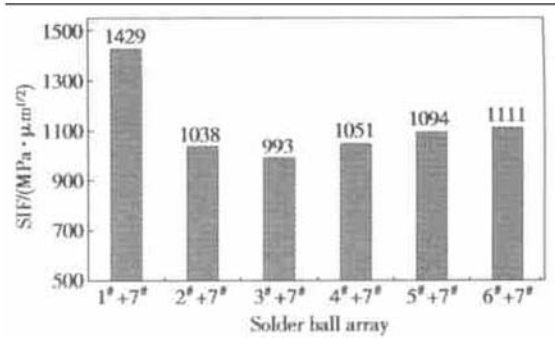


图6 两个不同位置焊点组合下芯片的应力强度因子(-55℃)

Fig. 6 SIF value with different locations of two solder balls(-55℃)

用芯片在冷却过程中的变形可以解释上述结果。图7给出了1[#] + 7[#], 2[#] + 7[#]和3[#] + 7[#]三种焊点组合时,芯片底面各结点在-55℃时 y 方向上位移的有限元模拟结果。其中虚线表示具有该编号的焊

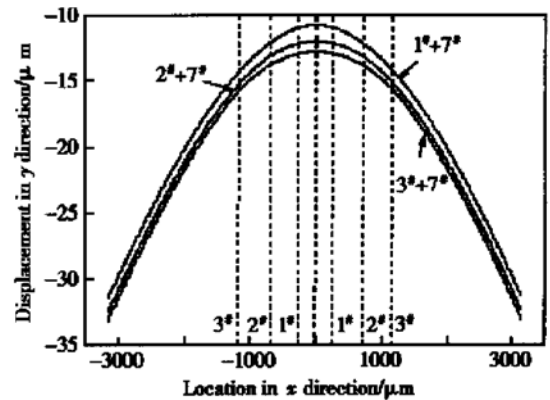


图7 在1[#] + 7[#], 2[#] + 7[#]和3[#] + 7[#]三种焊点组合条件下的填充不流动胶的芯片表面结点位移 U_y

Fig. 7 Displacement in y direction of every node at the top surface of the die with no-flow underfill for case 1[#] + 7[#], 2[#] + 7[#] and 3[#] + 7[#] (-55℃)

点在 x 轴上的中心坐标位置。从图中可以看出,1[#] + 7[#]焊点组合的芯片中心弯曲得最为严重;3[#] + 7[#]焊点组合时的芯片最平坦。这表明焊点离芯片中心越近,芯片中心处弯曲得越厉害,导致芯片更易断

裂. 模拟结果显示 $1^\# + 7^\#$ 焊点组合的 SIF 比 $3^\# + 7^\#$ 焊点组合的高, 且高达 44% 左右(见图 6), 这与芯片变形结果一致, 也表明焊点位置的影响不可忽视.

随着焊点组合从 $3^\# + 7^\#$ 移到 $6^\# + 7^\#$, SIF 值略有增长(见图 6). 对应的这两种条件下芯片表面的弯曲变形显示在图 8(a) 中. 可以看到 $6^\# + 7^\#$ 组

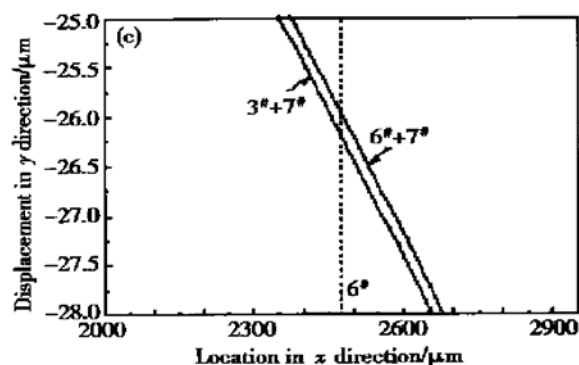
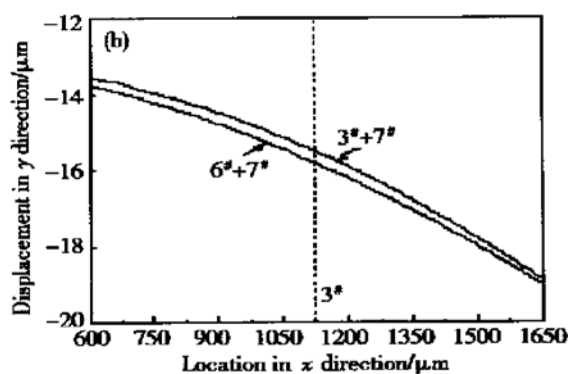
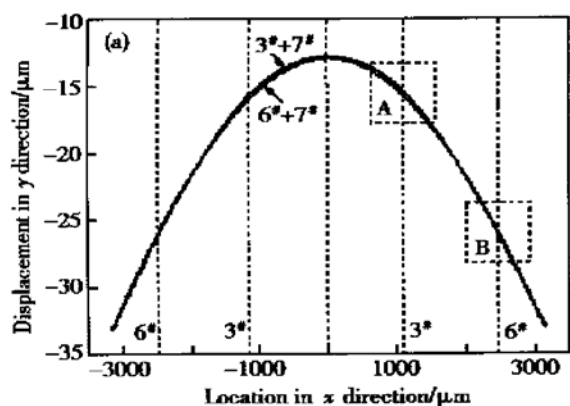


图 8 $3^\# + 7^\#$ 和 $6^\# + 7^\#$ 两种焊点组合时芯片变形

(a) 芯片整体变形; (b) A 部分放大; (c) B 部分放大

Fig. 8 Displacement in y direction of the die with $3^\# + 7^\#$ and $6^\# + 7^\#$ solder balls (-55°C)

(a) global view; (b) local enlarged view in part A; (c) local enlarged view in part B

合芯片中心弯曲略高于 $3^\# + 7^\#$ 组合. 图 8(b) 和图 8(c) 是这两种焊点组合条件下芯片分别在 $3^\#$ 和 $6^\#$ 焊点位置附近的 U_y 曲线. 比较这两张图可以发现, $3^\# + 7^\#$ 和 $6^\# + 7^\#$ 的芯片变形在 $3^\#$ 和 $6^\#$ 焊点位置附近发生了变化. 在 $3^\#$ 焊点位置附近(图 8(b)), $3^\# + 7^\#$ 的 U_y 高于 $6^\# + 7^\#$; 而在 $6^\#$ 焊点位置附近(图 8(c)), $3^\# + 7^\#$ 的 U_y 低于 $6^\# + 7^\#$. 这可能是由于焊料比不流动胶的杨氏模量高, 比热膨胀系数低, 因此在冷却过程中焊料相对于不流动胶只有很小的变形, 使得芯片与基板之间的间隙主要靠焊点支撑, 导致在焊点位置附近的芯片变形减小. 在本模拟中, 几何构型、材料属性以及焊点的位置致使 $3^\# + 7^\#$ 焊点组合时的芯片应力强度因子最低.

由于目前断裂力学还只是二维模型计算比较成熟, 因此本文是采用二维平面应变近似进行有限元模拟的. 但二维模拟有其不足之处, 主要是不能具体反映应力应变的三维空间分布, 尤其是当芯片为矩形时.

5 结论

本文模拟了填充不流动胶的倒装焊封装在冷却过程中芯片的断裂, 并和传统底充胶作了比较, 得到以下结论:

(1) 芯片的应力强度因子随裂纹长度而增加. 20°C 时, 所研究的倒装焊封装在填充不流动胶时, 芯片临界裂纹长度为 $12\mu\text{m}$, 填充传统底充胶的芯片临界裂纹长度为 $20\mu\text{m}$.

(2) 芯片的断裂与胶的铺展状况无太大关系, 但与胶的杨氏模量和热膨胀系数非常有关.

(3) 由于不流动胶具有更高的热膨胀系数和更低的杨氏模量, 因此焊点排布和焊点位置会影响芯片变形程度, 进而影响芯片断裂参数. 模拟结果表明, 靠近芯片中心的焊点会使芯片应力强度因子增加. 在特定的焊点排布下, 芯片断裂的可能性会达到最小值.

参考文献

- [1] Marrs R. Trends in IC packaging. Electron Packag Prod, 1996: 24
- [2] Tummala R R, Rymaszewski E J, Klopfenstein A. Microelectronics packaging handbook. Part II, 2nd Ed. New York: Chapman & Hall, 1997

- [3] Chen Liu, Zhang Qun, Wang Guozhong, et al. Thermal cycle failure of SnPb solder joint for flip chip package and effects of underfill material. Chinese Journal of Semiconductors, 2001, 22(1): 107(in Chinese)[陈柳, 张群, 王国忠, 等. 倒装焊 SnPb 焊点热循环失效和底充胶的影响. 半导体学报, 2001, 22(1): 107]
- [4] Xu Bulu, Zhang Qun, Cai Xia, et al. Underfill delamination and solder joint failure of flip chip on board. Chinese Journal of Semiconductors, 2001, 22(10): 1335(in Chinese)[徐步陆, 张群, 彩霞, 等. 倒扣芯片连接底充胶分层和焊点失效. 半导体学报, 2001, 22(10): 1335]
- [5] Chen Liu, Zhang Qun, Wang Guozhong, et al. The effects of underfill and its material models on thermomechanical behaviors of a flip chip package. IEEE Trans Adv Packag, 2001, 24(1): 17
- [6] Cheng Z N, Cai X, Chen L, et al. Thermal fatigue failure analysis of SnPb solder bumped flip chip on low-cost board with and without underfill encapsulants. In: Proceedings of the Fourth International Symposium on Electronic Packaging Technology, 2001: 403
- [7] Cheng Z N, Xu B, Zhang Q, et al. Underfill delamination analysis of flip chip on low cost board. In: Proceedings of 2001 International Symposium on Electronic Materials & Packaging, 2001: 280
- [8] Nakano F, Soga T, Amagi S. Resin-insertion effect on thermal cycle resistivity of flip-chip mounted LSI devices. In: Proc Int Soc Hybrid Microelectron Conf'87, 1987: 536
- [9] Suryanarayana D, Hsiao R, Gall T P, et al. Flip-chip solder bump fatigue life enhanced by polymer encapsulation. In: Proc 40th IEEE Electron Comp Technol Conf'90, 1990: 338
- [10] Wong C P. Polymers for electronic and photonic applications. San Diego: Academic, 1993: 195
- [11] Lau J H. Chip on board. New York: Van Nostrand Reinhold, 1994: 504
- [12] Wong C P, Baldwin D F. No-flow underfill for flip-chip packages. US Patent Pending, 1996
- [13] Wong C P, Shi S H, Jefferson G. High performance no-flow underfills for low-cost flip-chip applications: material characterization. IEEE Trans Components, Packaging, and Manufacturing Technology-Part A, 1998, 21(3): 450
- [14] Shi S H, Wong C P. Study of the fluxing agent effects on the properties of no-flow underfill materials for flip-chip applications. IEEE Trans Compon Packag Technol, 1999, 22(2): 141
- [15] Lu J, Smith B, Baldwin D F. Adhesion characterization of no-flow underfills used in flip-chip assemblies and correlation with reliability. IEEE Trans Electron Packag Manuf, 2001, 24(1): 26
- [16] Luo S, Wong C P. Study on effect of coupling agents on underfill material in flip chip packaging. IEEE Trans Compon Packag Technol, 2001, 24(1): 38
- [17] Zhang Z Q, Shi S H, Wong C P. Development of no-flow underfill materials for lead-free solder bumped flip-chip applications. IEEE Trans Compon Packag Technol, 2001, 24(1): 274
- [18] Thorpe R, Baldwin D F, Smith B, et al. Yield analysis and process modeling of low cost, high throughput flip chip assembly based on no-flow underfill materials. IEEE Trans Electron Packag Manuf, 2001, 24(2): 123
- [19] Wang L, Li H, Wong C P. Reworkable no-flow underfills for flip chip applications. IEEE Trans Electron Packag Manuf, 2001, 24(2): 115
- [20] Fan L H, Shi S H, Wong C P. Incorporation of inorganic filler into the no flow underfill material for flip chip application. In: International Symposium on Advanced Packaging Materials, 2000: 303
- [21] Previti M A. No flow underfill reliability is here. Technical Proc APEX, 2000: P-MT1/1-1~ 1-4
- [22] Powell D O, Trivedi A K. Flip-chip on FR-4 integrated circuit packaging. In: Proc Electron Compon Technol Conf, 1993: 182
- [23] Lau J H, Lee S W R, Chang C. Effects of underfill material properties on the reliability of solder bumped flip chip on board with imperfect underfill encapsulants. IEEE Trans Compon Packag Technol, 2000, 23(2): 323
- [24] Lee T W, Pabbisetty S V. Microelectronic failure analysis: desk reference. 3rd Ed, 1993: 366

Die Cracking of Flip-Chip with No-Flow Underfill*

Cai Xia, Huang Weidong, Xu Bulu and Cheng Zhaonian

(Daimler Chrysler SIM Laboratory, Shanghai Institute of Microsystem and Information Technology,
The Chinese Academy of Sciences, Shanghai 200050, China)

Abstract: The die cracking with no-flow underfill is analyzed and compared with the case for conventional capillary-flow underfill. The fracture mechanics and finite element method are applied to the die cracking analysis of flip-chip assembly with no-flow underfill. The pre-crack is assumed at the center on the backside of the die in this simulation. The J integral is used to calculate fracture parameters, including energy release rate G and stress intensity factor K . The variation of fracture parameters with pre-crack lengths are simulated, and the critical length is about $12\mu\text{m}$ for the assembly with no-flow underfill and $20\mu\text{m}$ for the package with capillary-flow underfill at 20°C . The simulation results indicated that the die cracking is dependent on the Young's modulus and CTE of the underfill materials, but hardly on the underfill fillet. An interesting result from the case study of simulations is that the solder ball array and the ball locations would influence the warpage of packaging assembly and the die cracking.

Key words: die cracking; no-flow underfill; warpage of packaging assembly; energy release rate; stress intensity factor

EEACC: 2550F; 2570

Article ID: 0253-4177(2003)01-0090-08

* Project supported by National Natural Science Foundation of China(No. 19834070)

Cai Xia female, was born in 1976, PhD candidate. She is engaged in the reliability research on electronic materials and devices.

Cheng Zhaonian male, professor. He is engaged in the study on high density packaging technology and smart materials.

Received 19 January 2002, revised manuscript received 14 September 2002

©2003 The Chinese Institute of Electronics