

全耗尽 CMOS/SOI 工艺

刘新宇¹ 孙海峰¹ 刘洪民¹ 陈焕章¹ 扈焕章¹ 海潮和¹ 和致经² 吴德馨¹

(1 中国科学院微电子中心, 北京 100029)

(2 中国科学院半导体研究所, 北京 100083)

摘要: 对全耗尽 CMOS/SOI 工艺进行了研究, 成功地开发出成套全耗尽 CMOS/SOI 抗辐照工艺. 其关键工艺技术包括: 氮化 H_2-O_2 合成薄栅氧、双栅和注 Ge 硅化物等技术. 经过工艺投片, 获得性能良好的抗辐照 CMOS/SOI 器件和电路(包括 101 级环振、2000 门阵列等), 其中, nMOS: $V_t = 0.7V$, $V_{ds} = 4.5 \sim 5.2V$, $\mu_{eff} = 465cm^2/(V \cdot s)$, pMOS: $V_t = -0.8V$, $V_{ds} = -5 \sim -6.3V$, $\mu_{eff} = 264cm^2/(V \cdot s)$. 当工作电压为 5V 时, $0.8\mu m$ 环振单级延迟为 45ps.

关键词: 全耗尽 CMOS/SOI 工艺; 氮化 H_2-O_2 合成薄栅氧; 双栅; 注 Ge 硅化物

EEACC: 2570D

中图分类号: TN386

文献标识码: A

文章编号: 0253-4177(2003)01-0104-05

1 引言

随着器件特征尺寸的缩小, 电路的速度得以不断地提高. 但当器件特征尺寸下降到亚微米、深亚微米领域, 体硅工艺由于自身材料的限制, 其电路速度的提高受到严重的制约. SOI 技术, 特别是全耗尽 SOI 技术, 由于其自身的特点^[1]: 无闩锁效应; 源、漏寄生电容小; 较为陡直的亚阈值斜率; 输出驱动电流大; 载流子迁移率高; 较好地抑制短沟道效应等, 在进入亚微米、深亚微米后, 将取代体硅工艺成为高速、高性能电路的主流工艺.

目前, 国内外有关高速 SOI 器件和电路的报道很多. 1994 年, Motorola 公司报道了高速的 SOI 256 分频器电路, 电源电压为 1V 时的工作频率可达 500MHz, 功耗仅为 $60\mu W$ ^[2]. IBM 公司 1997 年报道了采用 $0.1\mu m$ SOI CMOS 工艺制备出的无负载单级延迟在室温达 7.85ps, 在液氮温度下达 5.5ps 的反相器电路. 1998 年他们采用 $0.18\mu m$ 工艺制备出时钟速度高达 660MHz 的 64 位微处理器, 与采用相同工艺的体硅电路相比, 速度提高了 30%^[3]. 在国内, 中国科学院微电子中心于 1999 年研制出 $0.5\mu m$ 部分耗尽 SOI CMOS 器件和电路, 其中 101 级环振在工作电压为 3V 时, 其单级延迟仅为 42ps^[4]. 北京

大学微电子所于 2000 年研制出了超高速的全耗尽电路^[5].

本文主要报道 $0.8\mu m$ 全耗尽器件和电路研究, 其中全耗尽 SOI CMOS 101 级环振在工作电压为 5V 时, 其单级延迟仅为 45ps, 这为国内全耗尽 SOI CMOS 电路研制报道最高水平.

2 CMOS/FDSOI 关键工艺研究

$0.8\mu m$ CMOS/FDSOI 工艺研究的关键工艺技术包括: 氮化 H_2-O_2 合成薄栅氧、新型双栅、注 Ge 硅化物等技术.

2.1 氮化 H_2-O_2 合成薄栅氧

目前, 国内外有关氮氧化栅的报道很多^[6,7], N_2O 退火氮化氧化的栅介质同常规的氧化栅介质相比, 能有效地提高击穿特性、抑制热载流子效应和提高抗 FN 应力损伤. 同时由于氮化促使 Si—N 键代替 Si—O 键, 抑制界面态产生, 将能提高抗辐射能力. 但直接生长的氮化氧化栅存在自限制生长特性, 难以满足工艺的要求. 为此, 我们将 H_2-O_2 合成和氮氧化栅两种技术结合起来, 充分利用两者的优点制成三层结构的 Sandwich 栅^[8], 可改善击穿特性和抗辐射能力. 其中氮氧化栅采用两步氮氧化法, 其

工艺流程如下:

HF/IPA 清洗 $\rightarrow$ N_2O 氮氧化栅 3nm $850^\circ\text{C} \rightarrow$ $\text{H}_2\text{-O}_2$ 合成栅 8nm $850^\circ\text{C} \rightarrow$ N_2O 氮氧化栅 3nm $850^\circ\text{C} \rightarrow$ 退火 N_2 30min 850°C .

图 1 给出氮化 $\text{H}_2\text{-O}_2$ 合成薄栅氧的零时间击穿特性和 TDDB 特性. 从图中可见, $\text{H}_2\text{-O}_2$ 合成法制备

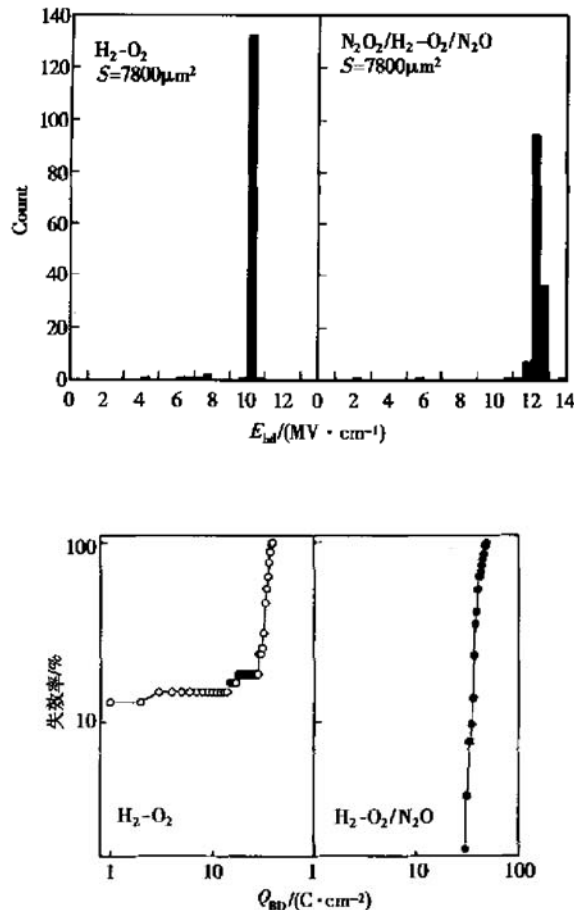


图 1 氮化 $\text{H}_2\text{-O}_2$ 合成与 $\text{H}_2\text{-O}_2$ 合成薄栅氧的零时间击穿特性和 TDDB 特性比较

Fig. 1 Breakdown and TDDB characteristics of the two kinds of N_2O -annealed $\text{H}_2\text{-O}_2$ and $\text{H}_2\text{-O}_2$ grown thin gate oxide

的样品击穿场强为 $10\text{MV}/\text{cm}$, 而氮化 $\text{H}_2\text{-O}_2$ 合成法制备的样品击穿场强超过 $12\text{MV}/\text{cm}$ 的测试点占 90%; 当累积失效率为 50% 时, $\text{H}_2\text{-O}_2$ 合成和氮化 $\text{H}_2\text{-O}_2$ 合成法制备的所对应的 Q_{bd} 分别为: $33\text{C}/\text{cm}^2$ 和 $39\text{C}/\text{cm}^2$. $\text{H}_2\text{-O}_2/\text{N}_2\text{O}$ 样品的 Q_{bd} 值和分布都要优于 $\text{H}_2\text{-O}_2$ 合成样品. 可见氮化 $\text{H}_2\text{-O}_2$ 合成薄栅氧的击穿特性和 TDDB 特性均优于没氮化的 $\text{H}_2\text{-O}_2$ 合成栅氧.

2.2 新型双栅 TFSOI 器件

对于 TFD SOI 器件来说, 阈值电压的控制是一个很关键的问题. 在体硅中, 可以通过控制沟道杂质浓度来调整阈值, 但是在 TFD SOI 器件中, 沟道杂质浓度需要在两种因素间平衡和折衷: 首先, 杂质浓度必须足够低, 以确保沟道区全部耗尽; 其次, 它又必须足够高以使器件有适当大的阈值电压. 在体硅 CMOS 工艺中, 最常用的栅材料是 n^+ 多晶硅栅. 为了使 pMOS 晶体管由埋沟器件变为表面沟器件, 有时也采用 p^+ 多晶硅栅. 采用双栅结构的 CMOS 器件, 使 p 管和 n 管的性能接近于对称. 但是, 在 TFD SOI 器件中, 采用这种双栅结构时, 沟道掺杂浓度较高, 这样势必会降低源漏击穿电压. 在实验中, 我们采用了一种新型的双栅结构. 根据两种栅材料的功函数差, 当 nMOS 器件采用 p^+ 多晶硅栅, pMOS 器件采用 n^+ 多晶硅栅时, 可以适当降低沟道掺杂浓度, 使源漏击穿特性得到改善. 器件结构如图 2 所示.

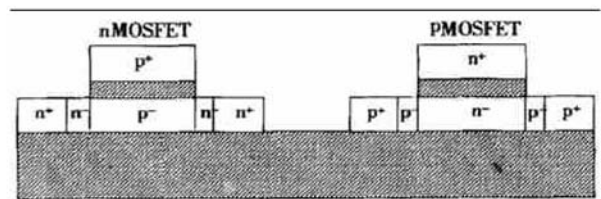


图 2 双多晶硅栅器件结构示意图

Fig. 2 Diagram of SOI device with double polysilicon gates

2.3 注 Ge 硅化物

为了减少源漏方块电阻, 有必要采用硅化物物的源和漏. 在 SOI 技术中, 最为广泛使用的是钛金属硅化物 (TiSi_2). 常规的硅化物工艺^[2,3]通过淀积钛金属层以及随后的两步退火形成. 硅化物的厚度与淀积 Ti 的厚度有关. 若淀积的 Ti 太薄, 容易引起热聚集 (thermal agglomeration), 导致电学接触差; 若淀积的 Ti 太厚, 由于在纵向 Si 原子的数量是有限的, Si 只有经过横向扩散来参与反应, 这样容易形成空位 (voids)^[9]. 因此, 常规的硅化物工艺并不适合于 TFD SOI 器件制造工艺. 注 Ge 的预非晶化多晶硅 (或硅) 形成硅化物工艺^[10-13]能很好地解决深度控制问题. 之所以选用 Ge 注入, 主要基于两点考虑: (1) 与 Si 相比, 只需要小剂量的 Ge 就能使多

晶硅膜非晶化, 并且 SiGe 与金属有较低的接触电阻; (2) Ge 是中性的, 适合于 p、n 型 MOSFET.

注 Ge 硅化物的主要工序如下^[14]:

S/D 注入退火 → 侧墙形成, 90nm → Ge 注入, 35keV, $4 \times 10^{14} \text{ cm}^{-2}$ → Ti 淀积, 25nm → 第一次热处理(RTP, 670°C, 5s) → 选择性刻蚀(S. E.) → 第二次热处理(RTP, 880°C, 10s).

与常规的硅化物形成过程相比, 该工艺有两个明显的特点: (1) 处理温度比较低, 减少了掺杂剂分凝现象; (2) Ge 的注入, 使 Si 非晶化, 硅化物的厚度容易控制, 同时减少了空位的数量. 图 3 给出了注 Ge 和不注 Ge 时硅化物方块电阻的比较. 从图中可以看出, 注 Ge 预非晶化技术能使 SOI 材料硅化物的方块电阻降低了很多, 而不注 Ge 的样品经过第二次退火后, 方块电阻依然较大.

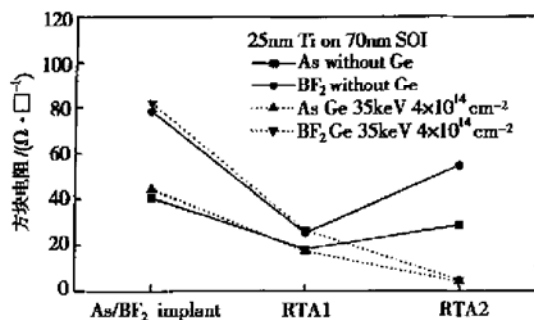


图 3 注 Ge 和不注 Ge 时硅化物方块电阻的比较

Fig. 3 Sheet-resistance of implanted Ge and no implanted Ge

3 0.8 μm CMOS/TFSOI 工艺流程

在解决了关键工艺后, 我们将其融合在成套工艺中, 经过几轮工艺投片优化, 1.2 μm CMOS/FD-SOI 工艺流程如下:

(1) 作标记和在线监控图形; (2) 采用牺牲氧化技术减薄硅层至 95nm; (3) PBL (poly-buffered LOCOS) 隔离, 鸟嘴尺寸 < 0.2 μm; (4) nMOS 管硅岛边缘注入: B⁺ 30keV $5 \times 10^{13} / \text{cm}^2$, 以抑制边缘漏电; (5) 预栅氧 15nm; (6) 沟道掺杂工程 nMOS: B 50keV $2 \times 10^{12} / \text{cm}^2$, BF₂ 80keV $3 \times 10^{11} / \text{cm}^2$; pMOS: P 80keV $2 \times 10^{11} / \text{cm}^2$; 对 nMOS 和 pMOS 管进行阈值调整, 抑制沟道穿通和背栅效应; (7) 氮化 H₂-O₂ 合成薄栅氧 850°C 11nm. 我们将 H₂-O₂ 合成和氮氧化栅两种技术结合起来, 采用三层复合结

构 “Sandwich” 栅, 其中氮氧化栅采用两步氮氧化法; (8) LPCVD 多晶硅 350nm, 多晶硅掺杂注入: nMOS: B 30keV $8 \times 10^{15} / \text{cm}^2$; pMOS: P 70keV $5 \times 10^{15} / \text{cm}^2$, 器件采用新型的双栅结构^[6]; (9) 光刻和 RIE 多晶硅, 形成 0.8 μm 多晶硅栅; (10) 源漏 Extension 掺杂 nMOS: P⁺ 30keV $2 \times 10^{13} / \text{cm}^2$, pMOS: B⁺ 30keV $4 \times 10^{13} / \text{cm}^2$; (11) 淀积 TEOS 330nm, RIE 形成 LDD 结构, 用于提高击穿电压, 抑制短沟道效应和热电子效应; (12) 源漏注入 nMOS: As⁺ 60keV $5.5 \times 10^{15} / \text{cm}^2$, pMOS: BF⁺ 40keV $3 \times 10^{15} / \text{cm}^2$; (13) RTA 1000°C 6s, 对各注入进行退火和激活; (14) 注 Ge 硅化物工艺; (15) BPSG 淀积及回流; (16) 双层金属布线(采用 SOG 法); (17) 钝化.

4 SOI 器件和电路研究

采用上述工艺流程, 我们获得性能良好的 CMOS/FDSOI 器件和电路, 其中电路包括 101 级环振和 2000 门阵列. 表 1 给出 0.8 μm 全耗尽 SOI 器件的基本电学参数和器件性能. 从表中可见, 全耗尽 SOI nMOS 和 pMOS 管的亚阈值斜率分别为 79mV/dec 和 81mV/dec, 较为接近理想的亚阈值斜率(60 mV/dec); 由于单管门锁效应的存在, 器件的击穿电压较低, nMOS 为 4.5~5.2V, pMOS 管为 5~6.3V; 另外, 器件的泄漏电流较小, nMOS 为 $2 \times 10^{-12} \text{ A}/\mu\text{m}$, pMOS 管为 $7 \times 10^{-13} \text{ A}/\mu\text{m}$.

表 1 全耗尽 SOI(TFSOI) 器件的电学性能和器件参数

Table 1 Basic characteristic and device parameters for 0.8 μm fully depleted SOI device

参 数	nMOS	pMOS
硅层厚度/nm	65	65
沟道长度/μm	0.8	0.8
栅氧厚度/nm	11	11
阈值电压/V	0.7	-0.8
迁移率/(cm ² ·V ⁻¹ ·s ⁻¹)	465	264
亚阈值斜率/(mV·dec ⁻¹), V _{ds} =0.1V	79	81
泄漏电流/(A·μm ⁻¹)	2×10^{-12}	7×10^{-13}
击穿电压/V	4.5~5.2	-5~-6.3

图 4 为 0.8 μm 全耗尽 SOI 器件的输出特性曲线. 从图中没有见到 “kink” 现象, 且器件的电流驱动能力较大.

在 0.8 μm 全耗尽 CMOS/SOI 环形振荡器电路中, 为了使得电路充分振荡, 我们设计了 101 级的环

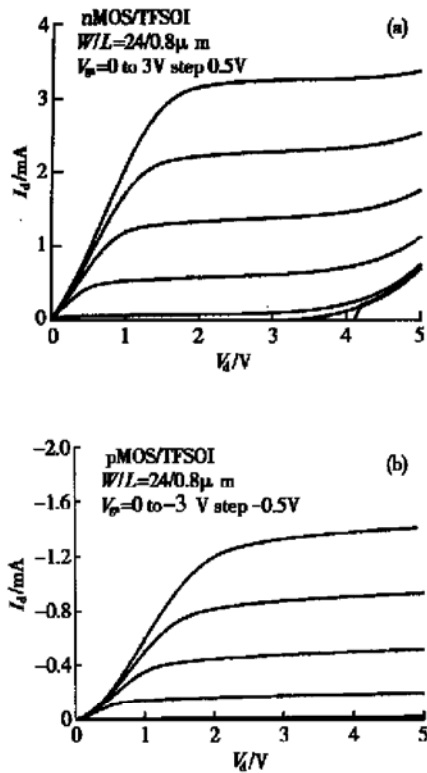


图 4 0.8 μm 全耗尽 SOI 器件的输出特性曲线
(a) nMOS; (b) pMOS

Fig. 4 I - V characteristics of 0.8 μm fully depleted SOI device (a) nMOS; (b) pMOS

振. 采用 HP54615B 示波器对环振进行分析、测试, 图 5 给出在 5V 工作电压下环形振荡器的波形图. 根据计算, 全耗尽环形振荡器的单级门延迟仅为 45ps, 这是目前国内全耗尽 SOI CMOS 电路研制报

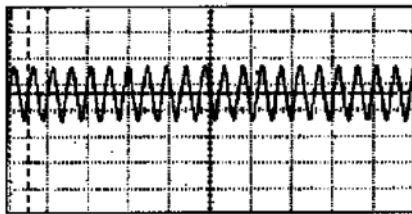


图 5 101 级 CMOS/SOI 环振振荡器的波形图

Fig. 5 Wavement of ring oscillator with 5V supply voltage

道的最高水平. 图 6 给出 101 级 0.8 μm 部分耗尽、全耗尽 CMOS/SOI 环振单级延迟时间与工作电压的关系图. 从图中可见, 环振可在 2~5V 下稳定工作, 同时随着硅层厚度的减薄, 电路速度得以提高. 全耗尽 CMOS/SOI 环振比部分耗尽环振快 30%,

这是全耗尽 CMOS/SOI 电路的显著特点, 主要是由于全耗尽 SOI 器件的寄生电容和体效应降低引起的, 使之成为高速电路的主流. 另外, 采用 2000 门门海阵列技术, 我们实现了多级分频器, 多级分频器包括 4~128 级分频器, 图 7 给出 64 级分频器电路的输出波形. 2000 门门海阵列的芯片照片见图 8.

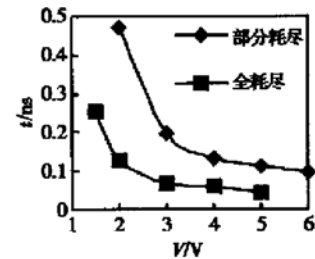


图 6 0.8 μm 101 级环振单级延迟时间与工作电压的关系

Fig. 6 Propagation delay time of 0.8 μm 101-stage ring oscillator vs supply voltage

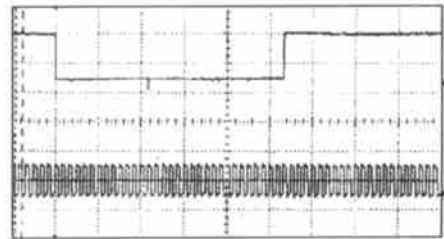


图 7 64 级分频器电路的输出波形

Fig. 7 Wavement of 64 divider

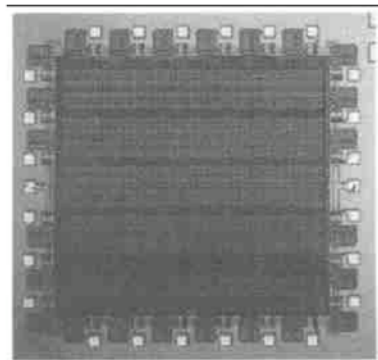


图 8 2000 门门海阵列的芯片照片

Fig. 8 Chip of CMOS/SOI 2000 gate sea-of-array

5 结论

SOI 技术作为“二十一世纪的硅集成电路技术”, 其工艺与体硅工艺基本兼容. 本文对 0.8 μm 全

耗尽 CMOS/SOI 的工艺进行了研究, 其关键工艺包括: 氮化 H_2-O_2 合成薄栅氧、双栅、注 Ge 硅化物和双层金属布线等技术, 经过多次实验, 成功地开发出成套 $0.8\mu m$ 全耗尽 CMOS/SOI 工艺, 可实现中、小规模 CMOS/SOI 亚微米电路. 同时随着硅层厚度的减薄, 电路速度得以提高, 全耗尽 CMOS/SOI 环振比部分耗尽环振快 30%. 另外, 采用 2000 门阵列技术, 我们实现了多级分频器, 多级分频器包括 4~128 级分频器.

致谢 感谢中国科学院微电子中心第一研究室全体工作人员对工艺研究和器件与电路测试的大力支持.

参考文献

- [1] Colinge J P. Silicon-on-insulator technology: materials to VLSI. Boston: Kluwer Academic Publishers, 1991
- [2] Hwang B Y, et al. Int Conf on SSDM, Yokohama, 1994: 265
- [3] <http://www.ibm.com/news/1998/08/03.phtml>
- [4] Liu Xinyu, Sun Haifeng, Hai Chaoche, et al. $0.5\mu m$ partially depleted CMOS/SOI device and circuit. Chinese Journal of Semiconductors, 2001, 22(5): 660 [刘新宇, 孙海峰, 海潮和, 等. $0.5\mu m$ SOI/CMOS 器件和电路. 半导体学报, 2001, 22(5): 660]
- [5] Xi Xuemei, Zhang Xing, Ni Weihua, et al. Fabrication of high-speed 51-stage CMOS/SOI ring oscillators. Acta Electronica Sinica, 2000, 28(5): 44 [奚雪梅, 张兴, 倪卫化, 等. 超高速 CMOS/SOI 51 级环振电路的研制. 电子学报, 2000, 28(5): 44]
- [6] Lai P T, et al. Interface properties of no-annealed N_2O -grown oxynitride. IEEE Trans Electron Devices, 1999, 46(12): 2311
- [7] Gao Wenyu. Formation techniques and characteristics of thin gate dielectric. PhD dissertation of Institute of Semiconductors. The Chinese Academy of Sciences, 2000 [高文钰. 薄栅介质的制备与特性研究. 中国科学院半导体研究所博士学位论文, 2000]
- [8] Liu Xinyu. Investigated of CMOS/SOI 64Kb SRAM, PhD dissertation of MECCAS, 2001 [刘新宇. CMOS/SOI 64Kb 静态随机存储研究. 中国科学院微电子中心博士学位论文, 2001]
- [9] Mendicino M S, Seebauer E G. J Electrochem Soc, 1995, 142: 28
- [10] Xu Qiuxia, Hu Chenming. IEEE Trans Electron Devices, 1998, 45: 2002
- [11] Hsiao T C, et al. IEEE Electron Device Lett, 1997, 18: 309
- [12] Liu Ping, et al. IEEE Trans Electron Devices, 1998, 45: 1280
- [13] Hsiao T C, et al. IEEE Trans Electron Devices, 1998, 45: 1092
- [14] Sun Haifeng, Liu Xinyu, Hai Chaoche, et al. Ti salicide technology using Ge implantation for fully-depleted SOI CMOS devices. ISTC, 2001

Fully Depleted CMOS/SOI Technology

Liu Xinyu¹, Sun Haifeng¹, Liu Hongmin¹, Chen Huanzhang¹, Hu Huanzhang¹, Hai Chaoche¹,
He Zhijing² and Wu Dexin¹

(1 Research and Development Center of Microelectronics, The Chinese Academy of Sciences, Beijing 100029, China)

(2 Institute of Semiconductors, The Chinese Academy of Sciences, Beijing 100083, China)

Abstract: The fully depleted CMOS/SOI technology are studied. A set of FD CMOS/SOI radiant technology are obtained. In particular, the key technology includes nitrided thin gate oxide grown in H_2-O_2 ambient, new double-gate and Ti-SALICIDE using Ge preamorphization. The well-behaved characteristics of devices and circuits are obtained, nMOS: $V_t = 0.7V$, $V_{ds} = 4.5 \sim 5.2V$, $\mu_{eff} = 465 cm^2/(V \cdot s)$, pMOS: $V_t = -0.8V$, $V_{ds} = -5 \sim -6.3V$, $\mu_{eff} = 264 cm^2/(V \cdot s)$. The propagation delay per-stage of 101-stage $0.8\mu m$ CMOS/SOI ring oscillator is 45ps with 5V supply voltage.

Key words: fully depleted CMOS/SOI technology; nitrided thin gate oxide grown in H_2-O_2 ambient; double-gate; Ti-SALICIDE using Ge preamorphization

EEACC: 2570D

Article ID: 0253-4177(2003)01-0104-05