

# 双极 RF 功率管的深阱结终端

周 蓉 胡思福 李肇基 张庆中

(电子科技大学微电子科学与工程系, 成都 610054)

**摘要:** 给出了双极 RF 功率管新的深阱结终端结构。模拟分析表明, 具有优化宽度、优化深度且填充绝缘介质的深阱结终端结构能使雪崩击穿电压提高到理想值的 95% 以上。实验结果表明, 深阱结终端结构器件 DCT 260 的  $BV_{CBO}$  为理想值的 94%, 比传统终端结构器件高 14%; 与传统结构相比, 在不减小散热面积的情况下, 该结构还减小集电结面积和漏电流, 器件的截止频率提高 33%, 功率增益提高 1dB。

**关键词:** 双极 RF 功率管; 深阱结终端; 击穿电压; 填充介质

**EEACC:** 2550E; 2560B; 2560J

中图分类号: TN 323; TN 305. 94

文献标识码: A

文章编号: 0253-4177(2003)04-0396-05

## 1 引言

常用的结终端技术如场限环、斜表面与耗尽层腐蚀法、结终端扩展、可变横向表面掺杂等<sup>[1,2]</sup>是通过扩展表面耗尽层宽度、减小曲率效应来提高电压的, 但同时也增大了器件的结面积和表面漏电。双极 RF 功率器件中功率和频率相互制约的因素使得这些终端结构有一定的局限性, 为此应寻求适应双极 RF 功率器件的新的终端结构。

深槽隔离技术<sup>[3~9]</sup>目前主要应用于存储器以及逻辑电路中, 该技术与自对准结构一起大大减小了器件面积和寄生电容, 显著地提高了电路密度和速度。尽管文献[10]在深槽隔离技术的基础上已提出了适用于双极 RF 功率器件的新的绝缘深阱结终端结构, 但未能针对不同的双极 RF 功率器件给出优化的几何尺寸, 也未与采用传统终端结构(如深结扩散保护环、浮空场限环)的双极 RF 功率器件进行对比分析。本文在文献[10, 11]的基础上, 首先分析了深阱结终端结构提高器件击穿电压的机理, 并借助 MEDICI 二维数值模拟软件分析了阱终端的几何尺

寸、阱内填充介质、界面电荷、阱上场板等因素对器件击穿性能的影响, 在此基础上进一步优化了深阱结终端的结构参数, 利用优化的结构和常规双极工艺设计并制作了深阱结终端器件(A 器件), 并将测试结果与采用场限环终端结构的传统结构器件(B 器件)进行了对比分析。

## 2 深阱结终端结构

图 1 为深阱结终端结构的剖面图。由图可见, 在深阱结终端内壁绝缘介质边界的限制下, 杂质在硅中仅存在向体内的纵向扩散, 没有沿表面的横向扩散, 整个集电结完全被限制在环形阱中, 近似于平行平面结, 消除了 B 器件中结边、角处电场集中的现象, 使得击穿由表面转向体内。模拟分析表明, A 器件的雪崩击穿电压接近理想值的 95% 以上。由于集电结面积完全由有源区内有效面积部分构成, 表面态对器件的影响减小, 漏电流也同时减小, 因此, 采用深阱终端结构对于改善器件的频率特性和功率特性均有利。

周 蓉 女, 1968 年出生, 讲师, 博士, 从事半导体功率器件的研究和集成电路 CAD 工作。

胡思福 男, 1938 年出生, 教授, 现从事半导体器件与微细加工技术的研究。

李肇基 男, 1940 年出生, 教授, 现从事半导体功率器件的研究。

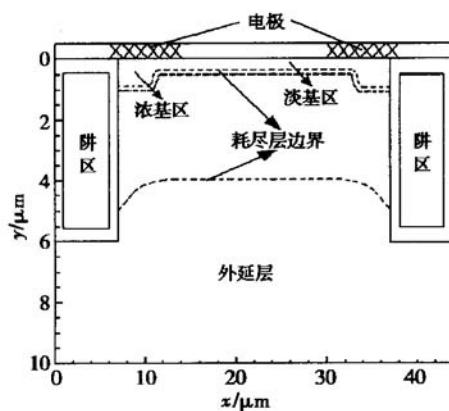


图1 深阱结终端结构器件在反偏电压下耗尽层的扩展  
Fig. 1 Depletion layer spreading of devices with deep-trench junction termination under reverse voltage

### 3 模拟、实验与讨论

深阱结终端结构中阱的宽度、深度、阱的形状、阱内填充介质、界面电荷以及阱上场板等对器件击穿特性均有影响，且这些因素之间也存在联系。本文借助 MEDICI 二维数值模拟软件对三类典型的双极功率器件进行模拟分析，其击穿电压理想值  $BV_{CBO}$  分别为 40、70 和 100V，集电区杂质浓度分别为  $1.7 \times 10^{16}$ 、 $7.0 \times 10^{15}$  和  $4.0 \times 10^{15} \text{ cm}^{-3}$ 。

图2 表示  $BV_{CBO}$  为 70V 器件在阱深为 8μm 时不同阱宽下的击穿特性。当阱区宽度  $W_T < X_{dmax}$  ( $70\text{V}$  耐压器件对应的最大耗尽层宽度  $3.5\mu\text{m}$ )，阱壁附近结面电场强度均高于该类器件对应的临界电场强度  $E_{max}$  ( $3.84 \times 10^5 \text{ V/cm}$ )；当  $W_T > X_{dmax}$ ，阱壁附近结面电场强度低于  $E_{max}$ ，并接近于平行平面结区域的电场强度  $3.6 \times 10^5 \text{ V/cm}$ ，表明此时器件的击穿由平行平面结决定。随着  $W_T$  的增大，雪崩击穿电压  $V_B$  从 55V 增加到 68.8V，达到  $BV_{CBO}$  的 98.3%。图3表明， $BV_{CBO}$  越高的器件，要求  $W_T$  也越宽。

尽管宽阱有利于提高器件的击穿特性，但太宽的阱将增加介质填充时间，使填充介质的选择有难度，填充质量难保证；并且将占据更多的芯片面积，不利于芯片集成度的提高。综合考虑，阱区宽度  $W_T$  的选取可确定如下： $BV_{CBO} = 100\text{V}$ ， $W_T = 6\mu\text{m}$ ； $BV_{CBO} < 70\text{V}$ ， $W_T = 3 \sim 4\mu\text{m}$ ； $70\text{V} \leq BV_{CBO} < 100\text{V}$ ， $W_T = 4 \sim 6\mu\text{m}$ 。

图4为阱区深度  $D_T$  与器件击穿电压  $V_B$  的关

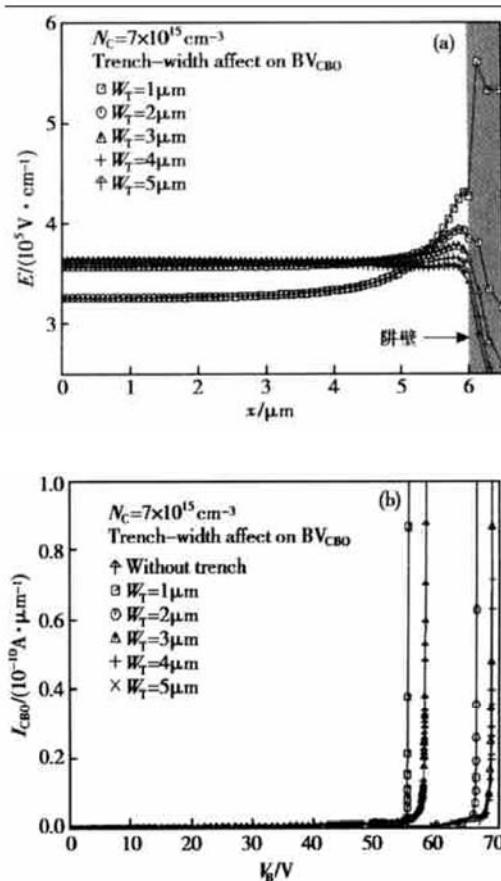


图2 阵区宽度对器件( $BV_{CBO} = 70\text{V}$ )击穿特性的影响  
(a) 阵壁附近结面电场强度  $E$  的分布；(b) 反偏  $I$ - $V$  特性  
Fig. 2 Trench-width affect on breakdown characteristics of the devices ( $BV_{CBO} = 70\text{V}$ ) (a) Electric field intensity distribution near trench wall; (b) Reverse  $I$ - $V$  characteristics

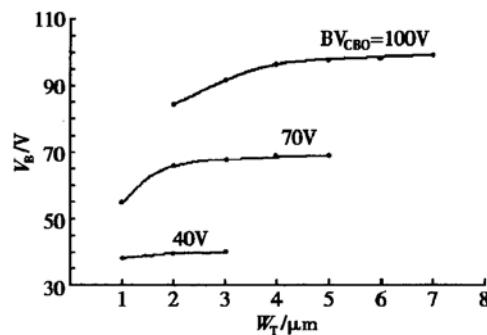


图3 阵区宽度  $W_T$  与不同器件击穿电压  $V_B$  的关系  
Fig. 3 Relation between trench width  $W_T$  and avalanche breakdown voltage  $V_B$  of different transistors  
系。模拟结果表明， $D_T$  越深，器件的  $V_B$  越高； $BV_{CBO}$  越大的器件， $D_T$  应越深；当  $D_T > X_{dmax}$  时， $V_B$  达到

$BV_{CBO}$  的 95% 以上。太深的阱对提高  $V_B$  的效果不大, 相反会增加工艺难度, 如 RIE 刻蚀 Si 时间以及介质填充阱的时间都会增加。考虑到集电结的扩散结深  $X_{je}$ , 实际  $D_T$  可由以下公式确定, 式中增加的 1 $\mu\text{m}$  是考虑到  $V_B$  电压的波动而引入的。

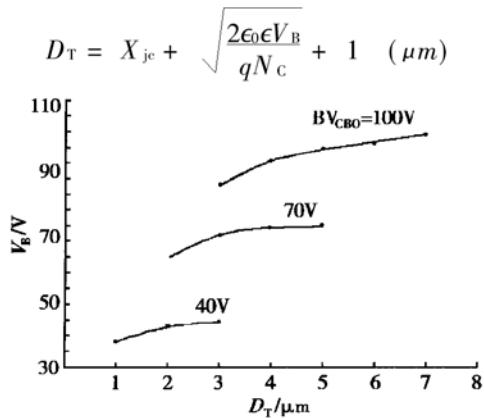


图 4 阵区深度  $D_T$  与不同器件击穿电压  $V_B$  的关系

Fig. 4 Relation between trench depth  $D_T$  and avalanche breakdown voltage  $V_B$  of different transistors

当阱的形状为上宽下窄的倒梯形结构时,  $\text{pn}^-$  结边缘类似于负倾斜角, 器件击穿电压将降低。为了避免或减小阱区形成过程中的侧向刻蚀, 须采用各向异性的反应离子刻蚀工艺, 形成较理想的垂直阱壁结构, 阵侧壁的角度应达到 89° 左右。

模拟结果表明, 填充介质的介电常数  $\epsilon$  越小, 对提高 A 器件的  $V_B$  越有利, 且  $\epsilon < 5.5$  时, A 器件的  $V_B$  也趋于  $BV_{CBO}$  的 96.4% 左右。当在阱壁内先热氧化生长一层  $\text{SiO}_2$  膜, 再用未掺杂多晶硅填充阱满后, 阵壁周围出现空间电荷区将阱壁包围, 形如桶状; 原有阱壁附近结面的峰值电场将消失, 但在阱底部拐角处将出现峰值电场, 如图 5 所示。上述现象可采用多晶硅栅 MOS 结构来解释。尽管深阱中填充的未掺杂多晶硅导电率很低 ( $10^{-14} \sim 10^{-6} \Omega^{-1} \cdot \text{cm}^{-1}$ ), 但依然是半导体, 与绝缘体有本质的差别。阱中多晶硅与阱壁  $\text{SiO}_2$  及  $n^-$  外延层形成寄生硅栅 MOS 结构。栅浮空时栅下  $n^-$  外延层将部分耗尽出现空间电荷区, 这些空间电荷区将阱壁包围。由于沿任意直线路径从中性 p 区到中性  $n^-$  外延层的电场积分应等于集电结偏压, 在阱壁内侧(集电结一侧)空间电荷区扩展了, 对应的电场积分路径增长了, 所以阱壁附近结面电场峰值降低, 相应器件的  $V_B$  也高达 69.7V。阱底拐角位于空间电荷区内, 此处电场

分布由于拐角而集中, 出现新的电场峰值。这种空间电荷区分布与峰值电场对器件性能不利: 桶状空间电荷区增加了阱附近的寄生电容, 对晶体管的频率特性有所影响; 而阱底拐角处峰值电场过高可能会降低晶体管的  $BV_{CBO}$ 。

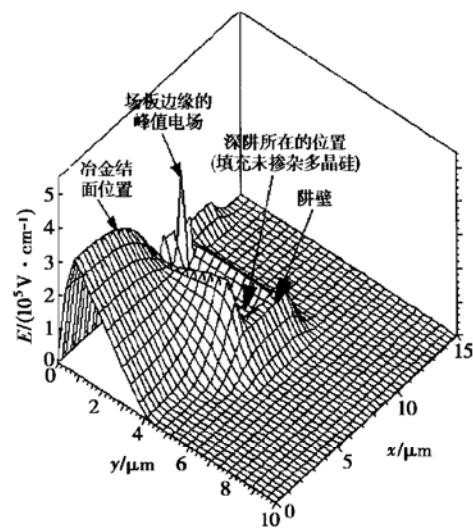
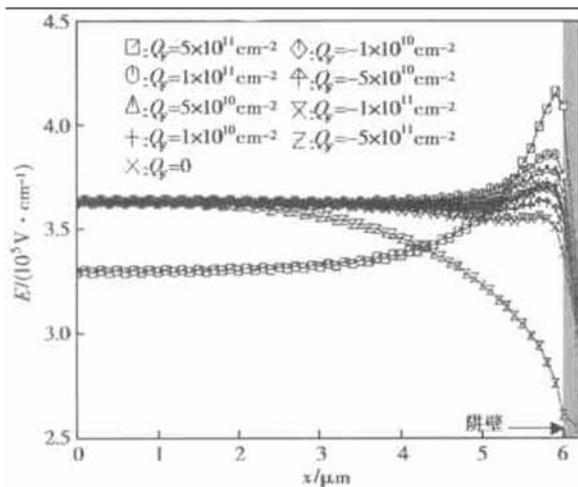


图 5 阵内填充未掺杂多晶硅时电场分布

Fig. 5 Electrical field distribution when trench filling with undoped poly-Si

图 6 为阱区与体硅交界面的固定电荷面密度  $Q_F$  对器件的击穿特性的影响, 其中,  $Q_F$  分别为:  $5.0 \times 10^{11} \text{ cm}^{-2}$ ;  $1.0 \times 10^{11} \text{ cm}^{-2}$ ;  $5.0 \times 10^{10} \text{ cm}^{-2}$ ;  $1.0 \times 10^{10} \text{ cm}^{-2}$ ; 0;  $-1.0 \times 10^{10} \text{ cm}^{-2}$ ;  $-5.0 \times 10^{10} \text{ cm}^{-2}$ ;  $-1.0 \times 10^{11} \text{ cm}^{-2}$ ;  $-5.0 \times 10^{11} \text{ cm}^{-2}$ 。当  $Q_F = 5.0 \times 10^{11} \text{ cm}^{-2}$  时, 阵壁附近结面电场强度的峰值  $E$  最高且高于  $E_{max}$ ,  $V_B$  仅为 56.3V。 $E$  随着  $Q_F$  的减小而降低。当  $Q_F = 5.0 \times 10^{10} \text{ cm}^{-2}$  时,  $E = 3.78 \times 10^5 \text{ V/cm}$ , 略低于  $E_{max}$ ,  $V_B = 68.8 \text{ V}$ 。当  $Q_F = 1.0 \times 10^{10} \text{ cm}^{-2}$ ; 0;  $-1.0 \times 10^{10} \text{ cm}^{-2}$  时, 对应的  $E$  值变化不大, 器件的  $V_B$  也均为 68.8V。随着负  $Q_F$  的增大,  $E$  进一步减小。当  $Q_F = 5.0 \times 10^{11} \text{ cm}^{-2}$  时,  $E = 2.5 \times 10^5 \text{ V/cm}$ , 器件的  $V_B = 69.2 \text{ V}$ 。由此可见, 具有负界面电荷的阱终端结构对提高器件的击穿特性最有利。但由于受目前填充介质以及工艺等的限制, 要形成具有负界面电荷的阱终端结构不可能, 唯一的措施是尽量减少界面固定电荷的面密度。由模拟结果可知, 只要  $Q_F < 5.0 \times 10^{10} \text{ cm}^{-2}$ , 器件的  $V_B$  就趋近于  $BV_{CBO}$ 。

在上述各种情形中, 若在阱区顶端加一长度大

图 6 界面固定电荷  $Q_f$  不同时阱壁附近结面电场强度分布Fig. 6 Electric field distribution near trench wall under different interface fixed charge  $Q_f$ 

于阱区宽度的场板, 阵壁附近结面电场强度  $E$  均有所降低, 器件的击穿特性可进一步提高。根据模拟分析结果, 本文完成了 A、B 两类器件的实验。器件的参数为: 工作电压 = 28V; 输出功率 = 50W; 工作频率 = 175MHz; 效率 = 55%。为满足此条件, 器件的击穿电压  $V_B$  应为 70V, 集电区掺杂浓度为  $7.0 \times 10^{15} \text{ cm}^{-3}$ 。B 器件采用常规双极工艺制作, 其  $V_B$  达到 57V, 仅为理想值的 80%。

A 器件除了外围终端结构不同外, 其余横向结构参数与纵向结构参数均与 B 器件一致。阱区几何尺寸设计为:  $W_T = 4\mu\text{m}$ ,  $D_T = 5\mu\text{m}$ 。由于多晶硅与硅的热膨胀性能相近, 可避免增大深阱区与外延层硅材料之间的应力; 多晶硅的热导率近似于硅, 约为  $1.5 \text{ W}/(\text{cm} \cdot ^\circ\text{C})$ , 而二氧化硅的热导率只有  $0.014 \text{ W}/(\text{cm} \cdot ^\circ\text{C})$ , 因此填充多晶硅的阱区为良好的导热体, 这对于增大器件的散热面积, 改善器件的散热特性有利。因此阱区内的填充介质是采用先热氧化生长一层致密的质量很好的二氧化硅, 再填充未掺杂的多晶硅, 最后再热氧化生长一层二氧化硅覆盖阱区。为减小  $Q_f$ , 在阱壁氧化工艺中加入了适量的 HCl 气体或三氯乙烯, 在 LPCVD 工艺淀积介质之前用适量 HCl 气体处理炉管。其它如基区、发射区等均采用常规的双极工艺形成。图 7(a) 为 A 器件芯片的一部分, 其芯片由 6 个子器件单元区组成, 而每个单元区的外围均带有深阱终端结构; 图 7(b) 为其击穿特性, 其击穿电压为 66V, 为理想值的 94%, 漏电很小, 比 B 器件的击穿电压提高了 14%。

A 器件的截止频率为 800MHz, 比 B 器件的 600MHz 高 33%; A 器件的功率增益也比 B 器件增大 1dB。

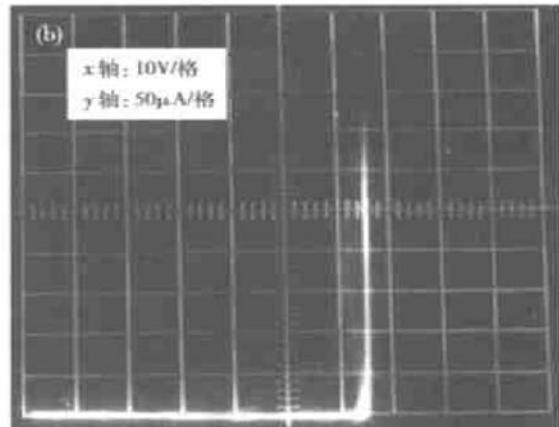
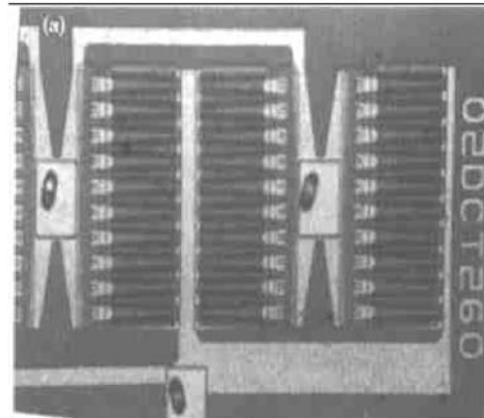


图 7 深阱终端结构器件实验结果 (a) 版图结构; (b) 击穿特性

Fig. 7 Experimental result of deep-trench junction termination devices (a) Layout structure; (b) Breakdown characteristics

## 4 结论

本文提出了新型的绝缘深阱结终端结构, 并利用 MEDICI 二维数值模拟软件详细分析了阱的几何尺寸、填充介质的种类、界面电荷以及阱上场板等诸多因素对器件击穿特性的影响。文中分别对三类典型器件 ( $BV_{CBO}$  分别为 40、70 与 100V) 进行了模拟分析, 结果表明: 填充介质的深阱结终端结构能将器件的雪崩击穿电压提高到理想电压值的 95% 以上。实验结果表明, 深阱结终端结构器件的  $BV_{CBO}$  为理想值的 94%, 比传统终端结构器件提高了 14%。此外深阱结终端结构还减小了集电结电容, 将双极功

率器件的截止频率和功率增益分别提高 33% 和 1dB, 对缓解器件中频率与功率的矛盾均有利.

## 参考文献

- [ 1 ] Jayant B B. Power semiconductor devices. PWS Publishing Co, 1990
- [ 2 ] Chen Xingbi. Power MOSFET and high-voltage integrated circuits. Nanjing: Southeast University Press, 1990 (in Chinese) [陈星弼. 功率 MOSFET 与高压集成电路. 南京: 东南大学出版社, 1990]
- [ 3 ] Tang D D, Solomon P M, et al. 1.25 $\mu$ m deep-groove-isolated self-aligned bipolar circuits. IEEE J Solid-State Circuits, 1982, SC-17(5): 925
- [ 4 ] Teng C W, Slawinski C, et al. Defect generation in trench isolation. IEDM, 1984: 586
- [ 5 ] Li G P, Ning T H, et al. An advanced high-performance trench-isolated self-aligned bipolar technology. IEEE Trans Electron Devices, 1987, ED-34(11): 2246
- [ 6 ] Lu P F, Chuang C T. On the scaling property of trench isolation capacitance for advanced high performance ECL circuits. IEEE Trans Electron Devices, 1990, 37(10): 2270
- [ 7 ] Kim H, Jin J, Jeoun C, et al. A novel high voltage bipolar technology featuring trench-isolated base. Proc of the 6th Intern. Symposium on Power Semiconductor Devices & IC's. Davos, Switzerland, 1994: 297
- [ 8 ] Udrea F, Amaralunga G A J. Theoretical and numerical comparison between DMOS and trench technologies for insulated gate bipolar transistors. IEEE Trans Electron Devices, 1995, 42(7): 1356
- [ 9 ] Shiozawa K, Oishi T, et al. Electrical characteristics of ultra-fine trench isolation fabricated by a new two-step filling process. Jpn J Appl Phys, 1996, 35(12B) Part 2: 1625
- [ 10 ] Zhang Yucai, Hu Sifu. Characteristics of deep-well RF power bipolar transistor. Chinese Journal of Semiconductors, 1999, 20(8): 688 (in Chinese) [张玉才, 胡思福. 深阱 RF 功率双极晶体管雪崩击穿特性的模拟分析. 半导体学报, 1999, 20(8): 688]
- [ 11 ] Zhou Rong, Zhang Qingzhong, Hu Sifu. Novel type of base-combed RF power transistors. Chinese Journal of Semiconductors, 2001, 22(9): 1197 (in Chinese) [周蓉, 张庆中, 胡思福. 一种新的梳状基区 RF 功率晶体管. 半导体学报, 2001, 22(9): 1197]

## Deep-Trench Termination of Bipolar RF Power Devices

Zhou Rong, Hu Sifu, Li Zhaoji and Zhang Qingzhong

(Department of Microelectronic Science & Technology, University of Electronic Science and Technology of China, Chengdu 610054, China)

**Abstract:** A new deep-trench junction termination is proposed. The simulation analysis indicates, deep-trench junction termination with certain width, certain depth and filling with isolated dielectrics can increase the avalanche breakdown voltage of bipolar RF power devices to above 95% of the ideal values; experimental results prove the BV<sub>CBO</sub> of the devices DCT 260 with deep-trench junction termination are 94% of the ideal values, add up to 14% than that with traditional termination structure. Compared with traditional termination structure, deep-trench termination structure does not reduce dissipation area but decreases collector junction area and leakage current, and the  $f_T$  and  $K_P$  of RF power devices DCT 260 are improved 33% and 1dB respectively.

**Key words:** bipolar RF power devices; deep-trench junction termination; avalanche breakdown voltage; filling dielectric

**EEACC:** 2550E; 2560B; 2560J

**Article ID:** 0253-4177(2003)04-0396-05

Zhou Rong female, was born in 1968, lecture, PhD. Her research areas include semiconductor power devices and IC CAD.

Hu Sifu male, was born in 1938, professor. He is engaged in research on semiconductor devices and fine process technology.

Li Zhaoji male, was born in 1940, professor. He is engaged in semiconductor power devices.

Received 1 June 2002, revised manuscript received 23 September 2002

© 2003 The Chinese Institute of Electronics