

用模拟退火算法实现集成电路热布局优化*

王乃龙 戴宏宇 周润德

(清华大学微电子学研究所, 北京 100084)

摘要: 介绍了一种综合考虑集成电路电学性能指标以及热效应影响的布局优化方法。在保证传统设计目标(如芯片面积、连线长度、延迟等)不被恶化的基础, 通过降低或消除芯片上的热点来优化集成电路芯片的温度分布情况, 进而优化整个电路性能。并将改进的模拟退火算法应用于集成电路的热布局优化, 模拟结果表明该方法与传统布局方法相比在保持了较好的延迟与连线长度等设计目标的同时, 很好地改善了芯片表面的热分配情况。

关键词: 模拟退火算法; 电热耦合; 布局优化

EEACC: 1265A; 2560; 2570D

中图分类号: TN 432 **文献标识码:** A **文章编号:** 0253-4177(2003)04-0427-06

1 引言

特征尺寸的缩小、器件密度和功耗密度的增加使得目前高性能大尺寸集成电路芯片的片上温度急剧升高。有些芯片的工作温度已经超过 100℃, 其片上的温度差别也经常超过 20℃, 而且温度升高的趋势还在继续。温度的升高严重影响电路的性能, 众所周知, 片上温度每升高 10℃, MOS 管的驱动能力就要下降约 4%, 连线延迟大约要增加 5%, 并且芯片的失效率要增加一倍, 过大的片上温度梯度甚至会导致根本上的逻辑错误^[1]。为了保证电路性能和可靠性的要求, 有必要在集成电路制造之前, 对集成电路芯片及其封装进行电热耦合模拟, 从而对集成电路芯片表面的温度分布情况进行估计及优化。

热布局问题已经成为集成电路设计的一个热点, Osterman 等人^[2,3]在基于传导以及对流两种散热机制的情况下对印刷电路板上(PCBs)的单元布局优化问题进行了研究, 文献[4, 5]详细讨论了在多芯片模块设计(MCMs)中的热布局问题, 但是由于热传导途径的不同以及电热耦合效应的存在, 使芯

片上的单元布局问题跟 PCBs 以及 MCMs 上面的单元布局有比较大的差别。在本文中, 我们将详细讨论集成电路单元热布局问题, 并利用改进的模拟退火算法进行单元优化布局, 改善芯片的热分配情况, 进而改善电路性能。

2 问题分析

集成电路芯片表面的热布局优化问题实际上是一类组合优化问题。一个组合优化问题通常包含一组解以及一个代价函数。对于布局优化问题, 这组解就对应着包含所有的布局方式的集合, 代价函数则由我们所关心的各种目标组成, 例如功耗、面积、延迟、芯片表面的温度分布情况等。布局优化的目标就是找到一种布局方式使上述的代价函数最小。在集成电路热布局优化问题上, 我们在综合考虑各种设计目标的情况下重点优化热学目标。热布局优化过程包括以下三个步骤: (1) 建立底层热学模型, 对芯片进行热学分析; (2) 利用递归对分算法得到一个良好的初始单元布局方案; (3) 利用模拟退火算法进行热布局优化。

* 国家自然科学基金资助项目(批准号: 59995550-I)

王乃龙 男, 1977 年出生, 博士研究生, 现从事 CMOS 集成电路低功耗以及电热耦合研究。

戴宏宇 男, 1975 年出生, 博士研究生, 现从事 CMOS 集成电路低功耗研究。

周润德 男, 1945 年出生, 教授, 博士生导师, 现从事低功耗集成电路与嵌入式系统研究。

2.1 热学模型

为了得到芯片上具体的温度分布情况,我们需要对整个集成电路芯片进行热学分析。一般热学模拟器大多利用有限差分、傅里叶变换等数值方法求解集成电路的三维热扩散方程^[1,5],但是数值算法需要知道确切的封装模型,并且计算量比较大,运算时间比较长;但在芯片的早期设计阶段,特别是芯片的封装还没有完全确定,不能给出精确的热学模型,并且电路芯片需要反复进行设计和验证,需要一种快速有效的芯片温度估算方法。我们改进了基于格林函数及误差函数近似的快速热点温度估算方法^[6],并据此建立了我们的底层热学模型。

由于集成电路中的器件热源的尺寸及厚度相对于整个芯片尺寸及厚度而言很小,并且集成电路表面覆盖着一层钝化膜,所以我们可以认为所有的热源处于 $x-y$ 方向无限大、 z 方向半无限大的硅衬底上,由于硅的热导率远大于 SiO_2 的热导率,芯片上表面可以认为绝热。通过在芯片上表面加一虚拟镜像热源消除其绝热的边界条件,然后引入格林函数 $G(\mathbf{r}, t | \mathbf{r}', \tau) = G_x G_y G_z$, 就可以得到位于原点的大小为 $a \times b \times c$ 的平行热源在 \mathbf{r} 点引起的温升(相对环境温度)为^[6]:

$$\Delta T(\mathbf{r}, t) = \frac{\alpha P_0}{k(abc)} \int_{-b/2}^{b/2} \int_{-a/2}^{a/2} \int_{-\infty}^{\infty} G(\mathbf{r}, t | \mathbf{r}', \tau) d\mathbf{r}' d\tau \quad (1)$$

其中 P_0 是热源的功耗; α 是热扩散系数; k 是热导率。对公式(1)积分,得到稳态的芯片表面温度:

$$\Delta T(x, y, 0, \infty) = \frac{\alpha P_0}{4k(abc)} \int_0^\infty \left[\operatorname{erf} \left(\frac{A_1}{4\sqrt{\alpha\tau}} \right) + \operatorname{erf} \left(\frac{A_2}{4\sqrt{\alpha\tau}} \right) \right] \times \left[\operatorname{erf} \left(\frac{B_1}{4\sqrt{\alpha\tau}} \right) + \operatorname{erf} \left(\frac{B_2}{4\sqrt{\alpha\tau}} \right) \right] \operatorname{erf} \left(\frac{C}{4\sqrt{\alpha\tau}} \right) d\tau \quad (2)$$

设集成电路有 n 个热源,热源 i 中心处的温升可以通过该热源 i 本身导致的温升以及其它 $n-1$ 个热源在该点造成的温升叠加得到,如公式(3)所示。热源的最终温度如公式(4)所示, T_a 是环境温度。

$$\Delta T_i^\Sigma = \Delta T_i(0, t) + \sum_{j=1, j \neq i}^n \Delta T_k(\mathbf{r}_k, t) \quad (3)$$

$$T_i = T_a + \Delta T_i^\Sigma \quad (4)$$

上述热点温度估算方法通过简化边界条件得到热源温升的解析解,能够大大减小热学分析所需的计算时间,但是由于忽略了集成电路的具体封装结构和材料,忽略了对流、辐射等热传播方式的作用,只能得到相对的温度分布情况,不能得到精确的芯

片实际工作温度。为提高热学模拟精度,我们对热点温度估算方法进行如下改进。

(1) 加入热导率修正因子 β_k 来修正衬底材料的热导率, $k' = \beta_k k$; 其中 k' 为有效热导率, k 为衬底材料热导率, β_k 为修正因子。通过调整 β_k 能够修正沿水平方向和垂直方向的热传导能力,从而在一定程度上体现出真实的封装材料与结构以及封装管壳表面对流和辐射的影响。

(2) 以底座温度 T_b 作为初始温度取代环境温度 T_a ,考虑集成电路封装底座下表面通过对流、辐射等热传播途径向环境散热,根据热流定律有:

$$q_b = \gamma p_{\text{total}} = A h (T_b - T_a) \quad (5)$$

$$T_b = T_a + \frac{\gamma p_{\text{total}}}{A h} \quad (6)$$

其中 q_b 是通过封装管壳下表面传播的热量; γ 是通过下表面传播的热量占总热量的比例; p_{total} 是芯片的总发热量; A 是封装管壳下表面的面积; h 是考虑对流、辐射作用的下表面的有效换热系数; T_b 是下表面的平均温度。

2.2 初始布局

由于芯片的温度分布情况跟芯片表面的热源分配情况密切相关,当芯片面积和热源数目足够大时,把热源均匀分配在芯片的表面,则芯片的温度分布也会比较均匀。基于递归对分算法的初始单元布局就是利用这个原理,通过尽可能地均匀分配芯片表面的功耗单元从而得到初始布局方案。

首先,把整个芯片分为两部分,然后把电路单元对应地分配到芯片上,使两部分单元的面积以及功耗之和都尽可能相等。然后对每一部分进行对分操作,直到最后将每一个单元都放到芯片上某个确定位置上,这样的初始布局使功耗单元基本上是平均分配的。可是在初始化布局过程中,由于只考虑了平均分配功耗,不可避免地恶化了其他传统设计目标(如布线长度以及延时等),所以需要在综合考虑各种代价约束的情况下对芯片单元布局做进一步的优化。

2.3 布局优化

我们采用启发式的模拟退火算法对芯片进行热布局优化^[7]。模拟退火算法用于解决组合优化问题的出发点是基于物理中固体物质的退火过程与一般组合优化问题之间的相似性。用模拟退火算法可以

得到组合优化过程的全局(近似)最优解。整个模拟退火算法由三部分组成:评价布局优劣的代价函数、进行布局变换的退火状态转移机制(包括产生机制以及接受准则)以及控制布局优化过程的退火进度表。

2.3.1 代价函数

在布局过程中,需要考虑一些性能指标作为布局时的优化目标,如温度分布、面积以及布线长度等。综合考虑热布局优化目标以及连线布通率、模块重叠惩罚、最小模块间距违反惩罚等各项因素后,我们采取如下的代价函数:

$$C(S) = w_1 \max_{1 \leq i \leq M} T_i + w_2 \left[\sum_{m=1}^M (T_m - \frac{1}{M} \sum_{m=1}^M T_m)^2 \right]^{1/2} + w_3 \sum_{j=1}^{n_2} \alpha_j B(n_j) + w_4 [AO(S) + TO(S)] \quad (7)$$

式中第一项与第二项分别体现了芯片表面最高温度以及芯片表面温度分布均匀情况(用温度的均方误差表示)对代价函数的影响;第三项是对一些难以布通网络节点的惩罚函数;第四项是关于模块间最小间距违反以及模块重叠的惩罚函数。在代价函数中,我们暂时放弃了有关电路延迟以及连线长度的强制约束,而是通过监控调整使其不会超过某一个特定范围,不至于过分恶化。

2.3.2 状态转移机制

模拟退火算法的状态转移机制包括产生机制以及接受准则两个部分。在我们的算法里产生机制主要采用下面五种变换,将模块移动到一个空位置上(MD1),将模块移动到一个新位置上并对模块进行旋转(MD2),在原位置上旋转模块(MD3),交换两个模块位置(MX1),交换两个模块位置并对模块进行旋转(MX2)。而接受准则则由接受函数

$$\text{Accept}(i, j) = \min\{1, \exp(\frac{c(i) - c(j)}{T})\} - \text{random}(0, 1) \quad (8)$$

决定。如果 $\text{Accept}(i, j)$ 大于零,则表示布局变换被接受,由布局方式 i 变换到布局方式 j ,否则拒绝接受变换并保持原布局方式 i 。

2.3.3 退火进度表

模拟退火进度表包括初始温度、算法内部循环标准、冷却温度下降速率、退火过程终止标准。

为了提高传统模拟退火算法的运算速度,我们运用上面提到的递归对分算法获得初始布局并且在一个比较低的温度下开始退火进程。低的初始退火

温度限制了可接受的变动范围,同时不会破坏我们由递归对分算法得到的初始布局优势,从而大大加快了全局最优解(或近优解)的寻找速度,我们采用的单元布局优化模拟退火算法如图 1 所示。

```

Sim_Anneal(io, T0)
{
    T = T0;
    i = io;
    while (stopping criterion is not satisfied) {
        while (inner loop criterion is not satisfied) {
            j = generate(i);
            if (accept(c(j), c(i), T)) {
                i = j;
            }
        }
        T = update(T);
    }
    /* The acceptance of a new state j is determined by
    accept() */
    accept(c(j), c(i), T) {
        Δc = c(j) - c(i);
        y = min{1, 0, exp(-Δc/T)};
        r = random(0, 1);
        if (r < y) {
            return(1);
        } else {
            return(0);
        }
    }
}

```

图 1 单元布局优化模拟退火算法

Fig. 1 Simulated annealing algorithm for placement optimization

3 电热耦合模拟及布局优化实现

我们分别以 HSPICE 电路模拟程序、改进的热点温度估算方法、模拟退火算法实现电路模拟、热学模拟以及单元布局优化,并在此基础上用 C 语言编写了我们的电热耦合模拟及布局优化综合模拟软件——ETSA-1。

ETSA-1 软件从最初的电路网表(即 HSPICE 网表)入手,读出电路中各个标准单元以及它们之间的连接关系,然后通过电热耦合模拟以及布局优化,最后得到优化后芯片的单元布局情况、芯片温度分布情况及电路的各项性能指标,其具体实现流程图如图 2 所示。

在开始的模拟过程中,我们首先假设芯片表面的温度是均匀分布的,采用一维热阻模型作为热学分析的基础,并以电路的总功耗作为整个芯片的发热量。采用解耦法实现快速的电热耦合模拟,得到稳态时的各个单元的功耗情况以及芯片的平均温度;

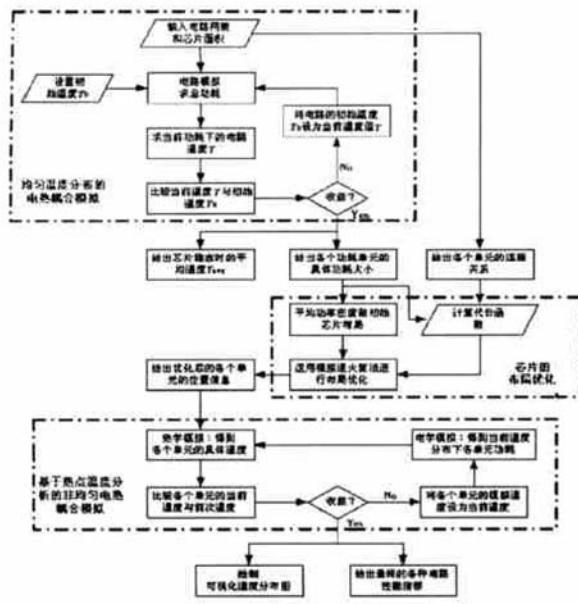


图 2 电热耦合以及布局优化具体流程

Fig. 2 Flowchart of the whole simulation for electrothermal coupling and placement optimization

然后再以这些单元的稳态功耗为基础进行递归对分初始布局以及模拟退火布局优化, 从而得到优化后各个单元的具体位置信息; 最后通过搭建于底层热学模型上的非均匀电热耦合模拟器来准确的预估电路的性能和进行可靠性诊断。

4 模拟结果及分析

我们用清华大学微电子所自行设计制造的传真机热印头驱动专用集成电路芯片 THF9305 以及通用的计数器电路芯片 CTCC01 作为测试芯片, 用电热耦合以及布局优化综合软件 ETSA-1 对其做模拟分析, 两个芯片经过单元布局优化前后芯片表面温度分布模拟结果分别如图 3 和图 4 所示。

由图 3 和图 4 可以看出, THF9305 芯片优化前的表面最高温度以及最低温度分别是 90.23℃ 和 65.54℃, 芯片表面温差将近 25℃, 而优化后芯片表面最高温度以及最低温度分别是 84.43℃ 和 69.86℃, 芯片表面温差降至 14℃; 而 CTCC01 芯片优化前的表面最高温度以及最低温度分别是 42.35℃ 和 27.43℃, 而优化后芯片表面最高温度以及最低温度分别变为 37.16℃ 和 28.15℃。

在改善芯片热布局的同时, 我们也关注了电路的关键路径延迟以及连线长度等传统设计目标。作

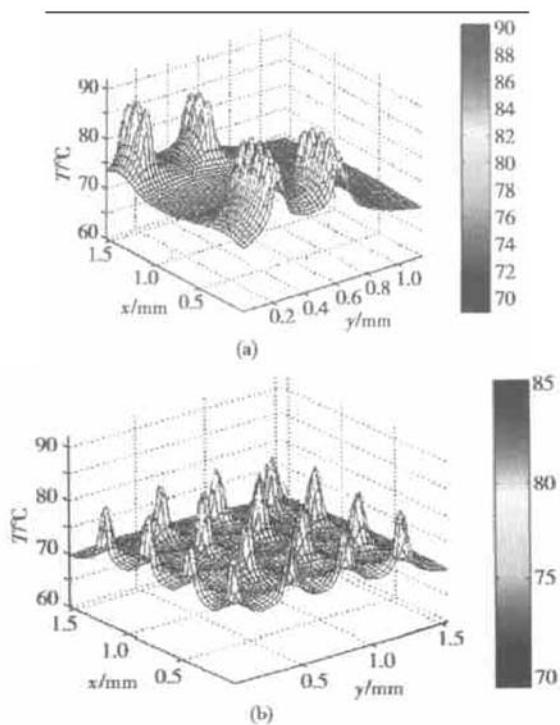


图 3 THF9305 芯片优化前后的表面温度分布图 (a) 优化前; (b) 优化后

Fig. 3 Temperature profiles for THF9305 chip before (a) and after (b) our optimization

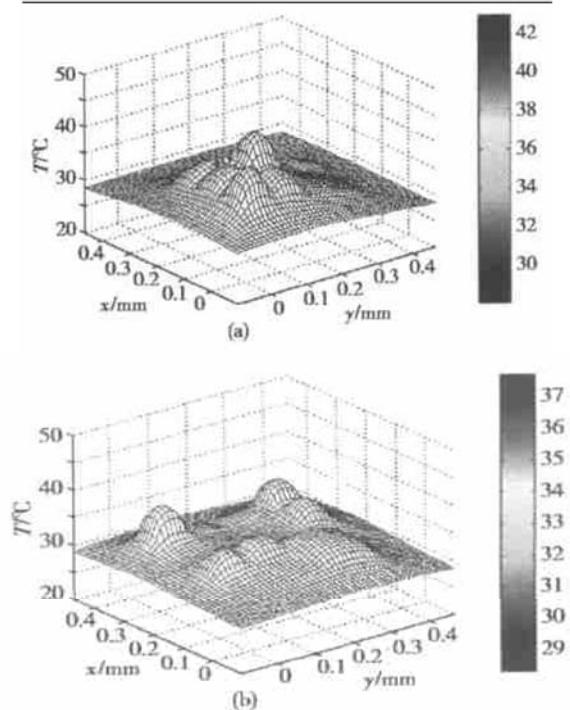


图 4 CTCC01 芯片优化前后的表面温度分布图 (a) 优化前; (b) 优化后

Fig. 4 (a) Temperature profiles for CTCC01 chip before (a) and after (b) optimization

为比较, 我们分别用模拟退火算法实现了基于最短关键路径(BCP)以及最短连线长度(BRL)的布局方案, 并就关键路径长度以及连线长度和我们的基于优化热分配(BTH)的布局方案进行比较, 比较结果如表1所示。

表1 关键路径长度以及连线总长比较结果

Table 1 Delay and routing length results in test cases

参 数	BTH	BCP	BRL
关键路径长度	3.15	3.04	3.13
连线总长	885.1	890.7	864.0

从上面的模拟结果以及比较结果可以看出, 我们的布局优化算法很好地降低了芯片表面的最高温度并改善了温度分布均匀情况, 而这两项因素往往会恶化时序分析以及可靠性诊断结果。并且在布局优化过程中, 基本保持了较好的延迟与连线长度等设计目标, 对比其最优值也只有小于4%的增长, 这是完全可以接受的。

5 结论

热学问题已经成为集成电路芯片电路性能分析以及可靠性分析的瓶颈问题, 本文提到的改进快速热点估算方法可以快速有效地对芯片进行热学分析, 得到比较精确的芯片表面温度分布情况。而我们基于模拟退火法则的单元布局优化算法则可以通过减少甚至消除芯片表面的突出热点, 使片上温度分布情况在保证其它设计目标几乎不被恶化的条件下得到令人满意的改善。并且利用我们的工具, 可以实现完整的电热耦合模拟, 从而得到更精确的电路性能以及可靠性分析结果。

参考文献

- [1] Cheng Y K, Raha P, et al. ILLIADS-T: an electrothermal timing simulator for temperature-sensitive reliability diagnosis of CMOS VLSI chips. *IEEE Trans Comput-Aided Des Integr Circuits Sys*, 1998, 17(8): 668
- [2] Osterman M D, Pecht M. Component placement for reliability on conductively cooled printed wiring boards. *ASME J Electronic Packaging*, 1989, 111(3): 149
- [3] Osterman M D, Pecht M. Placement for reliability and routability of convectively cooled PWBS, *IEEE Trans Comput-Aided Des Integr Circuits Sys*, 1990, 9(7): 734
- [4] Chao Kaiyuan, Wong D F. Thermal placement for high-performance multichip modules. *IEEE International Conference on Computer Design*, 1995: 218
- [5] Csendes A, Szekely V, Rencz M. An efficient thermal simulation tool for ICs, microsystem elements and MCMs: the uSTHERM ANAL. *Microelectron J*, 1998, 29(4~5): 142
- [6] Cheng Y K, Kang S M. An efficient method for hot-spot identification in ULSI circuits. *IEEE/ACM International Conference on Computer-Aided Design, Digest of Technical Papers*, 1999: 124
- [7] Otten R H J M, Van Ginneken L P P P. The annealing algorithm. *Kluwer Academic Publishers*, 1988
- [8] Tsai Chinghan, Kang Sungmo. Substrate thermal model reduction for efficient transient electrothermal simulation. *Southwest Symposium on Mixed-Signal Design*, 2000: 185
- [9] Halpin B, Chen R, Sehgal N. Timing driven placement using physical net constraints. *Proceedings of Design Automation Conference*, 2001: 780
- [10] Kong Tianming, Hong Xianlong, Qiao Changge. Efficient power and timing driven placement algorithm. *Chinese Journal of Semiconductors*, 1998, 19(1): 54(in Chinese) [孔天明, 洪先龙, 乔长阁. 功耗和时延双重驱动的VLSI布局算法. 半导体学报, 1998, 19(1): 54]

VLSI Thermal Placement Optimization Using Simulated Annealing^{*}

Wang Nailong, Dai Hongyu and Zhou Runde

(Institute of Microelectronics, Tsinghua University, Beijing 100084, China)

Abstract: A placement scheme that considers both electrical performance requirements and thermal behavior for high-performance VLSI chips is described. It is aimed at improving the substrate thermal distribution of a chip design without worsening the traditional design objects such as critical path delay and wire length very much. A useful placement method is developed using simulated annealing algorithm to optimize chip substrate thermal distribution. The simulation results show satisfied improvements of thermal distribution over the traditional placement algorithm with bearable increases of less than 4% in delay and total wire length of the final layout.

Key words: simulated annealing algorithm; electro-thermal coupling; placement optimization

EEACC: 1265A; 2560; 2570D

Article ID: 0253-4177(2003)04-0427-06

* Project supported by National Natural Science Foundation of China (No. 59995550-I)

Wang Nailong male, was born in 1977, PhD candidate. His research interests are low power CMOS circuit design and electrothermal simulation.

Dai Hongyu male, was born in 1975, PhD candidate. His research interests are low power CMOS circuit design and embedded system design.

Zhou Runde male, was born in 1945, professor and advisor for PhD candidates. His research interests are low power IC design and embedded system structure.