

Flash 器件中氧化硅/氮化硅/氧化硅的特性*

欧 文 李 明 钱 鹤

(中国科学院微电子中心, 北京 100029)

摘要: 对普遍采用的氧化硅/氮化硅/氧化硅(ONO)三层复合结构介质层的制备工艺及特性进行了研究分析, 研究了 ONO 的漏电特性以及顶氧(*top oxide*)和底氧(*bottom oxide*)的厚度对 ONO 层漏电的影响。结果表明, 采用较薄的底氧和较厚的顶氧, 既能保证较高的临界电场强度, 又能获得较薄的等效氧化层厚度, 提高耦合率, 降低编程电压。

关键词: 快闪存储器; ONO 介质层; 漏电; 临界电场强度

EEACC: 0520; 2810

中图分类号: TN 304. 055

文献标识码: A

文章编号: 0253-4177(2003)05-0516-04

1 引言

在 Flash 器件中, 两层多晶硅之间的介质层是其难点之一。在早期的 Flash 单元中, 两层多晶硅之间的介质采用的是在底层多晶硅上热氧化生长 SiO_2 。由于此介质存在各种缺点, 在 Scaling 时会遇到很大的困难^[1,2], 比如界面处的电场比平均电场大很多, 而且多晶氧化层的漏电受掺杂浓度和温度的影响较大。为了解决多晶硅氧化层所存在的各种困难, 人们提出了氧化硅/氮化硅/氧化硅(ONO)叠层的概念。ONO 叠层结构能实现高的临界电场和低的缺陷密度, 而且与多晶硅中磷掺杂浓度和氧化温度无明显的依赖关系。多晶硅表面的一些薄弱点, 由于电场增强效应, 初始阶段有较大的漏电流流过。由于氮化硅中具有大量的电子陷阱, 电子在氮化硅中迁移率极低, 这些电子被氮化硅中的电子陷阱捕获, 被捕获的电子降低了底氧中电场强度, 对薄弱点起到了一种保护作用。由于 ONO 结构具有的这种自愈效应, 因此能获得较高的临界电场强度和较低的缺陷密度。

由于具有低的缺陷密度和低的漏电流, ONO 复合介质结构在 SONOS 存储器件^[3]中作为一种存储机制以及在 Flash 器件中作为多晶硅层间介质^[4,5]方面得到了广泛的应用。为了获得良好的数据存储特性和 Endurance 特性, 这层复合介质要具有低的漏电流和高的击穿场强。在这方面, 底氧的制备工艺非常重要, 因而也进行了相当多的研究^[6~10]。而对于复合结构中底氧厚度和顶氧厚度对复合结构的临界电场强度的影响的研究则比较缺乏。

本文对 Flash 器件中应用的 ONO 复合膜结构的特性进行了研究, 获得了击穿电场达到 $13\text{MV}/\text{cm}$ 的复合介质层, 同时研究得到: 为了提高耦合率和降低编程电压, 采用较薄的底氧和较厚的顶氧, 既能保证较高的临界电场强度, 又能获得较薄的等效氧化层厚度的结论。

2 ONO 的研制

我们的实验流程是: 在 n 型衬底上先生长一层氧化硅, 用大圆版图光刻露出衬底, 然后淀积多晶硅, 在扩磷之后, 多晶硅与衬底在电学上连为一体,

* 国家重点基础研究专项经费(批准号: G20000365)和国家自然科学基金(批准号: 60276023)资助项目

欧 文 男, 1966 年出生, 硕士, 主要研究兴趣在半导体器件物理、超大规模集成电路工艺技术。

钱 鹤 1963 年出生, 博士, 主要研究兴趣在新器件、新工艺技术研究。

2002-07-21 收到, 2002-11-01 定稿

© 2003 中国电子学会

然后生长 ONO 介质, 最后沉积多晶硅 2, 并用小圆版图光刻, 结果如图 1(b) 所示。由于大圆比小圆宽出 $5\mu\text{m}$ 的距离, 使得多晶硅 2 下方的多晶硅 1 在结晶程度和掺杂分布上不受衬底影响。图 2 为 ONO 结构的各层示意图。

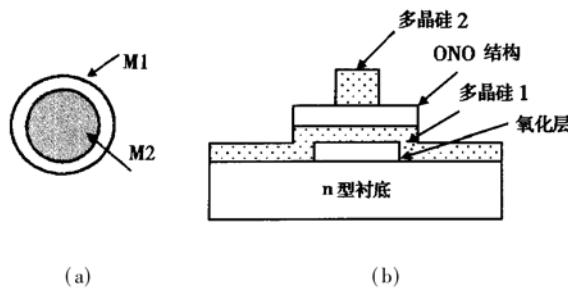


图 1 (a) ONO 试验版图;(b) ONO 结构剖面图

Fig. 1 (a) Experimental layout of ONO; (b) Section of ONO structure

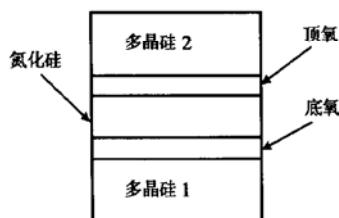


图 2 ONO 结构示意图

Fig. 2 ONO structure

由于 ONO 结构对磷掺杂浓度不敏感, 因此其范围可放宽, 一般选 $(2 \sim 6) \times 10^{20} \text{ cm}^{-3}$ 。本实验中多晶硅 1 的厚度为 150nm , 采用 950°C 19min 掺杂, 得到方块电阻为 $70\Omega/\square$, 换算成电阻率为 $1.05 \times 10^{-3}\Omega \cdot \text{cm}$, 浓度处于 $(2 \sim 6) \times 10^{20} \text{ cm}^{-3}$ 之间。

多晶硅膜的氧化有两个特征, 一是晶粒间界的增强氧化, 另一是粘滞流释放应力的过程。当温度没有达到足够高时, 晶粒间增强氧化时多晶硅表面粗糙不平, 绝缘性能下降; 高温氧化可有效释放应力, 得到较为均匀、平坦和光滑的形貌。虽然高温可以获得界面平整的多晶硅氧化层, 但是温度过高($1100 \sim 1200^\circ\text{C}$)将使下面的栅氧化层性能变坏, 因此我们折衷考虑采用 1000°C 氧化。同时由于 1000°C 干氧的氧化速度很快, 为获得性能良好的氧化层, 需要降低氧化速度, 因此我们采用分压氧化, 通过 N_2 稀释, 降低氧气的比例, 从而降低氧化速度。我们选择的顶氧的工艺条件是: 氮气流量 $5\text{L}/\text{min}$, 氧气流量 $0.4\text{L}/\text{min}$, 温度 1000°C , 在不同的时间下进行实验。氮化

硅采用 LPCVD 淀积, 工艺条件为: SiH_2Cl_2 流量 $35\text{mL}/\text{min}$, NH_3 流量 $50\text{mL}/\text{min}$, 压力 41Pa , 温度 783°C , 时间 $1\text{min } 28\text{s}$ 。氮化硅在干氧中很难被氧化, 而在湿氧中则可缓慢地被氧化, 我们采用如下的湿氧工艺条件: 氧气流量 $2.5\text{L}/\text{min}$, 氢气流量 $1\text{L}/\text{min}$, 温度 1000°C , 分不同时间进行实验。

3 实验结果和分析

在 ONO 结构中, 湿氧氧化氮化硅生成的氧化硅厚度由于无法直接测量, 因此我们通过光学和电学方法结合测量。由电学和光学测量得到的几个厚度之间的关系如下:

$$d_{\text{no}}(e) = \frac{\epsilon_{\text{ox}}}{\epsilon_{\text{SiN}}} \times d_{\text{ni}} + d_{\text{ox}}$$

$$d_{\text{ox}} = 1.6(d_{\text{ni}} - d_{\text{nf}})$$

其中 $d_{\text{no}}(e)$ 是通过电容测量得到的氮化硅-氧化硅叠层的等效氧化硅厚度; d_{ni} 和 d_{nf} 分别是氧化前和氧化后的氮化硅厚度; d_{ox} 是顶氧的厚度; ϵ_{ox} 和 ϵ_{SiN} 分别是氧化硅和氮化硅的介电常数。 d_{ni} 可通过椭偏仪测量, $\epsilon_{\text{ox}}/\epsilon_{\text{SiN}}$ 可通过单层氮化硅膜的电容-椭偏法得到。由于 $d_{\text{no}}(e)$ 和 d_{ni} 已知, 通过上式可得到氧化后的氧化硅厚度 d_{ox} 和剩余的氮化硅厚度 d_{nf} 。图 3 为我们测得的氮化硅氧化速度曲线。通过不同的底氧和顶氧氧化时间, 我们得到了不同层厚度的 ONO 结构, 如表 1 所示。

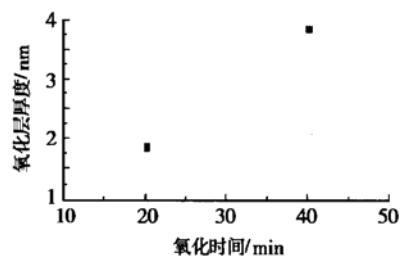


图 3 氮化硅氧化速率

Fig. 3 Wet oxidation rate of nitride

表 1 ONO 各层厚度及等效氧化层厚度

Table 1 Thickness of bottom oxide, nitride, top oxide and efficient thickness of ONO

片号	1	2	3	4
底氧厚度/nm	9.1	9.1	10.5	10.5
氮化硅厚度/nm	10.5	9.2	10.5	9.2
顶氧厚度/nm	1.6	3.6	1.6	3.6
等效厚度/nm	17.1	18.3	18.5	19.7

本实验的电学特性采用 HP4145 半导体参数仪进行测试, 在尽可能减小外界电磁干扰和光干扰的条件下, 能测得最小 20pA 的电流。为了比较 ONO 的质量, 采用的标准为漏电流达到 $10^{-7}\text{A}/\text{cm}^2$ 时的电场强度, 称为临界电场强度。对于半径为 $250\mu\text{m}$ 的圆点, 相应的电流为 200pA 。

实验得到的 ONO 结构的漏电特性如图 4 所示, 其曲线在硬击穿之前, 有一个电流急剧上升的过程, 在此之前平均场强已达到了 $13\text{MV}/\text{cm}$, 可见这是已达到了氧化层的本征击穿场强, 然后电流迅速增大, 直至击穿。在多晶氧化层上能得到如此高的击穿场强, 原因是氮化硅的自愈效应, 使得底氧上的薄弱点能得到有效保护, 从而大大提高其击穿特性。

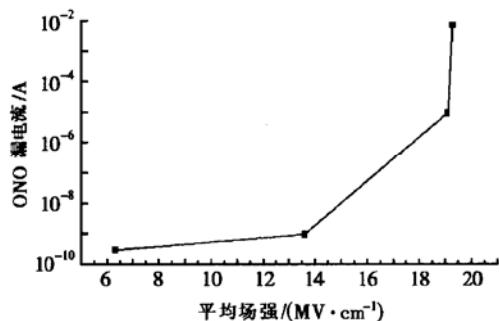


图 4 ONO 的漏电特性

Fig. 4 Leakage current of ONO

在相同顶氧条件下, 底氧厚度对 ONO 结构漏电特性的影响如图 5 所示。可见, 在相同顶氧厚度时, 底氧越厚, 则临界电场强度越高。而且底氧厚度在 9nm 或更厚时, 临界电场强度对底氧的厚度不敏感, 随着底氧厚度增加缓慢升高。

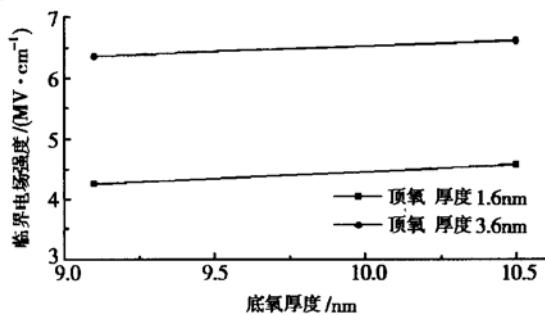


图 5 底氧厚度对 ONO 漏电特性的影响

Fig. 5 Influence of bottom oxide on leakage current of ONO

在相同底氧厚度条件下, 顶氧厚度对 ONO 结构漏电特性的影响如图 6 所示。可见, 在相同底氧厚

度时, 顶氧越厚, 则临界电场强度越高。而且顶氧厚度在 $1\sim 4\text{nm}$ 的范围内变化时, 临界电场强度变化非常明显。当顶氧厚度为 3.6nm 时, 临界电场强度为 $6\sim 7\text{MV}/\text{cm}$, 当顶氧厚度为 1.6nm 时, 临界电场强度只有 $4\sim 5\text{MV}/\text{cm}$, 屏蔽效果会急剧下降。

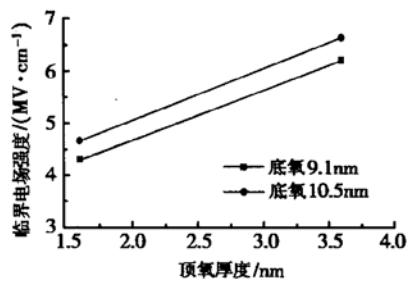


图 6 顶氧厚度对 ONO 漏电特性的影响

Fig. 6 Influence of top oxide on leakage current of ONO

ONO 结构的能带如图 7 所示, 当顶氧较薄时, 在顶氧/氮化硅处产生空穴隧穿, 由于在氮化硅中空穴的电流②比电子的电流③高得多, 在氮化硅中产生 Frenkel-Poole 空穴电流(电流②)。低场时, F-P 空穴电流大于底氧处的 F-N 电子隧穿电流(电流①), 因此空穴在氮化硅/底氧处积累, 产生增强漏电。当顶氧较厚时, 由于空穴无法从顶氧处注入, 可显著地减小 F-P 空穴电流(电流②), 从而在氮化硅/底氧处形成电子积累, 部分屏蔽了底氧处的 F-N 电子隧穿电流(电流①), 因此漏电流显著减小。本实验中顶氧 3.6nm 的 ONO 结构临界电场强度为 $6\sim 7\text{MV}/\text{cm}$, 而顶氧为 1.6nm 时 ONO 结构的临界电场强度为 $4\sim 5\text{MV}/\text{cm}$ 。可见, 3.6nm 的顶氧有效阻止了空穴的注入, 提高了临界电场强度, 而 1.6nm 的顶氧则没能达到此效果。

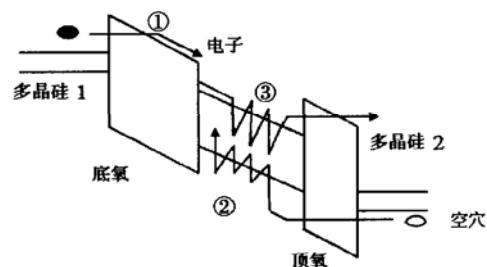


图 7 ONO 结构的能带图

Fig. 7 Energy band diagram of ONO

4 结论

由于氮化硅的空穴导通特性, ONO 结构在正偏压下的漏电对顶氧厚度敏感, 对底氧厚度相对不敏感, 因此选择较薄的底氧(9nm)和较厚的顶氧(3.6nm), 既能保证较高的临界电场强度, 又能够获得较薄的等效氧化层厚度, 提高耦合率, 降低编程工作电压.

致谢 感谢中国科学院微电子中心一室扈焕章研究员, 高级工程师赵玉印, 工程师丁明正、柴淑敏、侯瑞兵、郝秋华以及其他工作人员对该项工作做出的贡献.

参考文献

- [1] Mori S, Arai N, Kaneko Y, et al. Polyoxide thinning limitation and superior ONO interpoly dielectric for nonvolatile memory devices. *IEEE Trans Electron Devices*, 1991, 38: 270
- [2] Mori S, Sakagami E, Araki H, et al. ONO interpoly dielectric scaling for nonvolatile memory applications. *IEEE Trans Electron Devices*, 1991, 38: 386
- [3] Bu Jiankang, White M H. Electrical characterization of ONO triple dielectric in SONOS nonvolatile memory devices. *Solid-State Electron*, 2001, 45: 47
- [4] Brown V D, Brewer J E. Nonvolatile semiconductor memory technology. New York: IEEE Press, 1998
- [5] Cappelletti P, Golla C, Olivo P, et al. Flash Memories. Kluwer Academic Publishers, 1999
- [6] Chern H M, Lee C L, Lei T F. Improvement of polysilicon oxide characteristics by fluorine incorporation. *IEEE Electron Device Lett*, 1994, 15: 181
- [7] Cobianu C, Popa O, Dascalu D. On the electrical conduction in the inter-polysilicon dielectric layers. *IEEE Electron Device Lett*, 1993, 14: 213
- [8] Ono T, Mori T, Ajioka T, et al. Studies of thin poly-Si oxides for E and E2PROM. *IEDM Tech Dig*, 1985: 380
- [9] Faraone L. Thermal SiO₂ films on N⁺ polycrystalline silicon: Electrical conduction and breakdown. *IEEE Trans Electron Devices*, 1986, 33: 1785
- [10] Lai C S, Lei T F, Lee C L. The characteristics of polysilicon oxide grown in pure N₂O. *IEEE Trans Electron Devices*, 1996, 43: 326

Characteristics of ONO in Flash Memory Device*

Ou Wen, Li Ming and Qian He

(Microelectronics Research & Development Center, The Chinese Academy of Sciences, Beijing 100029, China)

Abstract: The processing technique of ONO(oxide/nitride/oxide) and analysis on characteristics of ONO are performed. A higher couple coefficient and lower operating voltage can be obtained by taking thinner bottom oxide and thicker top oxide which can obtain higher critical electric field and thinner efficient oxide.

Key words: flash memory; ONO; leakage current; critical electric field

EEACC: 0520; 2810

Article ID: 0253-4177(2003)05-0516-04

* Project supported by Special Funds for Major State Basic Research Plan(No. G20000365) and National Natural Science Fundation of China (No. 62076023)

Ou Wen male, was born in 1966, MS. His research interests are in physics of semiconductor devices and novel technology in ULSI.

Qian He male, was born in 1963, PhD. His research interests are in ULSI technology, new devices and new technique.

Received 21 July 2002, revised manuscript received 1 November 2002

© 2003 The Chinese Institute of Electronics