

标准数字 CMOS 工艺中 LC 谐振回路的改进和应用

苏彦锋 王 涛 朱 臻 洪志良

(复旦大学微电子系, 上海 200433)

摘要: 提出了一种在标准数字 CMOS 工艺条件下, 提高片上螺旋电感性能的实用方法, 以及在缺少双层多晶硅电容的情况下, 可以大大节约芯片面积的一种电容实现方法. 介绍了这两种方法在电路设计中的一种应用, 即利用 $0.35\mu\text{m}$ 1P4M 标准数字 CMOS 工艺实现的、单片集成的 LC 压控振荡器.

关键词: 片上电感; 电容; LC 谐振回路; 压控振荡器

EEACC: 2130; 2140; 1230B

中图分类号: TN753

文献标识码: A

文章编号: 0253-4177(2003)12-1330-05

1 引言

随着半导体工艺技术的持续发展, 人们将无线接口电路和数字基带信号处理电路集成在一起的愿望正逐步变为现实^[1]. 由于 CMOS 工艺便于数模混合集成的优点非常有利于降低产品成本, 缩短设计周期, 所以采用 CMOS 工艺的射频电路将会越来越普遍, 而且人们特别青睐于使用标准数字 CMOS 工艺设计和制作 RF 电路, 因而也就增加了设计的难度和挑战性.

在单片集成 RF 电路中, 有许多单元模块会用到 LC 谐振回路, 如低噪声放大器(LNA)^[2]、功率放大器(PA)^[3]、压控振荡器(VCO)^[4]以及倍频电路等, 而且这些电路的性能指标在很大程度上受限于谐振回路中集成电感元件的品质因数(Q 值). 提高片上电感 Q 值的方法, 总的来说可分为修改工艺参数和充分挖掘工艺潜力两种. 但是前者显然不利于标准 CMOS 工艺条件下的单片集成. 本文的情况属于后者.

另外, 由于标准数字 CMOS 工艺中缺少双层多

晶硅电容, 使得电容元件的选用受到性能和面积等因素的制约. 虽然这方面的一些研究成果, 如同层纵向电容^[5]、分形电容^[6]等, 可以部分地解决这个问题, 但是它们都存在着电容值容差较大, 设计时计算量大, 版图复杂, 并且容易和标准 CMOS 数字工艺的设计规则相冲突等缺点.

本文就此情况, 提出了在使用标准数字 CMOS 工艺设计 RF 电路时, 电感元件性能的改进和电容元件节省面积的实用方法, 最后利用这些方法设计了一种实验型 VCO 电路, 并且进行了实验测试.

2 谐振回路中电感的设计

在 CMOS 工艺条件下, 片上电感是决定 LC 谐振回路 Q 值的关键元件^[7]. 从物理上讲, 这种电感是一个三端器件(衬底是其中的一端), 它的设计不仅需要确定其几何参数, 还要尽可能设法提高其 Q 值和自谐振频率. 图 1(a)即为这种电感的一种正方形示例, 其中 W 表示金属线的宽度, S 表示线间距. 图 1(b)是其集总参数的等效电路, 其中 L 是电感值; R_s 代表金属的等效串联电阻值; C_p 主要起因于

苏彦锋 男, 博士研究生, 专业方向为数模混合集成电路的设计与测试.

王 涛 男, 博士研究生, 专业方向为数模混合集成电路的设计与测试.

朱 臻 男, 博士, 讲师, 主要研究领域为模拟和射频集成电路设计, 特别是数模接口和无线接口电路.

线圈主体和中心引出线(underpass, 参见图 1(a)) 之间的重叠; C_{ox1} 和 C_{ox2} 代表对衬底的耦合; C_{SUB} 和 R_{SUB} 代表衬底效应。

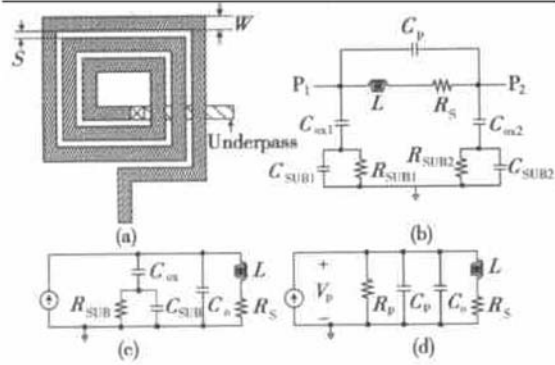


图 1 (a) 片上螺旋电感的俯视图; (b) 集总参数模型; (c) 一端接地时的集总参数模型; (d) 图(c)的等效电路

Fig. 1 (a) Top view of the on-chip spiral inductor; (b) Its lump circuit model; (c) Lump model with one pin connected to ground; (d) Equivalent circuit of (c)

为了简化 Q 值的分析^[8], 假设电感的等效电路对称并且一端接地, 可以得到图 1(c) 所示的模型。首先将 C_{ox} , R_{SUB} 和 C_{SUB} 用依赖于频率的等效电阻 R_p 和 C_p 电容代替, 如图 1(d) 所示。其中

$$R_p = \frac{1}{\omega^2 C_{ox}^2 R_{SUB}} + \frac{R_{SUB}(C_{ox} + C_{SUB})^2}{C_{ox}^2} \quad (1)$$

$$C_p = C_{ox} \frac{1 + \omega^2(C_{ox} + C_{SUB})C_{SUB}R_{SUB}^2}{1 + \omega^2(C_{ox} + C_{SUB})^2 R_{SUB}^2} \quad (2)$$

然后根据图 1(d) 所示的等效电路, 可以得到片上电感的 Q 值为:

$$Q_{ind} = \frac{\omega L}{R_s} \times \frac{R_p}{R_p + R_s \left[1 + \left(\frac{\omega L}{R_s} \right)^2 \right]} \times \left[1 - (C_o + C_p) \left[\frac{R_s^2}{L} + \omega^2 L \right] \right] \quad (3)$$

式中 $\omega L/R_s$ 代表线圈中的磁能存储和串联电阻的损耗; 第 2 项代表衬底损耗; 第 3 项代表自谐振损耗, 即由频率的增加而引起的磁能向电能转化的增加。由此可知, 片上电感的 Q 值不仅取决于串联电阻, 而且和衬底损耗以及自谐振频率密切相关。

在设计工作于 GHz 频段的片上电感时, 由于趋肤效应的影响, 金属的厚度就成为决定等效串联电阻的关键因素, 因此, 希望能够增加其厚度。从这个角度出发, 提高 Q 值常采用的一种方法是利用工艺提供的多层互连, 将最上面几层金属并联起来。本文

仍推荐使用这种方法。但是实际上, 并不是并联的层数越多, Q 值就越高。因为在上面的讨论中, 只考虑了减小串联电阻这一个方面。另一方面, 随着金属并联层数的增多, 线圈底面离衬底越来越近, 造成自谐振效应不断增强(表现为自谐振频率下降), Q 值的增加减慢。下面考察一个具体设计实例。

利用 TSMC 0.35 μ m 1P4M 数字 CMOS 工艺设计一个 5.6nH 的正方形平面电感。使用 ASITIC 片上电感仿真工具, 仿真时要求提供的关键工艺参数包括金属厚度(参见图 2)和电导率、金属层之间介质的厚度和介电常数、衬底的厚度和电阻率等^[9]。

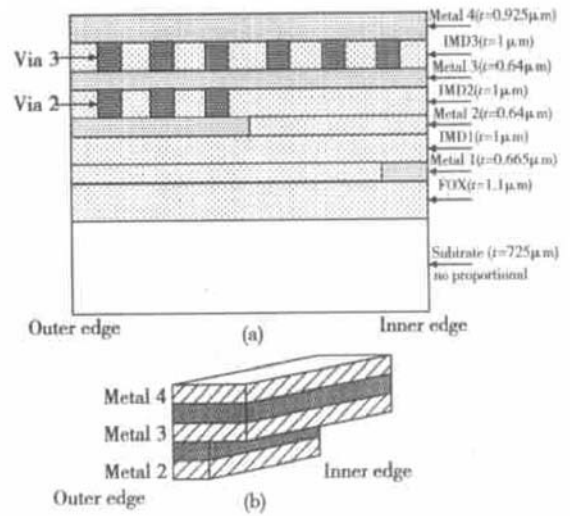


图 2 线圈中一段金属的剖面图(a)和立体图(b)

Fig. 2 (a) Cut plane of one section in the inductor; (b) Its 3-D diagram

为满足电感值的要求, 正方形外圈边长取 250 μ m, 金属宽 $W = 10\mu$ m, 间距 $S = 1\mu$ m, 圈数为 4, 采用底层金属(M1)作为中心引出线。表 1 比较了线圈主体使用不同层金属并联时 Q 值和自谐振频率($f_{self-res}$)的仿真结果。表 1 显示, 当上面三层金属都并联起来的时候, Q 值虽然超过了 5, 但是自谐振频率却大大下降了, 从 6GHz 左右降到 4.7GHz。分析这种现象的原因, 可以参照(3)式。在(3)式中, 通常可认为 R_p 足够大, 而且对于特定的应用, ω 和 L 可认为是一定的, 所以 Q 值其实主要是由 R_s 和 $C_o + C_p$ 这两个因子决定的, 前面描述的增加金属并联层数的方法其实是减小 R_s 同时增加 $C_o + C_p$ 的一个过程。 Q 值的上升是因为 R_s 减小所起的作用超过了 $C_o + C_p$ 增加所起的作用。其实, 如果能在金属厚度增加的过程中减小 $C_o + C_p$ 的增加, Q 值和自谐振频率

率还有可能提高.

表 1 采用不同金属并联方法时电感的参数

Table 1 Inductor's parameters with different parallel layer

Metal layer	L/nH	Q	$f_{self-res}/GHz$
M4	6.0	4.26	6.05
M4//M3	5.36	4.68	5.75
M4//M3//M2	5.31	5.45	4.71
M4//M3//M ₂ [*]	5.61	5.68	5.46

基于上述考虑,在并联第2层金属(M2)时,将它的线宽减小一半后,沿着外边沿并联到最上面两层金属上,如图2所示.注意在图2(a)中,通孔(Via)的表示只是示意,并不代表真实尺寸和数目.线圈的金属线采用图2(b)所示的形状后,等效于减小了(3)式中的 $C_0 + C_p$ 这个因子,只要 R_s 的变化带来的损失小于 $C_0 + C_p$ 减小带来的好处,那么就有可能增加 Q 值和自谐振频率.对这种形状的电感进行仿真,得到的结果如表1最后一行所示(M4//M3//M₂^{*}).可以看到, Q 值略微上升(电感值也稍许上升),但自谐振频率却提高了15%.这对于改善电感的性能是非常重要的,因为片上电感正常工作时必须远离其自谐振频率.当然,这种“不等宽”的并联方法也相应增加了计算和仿真的困难.

3 谐振回路中电容的设计

由于在标准数字CMOS工艺中缺少双层多晶硅电容,所以当要求使用精度较高、线性较好、面积适当的电容时,就必须考虑特定的实现方法.

首先考虑普通的平行板电容模型,不妨设其极板为正方形,边长为 a ,如图3(a)所示.通常,由于上下极板的面积有限,所以总电容值由两部分组成,即面电容的贡献和边缘电容的贡献,一般情况下,我们是将后者作为寄生电容来对待.设单位面积电容为 C_A ,单位边长电容为 C_E .对于图3(a)所示的边长为 a 的正方形极板,其总电容为

$$C_T = C_A a^2 + 4C_E a \quad (4)$$

在满足

$$a = a_1 = 4C_E/C_A \quad (5)$$

的时候,面电容和边缘电容的贡献各占总电容值的一半.而在 $a \neq a_1$ 的时候,根据 C_E 和 C_A 的相对大小,就会出现在总电容中两者之一居于主导地位的情况.在这里,不妨考察一种典型情况, $C_A = 8.4 \times$

$10^{-17} F/\mu m^2$, $C_E = 5.6 \times 10^{-17} F/\mu m$.由(5)式,可以求得当 $a_1 = 2.6 \mu m$ 时,总电容中边缘电容和面电容的贡献相等.而当 $a < 2.6 \mu m$ 时,总电容中边缘电容的贡献将大于面电容的.

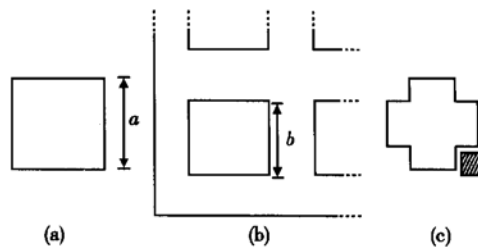


图3 平行板电容器容值和极板面积及边长的关系

Fig. 3 Plane plate capacitor's capacitance related to its area and perimeter

于是,为了在一定的芯片面积下获得更大的电容值,可以在电容的上下极板中制作很多边长为 b 的正方形空洞,并且 $b < a_1$,如图3(b)所示.设空洞的总数为 n ,那么在芯片面积相同的情况下,总电容可以增加

$$\Delta C_T = n(4aC_E - a^2C_A) \quad (6)$$

换句话说,要得到同样的电容值,这种方式制作的电容面积会更小,而且如果利用多层金属,即所谓的“夹心饼干”形式,则效果更好.图4是其中一种方案的立体示意图.这种电容由三层金属(最下层也可选用多晶硅)构成,其中上下两层是电容的一个极板,中间一层为另一个极板.

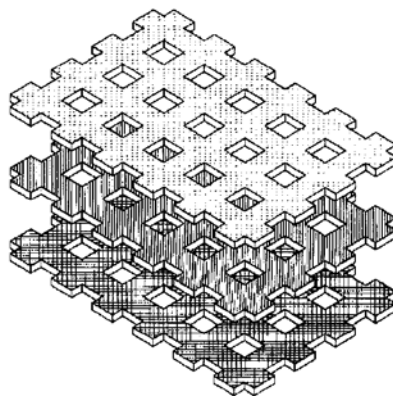


图4 多孔电容的立体示意图(不成比例)

Fig. 4 3-D diagram of the porous capacitor (illustrative)

为了说明原理,采用了较为简单的正方形空洞,实际上只要不违反工艺规则,完全可以采取其他形状,例如图3(c)所示的空洞形状.在图3(c)中,空洞

的边长不变, 但总电容值却增加了(其增加的值等于图中阴影小正方形面电容值的 4 倍). 虽然理论上还可以再增加边沿的数目, 但是考虑到制作工艺的限制, 边沿也不宜太多.

下面举一个具体例子, 应用于下节描述的 VCO. 一个 3pF 的电容, 若采用通常的平行板形式, 用第 1 层金属(M1)作为一个极板, 第 2 层金属(M2)和多晶硅作为另一个极板, 那么所需的面积为 $3.5 \times 10^4 \mu\text{m}^2$. 但是, 如果在极板上制作图 3(c) 所示的十字形空洞, 那么最后得到的多孔电容就只需要 $1.5 \times 10^4 \mu\text{m}^2$ 的面积, 从而大大节约了芯片面积. 但是这种电容也存在一个很大的缺点, 就是容值偏差较大, 往往需要进行补偿.

4 改进 LC 谐振回路的应用

本文介绍的电感和电容实现方法可用于 LC 谐振回路中, 这种回路的应用非常广泛. 在此仅介绍一种使用单电感的 LC-VCO^[10], 如图 5(a) 所示, 图中对偏置电路采取了简略画法, 其中 V_{cmfb} 可以调节 VCO 输出信号的共模值.

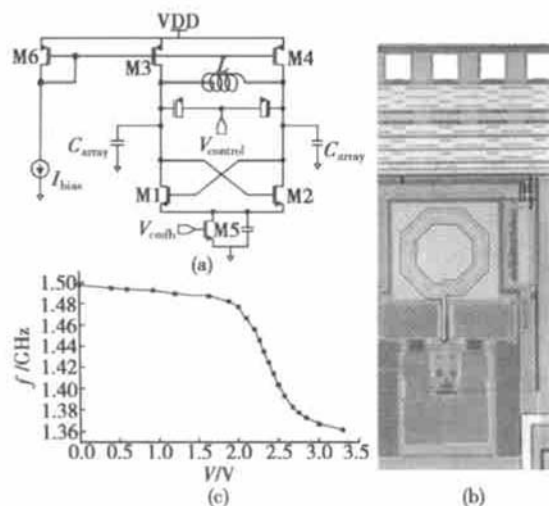


图 5 VCO 的电路原理图(a)、芯片照片(b)和 $f-V$ 特性(c)

Fig. 5 VCO's schematic (a), die photo (b) and $f-V$ curve (c)

VCO 的实现采用 TSMC $0.35\mu\text{m}$ 1P4M CMOS 工艺. 设计时, 为了进一步优化电感性能, 采用了八角形线圈; 变容元件选用衬底(N 阱)接电源电压的 PMOS 管; 谐振回路中的其他电容采用多层多孔结构. 但是这种结构的电容值不易准确, 再加上由于工艺偏差导致的电感元件的实际值偏离设计

值和各种寄生效应等因素, 就会造成谐振频率的偏离. 于是在设计时将谐振回路中部分电容做成阵列的形式, 包含在图 5(a) 的 C_{array} 中, 该阵列采用二进制加权, 利用数字开关控制, 使电容值可以在相当大的范围内进行调节, 从而补偿工艺偏差, 并且实现对频率范围的粗调.

VCO 的芯片照片如 5(b) 所示, 图 5(c) 是实际测得的 VCO 的 $f-V$ 特性. 当开关电容阵列所设置的电容值处于可调容值范围的中心时, 该 VCO 的中心振荡频率约为 1.43GHz , 它的调谐范围为 $1.36 \sim 1.50\text{GHz}$. 在 3.3V 电源电压下, 电流约为 5mA , 输出幅度可以达到 750mV_{pp} . 若中心频率发生偏移, 可以使用开关电容阵列进行调节, 调节的范围设计为 $\pm 160\text{MHz}$. 由于对开关管寄生效应的估计不足, 实测约为 $\pm 100\text{MHz}$. 如果设计时能够正确地估算寄生效应, 将开关电容阵列和变容管相结合, 其调节范围完全可以补偿各种工艺偏差.

5 结论

本文提出了一种在标准数字 CMOS 工艺中提高片上电感性能的新尝试, 以及利用寄生(边缘)效应减小电容面积的方法. 这些方法有利于提高芯片集成度, 节省芯片面积, 从而对降低成本, 具有积极的意义. 另外, 也为模拟(或 RF)电路设计者如何充分利用标准数字 CMOS 工艺提供了一些参考.

参考文献

- [1] Larson L E. Integrated circuit technology options for RFIC's—present status and future directions. IEEE J Solid-State Circuits, 1998, 33(3): 387
- [2] Lin Min, Wang Haiyong, Li Yongming, et al. Design and test of 2-GHz CMOS RF low noise amplifier. Acta Electronica Sinica, 2002, 30(9): 1278 [林敏, 王海永, 李永明, 等. 2-GHz CMOS 射频低噪声放大器的设计与测试. 电子学报, 2002, 30(9): 1278]
- [3] Darabi H, Khorram S, Chien H M, et al. A 2.4-GHz CMOS transceiver for bluetooth. IEEE J Solid-State Circuits, 2001, 36(12): 2016
- [4] Chi Baoyong, Shi Bingxue. A 2.4GHz CMOS quadrature voltage-controlled oscillator based on symmetrical spiral inductors and differential diodes. Chinese Journal of Semiconductors, 2002, 23(2): 131
- [5] Aparicio R, Hajimiri A. Capacity limits and matching proper-

- ties of integrated capacitors. IEEE J Solid-State Circuits, 2002, 37(3): 384
- [6] Samavati H, Hajimiri A, Shahani A R, et al. Fractal capacitors. IEEE J Solid-State Circuits, 1998, 33(12): 2035
- [7] Li Linan, Qian He. RF integrated inductor designing and parasitic effects analyzing. Research & Progress of SSE, 2002, 22(2): 153[李力南, 钱鹤. RF 集成电感的设计与寄生效应分析. 固体电子学研究进展, 2002, 22(2): 153]
- [8] Yue C P, Wong S S. On-chip spiral inductors with patterned ground shields for Si-based RF IC's. IEEE J Solid-State Circuits, 1998, 33(5): 743
- [9] Niknejad A M, Meyer R G. Analysis, design, and optimization of spiral inductors and transformers for Si RF IC's. IEEE J Solid-State Circuits, 1998, 33(10): 1470
- [10] Chi Baoyong, Shi Bingxue. Integrated low-power CMOS VCO and its divide-by-2 dividers. Chinese Journal of Semiconductors, 2002, 23(12): 1262

Improvement and Application of LC-Tank Based on Standard Digital CMOS

Su Yanfeng, Wang Tao, Zhu Zhen and Hong Zhiliang

(Department of Microelectronics, Fudan University, Shanghai 200433, China)

Abstract: A novel LC-tank is proposed based on the standard digital CMOS process. The inductor's performance is improved in its self-resonant frequency and the capacitor's area is reduced greatly. The LC-tank can be used in some RF circuit applications. A VCO circuit, as an example, is designed with TSMC 0.35 μ m standard digital CMOS technology.

Key words: on-chip inductor; capacitor; LC-tank; VCO

EEACC: 2130; 2140; 1230B

Article ID: 0253-4177(2003)12-1330-05

Su Yanfeng male, PhD candidate. His work focuses on the design and testing of mixed-signal IC.

Wang Tao male, PhD candidate. His work focuses on the design and testing of mixed-signal IC.

Zhu Zhen male, lecturer, PhD. His work focuses on the analog & RF IC design, especially on A/D, D/A and wireless transceiver.

Received 9 January 2003, revised manuscript received 5 May 2003

©2003 The Chinese Institute of Electronics