

# 高压集成电路中的 HV MOS 晶体管 BSIM3 I-V 模型改进\*

任 铮<sup>1,2</sup> 石艳玲<sup>1,2,†</sup> 胡少坚<sup>2</sup> 金 蒙<sup>1</sup> 朱 骏<sup>2</sup> 陈寿面<sup>2</sup> 赵宇航<sup>2</sup>

(1 华东师范大学信息科学技术学院 电子科学技术系, 上海 200062)

(2 上海集成电路研发中心, 上海 201203)

摘要: 针对 SPICE BSIM3 模型在对大量应用于高压集成电路中的轻掺杂漏高压 MOS(简称 HV MOS)晶体管建模上的不足, 提出了基于 BSIM3 的高压 MOS 晶体管 I-V 模型改进. 研究中使用 Agilent ICCAP 测量系统对 HV MOS 晶体管进行数据采集, 并分析其源漏电阻受栅源、源漏和衬底电压的影响及与标准工艺低压 MOS 晶体管的差异, 针对 BSIM3 模型源代码中源漏电阻  $R_{ds}$  的相关参数算法进行了改进, 保留 BSIM3v3 原有参数的同时增加了  $R_{ds}$  的二次栅压调制因子  $P_{rws2}$  和有效  $V_{ds}$  参数  $\delta$  的栅压调制因子  $\delta_1, \delta_2$ , 在开放的 SPICE 和 BSIM3v3 源代码上对模型库文件进行修改并实现了优化. 仿真结果表明采用改进后的模型, 在 ICCAP 下的测量曲线与参数提取后的 I-V 仿真曲线十分吻合, 该模型大大提高了 BSIM3 I-V 模型模拟 HV MOS 晶体管时的精确度, 对于高压集成电路的设计与仿真有着极其重要的意义.

关键词: BSIM3 模型; SPICE; HV MOS 晶体管; 参数提取; 曲线拟合

PACC: 7340Q EEACC: 2530N; 2560B; 2560Z

中图分类号: TN386.1 文献标识码: A 文章编号: 0253-4177(2006)06-1073-05

## 1 引言

由于高压集成电路芯片的应用日益广泛的应用, 尤其是在工作电压于 14~35V 范围内的 LCD 驱动<sup>[1]</sup>、TFT 驱动<sup>[2]</sup>、电源管理芯片等许多包含电池控制的科技领域, 使得越来越多的 VLSI 设计、仿真中需要精确的高压 MOS 晶体管模型. SPICE BSIM 模型库作为工业标准, 已成为 MOS 晶体管建模与参数提取必备的软件, 是 VLSI 设计与仿真中不可缺少的环节. 然而目前应用最为广泛的 BSIM3v3 模型在对高压 MOS 晶体管进行模拟时存在着明显偏差, 使用原模型仿真高栅电压下的源漏电流值远大于实际测量值, 因此需要一个精确的高压器件模型进行高压集成电路芯片的设计与制造<sup>[3,4]</sup>. 在对高压 MOS 晶体管建模和参数提取过程中发现, 在 BSIM3v3 模型上增加若干当器件进入高工作电压时生效的参数能更好地描述器件特性, 并且该优化并未改动标准工艺的器件参数, 因而该模型仍然适用于标准工艺的低压 MOS 器件, 能够被大部分使用 SPICE 内核的 EDA 软件平台使用.

本文在模型改进过程中首先将 UNIX 操作系

统下开放的 SPICE 与 BSIM3v3 库文件源代码编译和移植到 WINDOWS 操作系统下, 生成仿真器, 使其能被 Agilent 公司的 ICCAP 软件调用, 在此基础上对 BSIM3v3 的 MOS 器件模型进行改进、优化. 测量数据全部使用 Agilent ICCAP2002 测试系统片上测试得到.

## 2 HV MOS 晶体管的工作原理

图 1 给出高压轻掺杂漏 MOS 晶体管 (high voltage lightly-doped-drain MOS, HV MOS) 的结构示意图. 与标准工艺低压 MOS 器件结构不同之处在于: 首先 HV MOS 晶体管阱深、栅氧厚度  $T_{ox}$  与沟道长度都较低压 MOS 晶体管大, 以实验中 14V HV MOS 晶体管为例, HV MOS 晶体管的  $T_{ox}$  达到了 36nm, 而低压 MOS 晶体管  $T_{ox}$  仅为 7nm, n 阱  $X_j$  约为 2.5 $\mu$ m 而低压 MOS 晶体管 n 阱约  $X_j$  为 1.7 $\mu$ m; 其次其源、漏区外围包裹了一层轻掺杂区, 有效地增大了源区和漏区的电阻<sup>[5]</sup>; 归一化的有效源漏电压公式<sup>[6]</sup>为:

$$V_{dseff} = 1/2(V_{dsat} + V_{ds} + \delta - \sqrt{(V_{ds} + \delta - V_{dsat})^2 + 4\delta V_{dsat}}) \quad (1)$$

\* 国家自然科学基金(批准号:60306012), 上海市科委启明星计划(批准号:04QMX1419)及上海应用材料研究与发展基金(批准号:0522)资助项目

† 通信作者. Email: ylshi@ee.ecnu.edu.cn, Alancatrz@hotmail.com

2005-10-19 收到, 2006-02-10 定稿

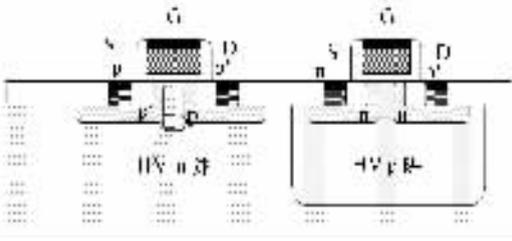


图 1 高压轻掺杂漏 MOS 晶体管的结构示意图

Fig.1 Structure of high voltage lightly-doped-drain MOS device

在线性电阻区,  $V_{dseff}$  随着  $V_{ds}$  的增大而增大, 进入饱和区之后则受  $V_{ds}$  影响非常小, 接近于漏饱和电压  $V_{dsat}$ . 根据 MOS 器件工作原理, 减小源区和漏区的掺杂浓度将使电阻增大, pn 结空间电荷区展宽, 大部分源漏电压降将落在源漏区空间电荷区的势垒上而非沟道上, 从而减小了器件的有效源漏电压, 结合较大的  $T_{ox}$  厚度、阱深和沟道长度一起减小了沟道中的峰值电场, 增大了器件的击穿电压, 提高了 MOS 晶体管的工作电压. 然而正是 HV MOS 晶体管轻掺杂、高源漏电阻的特点, 为器件建模带来了新的问题.

### 3 BSIM3v3 模型对 HV MOS 器件建模存在的问题

使用 BSIM3v3 模型对 HV MOS 器件进行建模时发现<sup>[7]</sup>. 当  $V_{gs}$  较高时, 经过参数提取、优化和曲线拟合之后的器件仿真  $I-V$  曲线严重偏离了实际测量曲线, 如图 2 所示. 图 2(a) 给出 14V n 型 HV MOS 晶体管(沟道长宽比  $1.2\mu\text{m}/20\mu\text{m}$ ) 在  $V_{ds} = 12\text{V}$  时的  $I_d-V_g$  曲线, 而图 2(b) 给出其  $I_d-V_d$  曲线. 可以清楚看到, 图 2(a) 和 (b) 都显示出  $V_{gs}$  较大时漏电流仿真曲线与测量值有很大偏差<sup>[3]</sup>. 实际  $I_{ds}$  值在  $V_{gs}$  较大时随  $V_{gs}$  和  $V_{ds}$  增大的速率明显较慢.

这是因为原模型对轻掺杂漏极引入的串联电阻对器件性能的影响描述有偏差, 如图 3 所示. HV MOS 晶体管可被等效为在一个普通低压 MOS 晶体管上源、漏极加载一个受栅电压控制的可变电阻, 图 3 中  $R_{ds}$  为源漏寄生电阻不受电压影响的部分, 而  $R'_d$  和  $R'_s$  为受  $V_{gs}$  影响的部分, 当栅电压逐渐升高的同时  $R'_d$  和  $R'_s$  也将随之增大.

为了实现该器件模型, 解决方案之一是提出新的 HV MOS 晶体管模型参数  $\lambda_{hv}$  来描述 HV MOS 晶体管的输出电导, 以适应处于高压和低压两种工作状态时 HV MOS 晶体管输出电导之间的差别<sup>[8]</sup>. 但这一模型对于 BSIM3 器件  $I-V$  模型的改动较大, 是否适于工业实际应用尚未得到验证.

对 BSIM3v3 模型的另外一种改进方法则是通

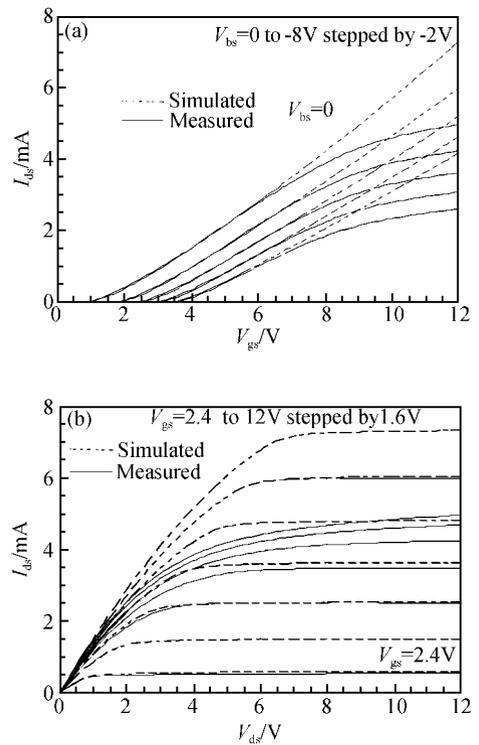


图 2 沟道长宽比  $1.2\mu\text{m}/20\mu\text{m}$  的 14V HV MOS  $I-V$  曲线 (a)  $I_d-V_g$  曲线 ( $V_{ds} = 12\text{V}$ ); (b)  $I_d-V_d$  曲线

Fig.2 Comparison between the simulated and measured  $I-V$  characteristics of 14V HV MOS with  $L/W = 1.2\mu\text{m}/20\mu\text{m}$ . To all figures in this article, real lines represent the measured data and dashed lines represent the simulated data.

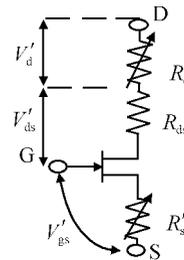


图 3 HV MOS 晶体管等效电路

Fig.3 Equivalent circuits of HV MOS device

过优化饱和速率  $V_{sat}$ , 体效应的栅电压影响因子  $A_{gs}$  和  $\delta$  等若干 BSIM3v3 模型参数的数值来达到拟合仿真与测量曲线的目的<sup>[3]</sup>, 但  $V_{sat}$ ,  $A_{gs}$  等因子对低压和高压工作时 MOS 晶体管的  $I-V$  曲线影响都很大, 改动这些参数的提取数值来使模型适应 HV MOS 晶体管的  $I-V$  特性, 也将导致低电压下器件仿真数据的失真.

### 4 BSIM3v3 模型的改进

轻掺杂漏区引入的受栅压影响的串联电阻是高

压器件模型中尤为重要的一个因素. 而短沟 HV MOS 器件的漏饱和电压  $V_{dsat}$  的增长率也随着  $V_{gs}$  的增大而减小, 它与轻掺杂区空间电荷层展宽引起的沟道阻断相关. 本文在保留 BSIM3v3 原有参数同时, 提出三个仅在高压时起作用的新参数描述 HV MOS 器件  $I-V$  特性.

### 4.1 源漏寄生电阻的二次栅电压调制因子

根据 BSIM3v3 模型中的  $I-V$  模型定义, 不考虑  $V_A$  (Early 电压) 和  $V_{ASCE}$  (沟道调制效应 Early 电压) 情况下可以认为  $I_{ds}$  与  $V_{dseff}$  之间的函数关系如下:

$$I_{ds} = \frac{V_{dseff}}{\frac{V_{dseff}}{I_{dso}(V_{dseff})} + R_{ds}} \quad (2)$$

其中  $I_{dso}$  表示不存在离子化碰撞效应时的源漏电流, 该效应只有当器件进入饱和区后由于高漏电压方才引入, 所以可以近似用  $V_{dseff}/I_{dso}(V_{dseff})$  表示 MOS 器件的初始电阻.  $R_{ds}$  表示进入饱和区后 MOS 器件受高漏电压影响所附加的源漏寄生电阻, 其表达式为:

$$R_{ds} = \frac{R_{dsw}(1 + P_{rwg} V_{gsteff} + P_{rwb}(\sqrt{\Phi_s - V_{bseff}} - \sqrt{\Phi_s}))}{(10^6 W'_{eff})^{Wr}} \quad (3)$$

其中  $R_{dsw}$  代表寄生电阻的初始值;  $P_{rwg}$  和  $P_{rwb}$  分别为它的栅电压调制因子与体效应调制因子, 这两个参数表征了栅电压和衬底电压对  $R_{ds}$  的影响.

BSIM3 模型仅考虑了低压 MOS 晶体管栅电压对源漏区寄生电阻的影响, 却没有表征轻掺杂漏 HV MOS 晶体管源漏区寄生电阻随栅电压增加而迅速增大的情况, 因此原 BSIM3 模型的源漏电阻随  $V_{gs}$  升高而增加的数值较实际值要小.

针对这一情况, 我们在不改变 BSIM3 模型结构的基础上补充一个新的栅电压调制参数  $P_{rwg2}$  作为有效栅电压的二次方与源漏寄生电阻  $R_{ds}$  线性相关的系数, 令:

$$R_{ds} = [R_{dsw}(1 + P_{rwg} V_{gsteff} + P_{rwg2} V_{gsteff}^2 + P_{rwb}(\sqrt{\Phi_s - V_{bseff}} - \sqrt{\Phi_s}))]/(10^6 W'_{eff})^{Wr} \quad (4)$$

$P_{rwg}$  和  $P_{rwg2}$  参数数值可根据 (4) 式使用插值样条法根据晶体管  $I-V$  曲线测量数据提取.

### 4.2 $\delta$ 的栅电压调制因子

分析 (1) 式中的漏饱和电压  $V_{dsat}$ , 可以发现其中的有效  $V_{ds}$  参数  $\delta$  是一个表征有效漏饱和电压增长速率的参数. 它是一个待提取的数学量, 而非物理量.

如图 4 所示,  $\delta$  对 MOS 器件线性区的影响非常大,  $\delta$  越小时  $I_d-V_d$  曲线越陡峭. 而如图 2(b) 所示, HV MOS 晶体管在不同  $V_{gs}$  下  $\delta$  值明显不同,  $V_{gs}$  将影响线性区  $V_{dseff}$  变化的速率,  $V_{gs}$  越小时的  $I_d-V_d$  曲线越陡峭. 改变  $\delta$  值, 使之在高栅电压情况下随着栅电压的增大而增大, 就能使模型适应 HV MOS 器

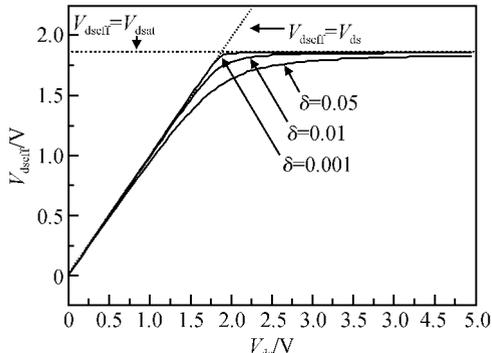


图 4 不同  $\delta$  时  $V_{dseff}$  随  $V_{ds}$  的变化曲线

Fig. 4 Comparison of  $V_{dseff}-V_{ds}$  characteristics at different  $\delta$

件漏饱和电压  $V_{dsat}$  的增长率随着  $V_{gs}$  的增大而减小的情况, 使得器件模型  $I-V$  仿真曲线在线性区趋于平缓, 更接近实际测量曲线.

在不改变 BSIM3 模型结构基础上补充两个  $\delta$  的栅电压修正因子  $\delta_1$  和  $\delta_2$ , 进而修正  $\delta$  的表达式为:

$$\delta' = \delta(1 + \delta_1 V_{gsteff} + \delta_2 V_{gsteff}^2) \quad (5)$$

其中  $V_{gsteff}$  为  $V_{gst}$  的有效值,  $V_{gst} = V_{gs} - V_{th}$ . 将新定义的  $\delta'$  代替原  $\delta$  代入 (1) 式, 得到:

$$V_{dseff} = 1/2(V_{dsat} + V_{ds} + \delta' - \sqrt{(V_{ds} + \delta' - V_{dsat})^2 + 4\delta' V_{dsat}}) \quad (6)$$

同样  $\delta_1$  和  $\delta_2$  的数值可采用插值样条法根据晶体管  $I-V$  曲线测量数据提取出合适的经验值.

## 5 模型改进的实现及仿真结果与测量数据的对照

根据修正后的  $R_{ds}$  和  $\delta'$  计算公式, 在 BSIM3v3 源代码中进行相应修改并编译得到新的 SPICE 仿真器. 具体过程如下: 首先在开放 SPICE 与 BSIM3v3 库源代码中添加新的参数  $P_{rwg2}$  和  $\delta_1, \delta_2$ , 并对  $R_{ds}$  和  $\delta$  的计算公式进行修改, 更新为上文所提出的新公式. 然后在 WINDOWS XP 下使用 Visual C++ 将 SPICE 与 BSIM3v3 库编译链接为仿真器 (可执行文件). 在 ICCAP2002 中设置该仿真器为软件系统所使用的仿真器, 这样便可对 HV MOS 器件的测量数据进行参数提取, 使用提取出的参数进行仿真, 从而得到改进模型  $I-V$  曲线.

分别根据 HV MOS 晶体管改进 BSIM3v3 模型与标准 BSIM3v3 模型,使用 ICCAP 2002 进行参数提取,表 1 列出了修改前的 BSIM3v3 模型参数 ( $P_{\text{rwg}}, \delta$ )和修改后的模型参数 ( $P_{\text{rwg}}, P_{\text{rwg}2}$  与  $\delta, \delta_1, \delta_2$ )的提取值对照表,并以此为基础进行仿真(HV MOS 晶体管为 n 型,最小沟道长度  $1.2\mu\text{m}$ ,截止频率  $2.3\text{MHz}$ ,工作电压  $14\text{V}$ ,  $T_{\text{ox}}$  为  $36\text{nm}$ ,由上海集成电路研发中心所研发)。

表 1 使用改进 BSIM3v3 模型与标准 BSIM3v3 模型对  $1.2\mu\text{m}/20\mu\text{m}$   $14\text{V}$  HV MOS 参数提取后的参数值  
Table 1 Parameter values of  $1.2\mu\text{m}/20\mu\text{m}$   $14\text{V}$  HV MOS extracted with the original and modified BSIM3V3

参数	标准 BSIM3v3 模型	改进 BSIM3v3 模型
$P_{\text{rwg}}$	$-1.237 \times 10^{-2}$	$3.779 \times 10^{-2}$
$P_{\text{rwg}2}$	-	$1.031 \times 10^{-2}$
$\delta$	0.015	0.01
$\delta_1$	-	0.092
$\delta_2$	-	$1.2 \times 10^{-6}$

图 5 给出了沟道长宽比为  $1.2\mu\text{m}/20\mu\text{m}$  的 HV MOS  $I_d-V_g$  和  $I_d-V_d$  曲线,图中实线为测量数据,虚线为仿真数据.与原 BSIM3 模型的仿真结果(图 2)相比,上述改进模型仿真曲线与实际测量数据非

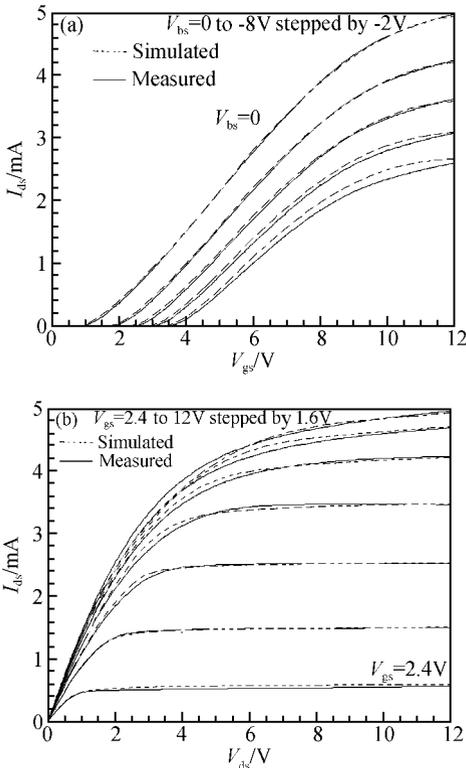


图 5 改进模型后的  $1.2\mu\text{m}/20\mu\text{m}$   $14\text{V}$  HV MOS  $I-V$  曲线  
(a)  $I_d-V_g$  曲线  $V_{\text{ds}} = 12\text{V}$ ; (b)  $I_d-V_d$  曲线  
Fig.5 Comparison between the simulated and measured  $I-V$  characteristics of  $1.2\mu\text{m}/20\mu\text{m}$   $14\text{V}$  HV MOS

常吻合.图 6 给出低漏电压 ( $V_{\text{ds}} = 0.1\text{V}$ ) 时该器件对应的  $I_d-V_g$  曲线,可见改进模型不影响器件在低压时的工作状态.上述改进仅对原模型高栅电压情况下输出电阻进行了优化,所以原模型其他特性不会受到影响,也不会由于模型结构改动而引入新问题。

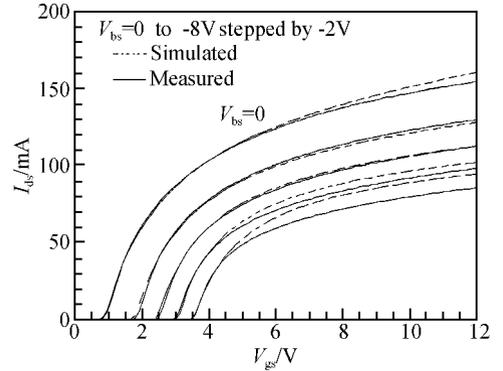


图 6 改进模型的  $1.2\mu\text{m}/20\mu\text{m}$   $14\text{V}$  HV MOS  $I-V$  曲线  
 $V_{\text{ds}} = 0.1\text{V}$   
Fig.6 Comparison between the simulated and measured  $I-V$  curves of  $1.2\mu\text{m}/20\mu\text{m}$   $14\text{V}$  HV MOS  $V_{\text{ds}} = 0.1\text{V}$

实际工作中我们实现了沟道宽度  $1.5\sim 20\mu\text{m}$ ,沟道长度  $1.2\sim 20\mu\text{m}$  的一系列不同尺寸的 HV MOS 晶体管,使用该改进模型的仿真值均与实际测量值相符合.图 7 给出  $1.5\mu\text{m}/20\mu\text{m}$  相同工艺器件在  $V_{\text{ds}} = 12\text{V}$  时的曲线拟合结果.综上所述,改进的 BSIM3v3 模型比标准模型在对 HV MOS 器件工作状态的描述上有了显著优化,更适应 HV MOS 晶体管的参数提取和设计。

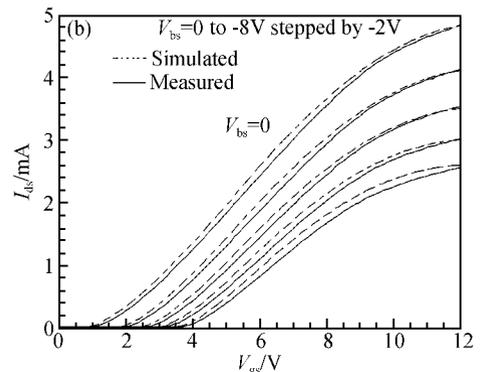


图 7 改进模型的  $1.5\mu\text{m}/20\mu\text{m}$   $14\text{V}$  HV MOS  $I-V$  曲线  
 $V_{\text{ds}} = 12\text{V}$   
Fig.7 Comparison between the simulated and measured  $I-V$  curves of  $1.5\mu\text{m}/20\mu\text{m}$   $14\text{V}$  HV MOS  $V_{\text{ds}} = 12\text{V}$

## 6 结论

本文根据 HV MOS 晶体管的物理特性, 针对 BSIM3v3 仿真结果与实际测量曲线之间的差异, 提出了在 BSIM3v3 标准 MOS 晶体管模型基础上进行改进的方法. 针对两个参数  $P_{\text{rwg}}$  和  $\delta$  在描述 HV MOS 器件工作于高  $V_{\text{gs}}$  时的不足, 增补了  $P_{\text{rwg}2}$  参数表征高  $V_{\text{gs}}$  时  $V_{\text{gs}}$  对于源漏寄生电阻的调制效应, 增补了  $\delta_1$  和  $\delta_2$  表征 HV MOS 短沟晶体管  $V_{\text{gs}}$  对于  $\delta$  的调制效应. 再使用插值样条法对 HV MOS 器件按照改进模型提取参数, 提取参数后的仿真结果与实验测量值拟合得很好, 并且该改进不会影响 BSIM3 的原有参数. 这一改进模型可应用于各种 EDA 软件进行电路设计及对器件工艺流程进行验证与测试.

### 参考文献

[1] Haas J, Au K, Martin L C, et al. High voltage CMOS LCD

driver using low voltage CMOS process. Proceedings of the Custom Integrated Circuits Conference, 1989; 14. 6/1-4

- [2] Hashimoto Y, Saito S, Yoshida K. LCD driver LSI for full-color and high-resolution TFT-LCDs. NEC Research & Development, 1994, 35(1): 30
- [3] Myono T, Nishibe E, Kikuchi S, et al. High-voltage MOS device modeling with BSIM3v3 SPICE model. IEICE Trans Electron, 1999, E82-C(4): 630
- [4] Cao Na, Wu Rui, Zheng Guoxiang. A new modeling and parameter extraction technique for uni-directional high-voltage MOS device. Research and Progress of SSE, 2004, 24(2): 27 (in Chinese) [曹娜, 吴瑞, 郑国祥. 一种新的单边高压器件的模拟及参数提取方法. 固体电子学研究与进展, 2004, 24(2): 27]
- [5] Chung S, Sheng Lee J. A new approach to determine the drain-and-source series resistance of LDD MOS-FET's. IEEE Trans Electron Devices, 1993, 40(9): 1709
- [6] BSIM3 V3 User Manual, University of California, Berkeley, 1995
- [7] Cheng Y, Jeng M C, Liu Z. A physical and scalable  $I-V$  model in BSIM3V3 for analog/digital circuit simulation. IEEE Trans Electron Devices, 1997, 42(2): 277
- [8] Ballan H, Declercq M. HV devices & circuits in standard CMOS. London: Kluwer Academic Publisher, 1998: 156

## Optimization of BSIM3 $I-V$ Modeling of High Voltage MOS Devices\*

Ren Zheng<sup>1,2</sup>, Shi Yanling<sup>1,2,†</sup>, Hu Shaojian<sup>2</sup>, Jin Meng<sup>1</sup>,  
Zhu Jun<sup>2</sup>, Chen Shoumian<sup>2</sup>, and Zhao Yuhang<sup>2</sup>

(1 Department of Electronic Engineering, School of Information Science and Technology,  
East China Normal University, Shanghai 200062, China)

(2 Shanghai IC Research and Development Center, Shanghai 201203, China)

**Abstract:** This paper presents a technique for modeling high-voltage, lightly-doped-drain MOS (HV MOS) devices widely used in high voltage ICs. In order to improve BSIM3v3 SPICE  $I-V$  for modeling HV MOS devices, measurements on HV MOS devices are performed with an Agilent ICCAP system. The results reveal the  $R_{\text{ds}}$ 's dependence on  $V_{\text{gs}}$ ,  $V_{\text{ds}}$ , and  $V_{\text{bs}}$ . The theory of HV MOS devices is analyzed, and the algorithms the  $R_{\text{ds}}$  and  $V_{\text{dsat}}$  in the BSIM3v3 model are optimized in the BSIM3v3 source code. Three parameters are added: a gate bias quadric coefficient of  $R_{\text{ds}}$  ( $P_{\text{rwg}2}$ ) and two gate bias coefficients of  $\delta$  ( $\delta_1$ ,  $\delta_2$ ). The free source code of the SPICE simulator and the BSIM3v3 library are modified and compiled. With this optimized simulator, the simulated  $I-V$  data for HV MOS devices after parameter extraction fit the measured results very well.

**Key words:** BSIM3 model; SPICE; HV MOS devices; parameter extraction; curve fitting

**PACC:** 7340Q EEACC: 2530N; 2560B; 2560Z

**Article ID:** 0253-4177(2006)06-1073-05

\* Project supported by the National Natural Science Foundation of China (No. 60303012), the Post-Qi-Ming-Xing Plan for Young Scientists of Shanghai (No. 04QMX1419), and the Research and Development Foundation for Applied Materials of Shanghai (No. 0522)

† Corresponding author. Email: ylshi@ee.ecnu.edu.cn, Alancatzr@hotmail.com

Received 19 October 2005, revised manuscript received 10 February 2006

©2006 Chinese Institute of Electronics