

一个适用于短沟 HALO 结构 MOS 器件的直接隧穿栅电流模型 *

赵 要[†] 许铭真 谭长华

(北京大学微电子学系, 北京 100871)

摘要: 对沟道长度从 $10\mu\text{m}$ 到 $0.13\mu\text{m}$, 栅氧化层厚度为 2.5nm 的 HALO 结构 nMOS 器件的直接隧穿栅电流进行了研究, 得到了一个适用于短沟道 HALO 结构 MOS 器件的直接隧穿栅电流模型. 随着沟道尺寸的缩短, 源/漏扩展区占据沟道的比例越来越大, 源漏扩展区的影响不再可以忽略不计. 文中考虑了源/漏扩展区对直接隧穿栅电流的影响, 给出了适用于不同 HALO 掺杂剂量的超薄栅 ($2\sim 4\text{nm}$) 短沟 ($0.13\sim 0.25\mu\text{m}$) nMOS 器件的半经验直接隧穿栅电流模拟表达式.

关键词: MOS 器件; HALO 结构; 直接隧穿电流; 源/漏扩展区

EEACC: 0170N; 2560R

中图分类号: TN386

文献标识码: A

文章编号: 0253-4177(2006)07-1264-05

1 引言

随着栅氧化层厚度减薄, 直接隧穿栅电流取代 FN 隧穿电流成为栅漏电流的主导成分^[1]. 即使 MOS 晶体管的工作电压同时降低, 直接隧穿栅电流的增加也会导致不可承受的集成电路功耗^[2]. 因此, 直接隧穿栅电流成为影响集成电路可靠性的一个重要问题. 得到简单、精确并广泛适用的直接隧穿栅电流模型成为 $0.13\mu\text{m}$ 集成电路设计模拟中一个亟待解决的重点问题.

目前已经有研究者提出了不同类型的直接隧穿栅电流模型^[1~8]. Depas, Register 和 Hu 等人建立了直接隧穿栅电流解析模型^[1,3,4]. Choi 等人给出了引入隐含表面势和量子力学修正的直接隧穿栅电流模型^[5]. 还有一些研究者用量子力学模型来模拟直接隧穿栅电流^[2,6~8]. 这些直接隧穿电流模型一般适用于栅面积较大的 MOS 器件, 能否适应于 $0.13\mu\text{m}$ HALO 结构 MOS 器件尚缺乏相关的研究.

本文首先对 HALO 结构小尺寸 MOS 器件中直接隧穿栅电流的成分进行分析, 然后通过模拟和实验验证得到新的半经验的直接隧穿栅电流经验表达式. 此表达式适用于不同 HALO 掺杂剂量的超薄栅短沟 nMOS 器件, 改变表达式中相应常数项, 此表达式对不同 HALO 掺杂剂量的超薄栅短沟 pMOS 器件同样适用.

2 直接隧穿栅电流成分

直接隧穿栅电流是能量低于界面势垒高度的载流子直接隧穿栅氧化层形成的. 图 1 给出了 MOS 器件隧穿栅电流的成分. 长沟道器件中, 主要考虑栅与衬底之间的直接隧穿电流, 比如, 在 n^+ 多晶硅栅的 nMOS 器件中, 当栅压使得衬底强反型时, 直接隧穿栅电流以电子从衬底导带隧穿到栅导带为主, 衬底空穴价带隧穿电流可以忽略.

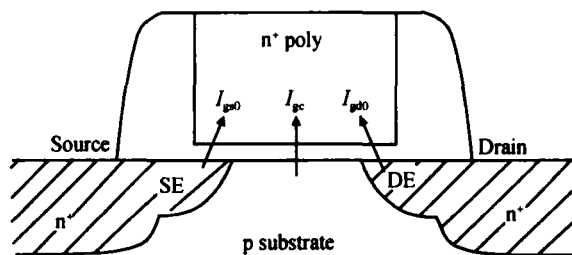


图 1 直接隧穿栅电流的成分 I_{gc} 为栅极与衬底间的直接隧穿电流, I_{gd0} 和 I_{gd0} 分别为源/漏扩展区与栅极之间的直接隧穿电流.

Fig. 1 Components of DT gate current I_{gc} is the DT current between gate and substrate, I_{gd0} is the DT current between source extension region and gate, and I_{gd0} is the DT current between drain extension region and gate.

* 国家重点基础研究发展计划资助项目 (批准号: G2000-036503)

[†] 通信作者. Email: zhaoy@ime.pku.edu.cn

2005-11-15 收到, 2006-01-13 定稿

研究者发现^[9~12],对 n^+ 多晶硅栅的 nMOS 器件,在衬底反型时,栅到衬底的隧穿电流 I_{gc} 是直接隧穿电流的重要组成部分,这是由于在栅和衬底之间存在一个较高的氧化层电场,如图 2 所示.由于衬底的平带电压为 -1.0V 左右,而源/漏扩展区的平带电压在 0V 附近,当栅电压使得衬底强反型时,源/漏扩展区的隧穿电流密度比本征衬底区小得多,直接隧穿栅电流主要由衬底的隧穿电流决定.

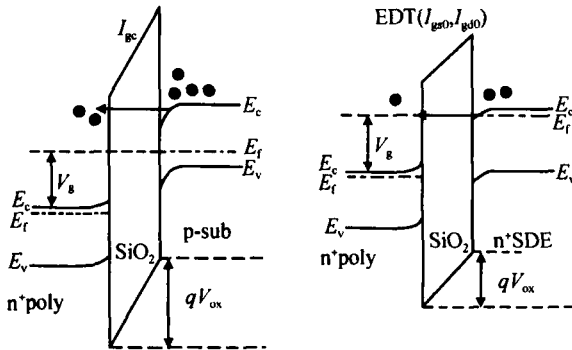


图2 n^+ 多晶硅栅 nMOS 器件在沟道开启时,栅极与衬底和栅极与源/漏扩展区之间的能带图

Fig. 2 Energy band diagrams between gate and substrate, between gate and source/drain extension region when the nMOSFET with n^+ polysilicon gate turns on

由于源/漏扩展区的长度仅随工艺条件的改变而改变,在相同工艺条件下,器件的沟道越短,源/漏扩展区长度(几十到上百 nm)与沟道长度之比越大,源/漏扩展区对器件隧穿电流的影响也就越严重.在沟道长度为 $10\mu\text{m}$ 时,由于源/漏扩展区长度相对沟道长度可以不予考虑,因此源/漏扩展区对直接隧穿栅电流的贡献相对于整个栅隧穿电流可以忽略.当沟道长度减小为 $0.13\mu\text{m}$ 时,由于扩展区的长度已经占到沟道长度的 $1/4$ 以上^[13~16],此时源/漏扩展区对栅电流的影响变得重要.

3 结果与讨论

实验所用器件为 $0.13\mu\text{m}$ 标准 CMOS 工艺制备的 HALO 结构 nMOS 器件.器件的栅氧化层厚度分别为 $3.0, 2.5$ 和 2.0nm .相同栅氧化层厚度的器件有六种不同宽长比,分别为 $10/10, 10/0.165, 10/0.15, 10/0.135, 1.2/10$ 和 $0.3\mu\text{m}/10\mu\text{m}$.其中栅氧化层厚度为 2.5nm 的器件采用了三种不同 HALO 掺杂剂量,掺杂剂量比为 $8:2:1$.

Lee 等人提出的直接隧穿栅电流模型已用于不同厚度 SiO_2 或 Si_3N_4 为栅介质材料 MOS 器件的直接隧穿电流模拟^[17,18],其表达式如下:

$$J_{\text{DT0}} = \frac{q^3}{8\pi h \Phi_b \epsilon_{\text{ox}}} \times \frac{-8\pi \sqrt{\epsilon_{\text{mox}}} \Phi_b^{3/2} [1 - (1 - \frac{|V_{\text{ox}}|}{\Phi_b})^{3/2}]}{3 \ln |E_{\text{ox}}|} \quad (1)$$

$$C(V_g, V_{\text{ox}}, T_{\text{ox}}, \Phi_b) e^{\frac{q(V_g - V_{\text{ox}})}{kT_{\text{ox}}}}$$

其中的修正函数 $C(V_g, V_{\text{ox}}, T_{\text{ox}}, \Phi_b)$ 为:

$$C(V_g, V_{\text{ox}}, T_{\text{ox}}, \Phi_b) = e^{(\frac{20}{\Phi_b} \times (\frac{|V_{\text{ox}}| - \Phi_b}{\Phi_b} + 1))^{\alpha} \times (1 - \frac{V_{\text{ox}}}{\Phi_b})} \times \frac{V_g}{T_{\text{ox}}} \times N$$

$$N = \frac{\epsilon_{\text{ox}}}{T_{\text{ox}}} \{ S \ln[1 + e^{\frac{V_{\text{gs}} - V_{\text{th}}}{S}}] + \nu \ln[1 + e^{\frac{V_{\text{gs}} - V_{\text{th}}}{V_t}}] \} \quad (2)$$

其中 Φ_{b0} 是 Si/SiO₂ 的势垒高度(电子为 3.1eV ,空穴为 4.5eV); Φ_b 是隧穿势垒高度,对电子导带隧穿(electron conduct band tunneling),电子价带隧穿(electron valence band tunneling)和空穴价带隧穿(hole valence band tunneling)分别为 $3.1, 4.2$ 和 4.5eV . m_{ox} 是氧化层中载流子的有效质量; V_{ox} 是氧化层上电压; T_{ox} 是氧化层厚度; h 是普朗克常数. $T_{\text{ox}}, V_{\text{ox}}$ 是用电容-电压方法和量子力学模拟获得的. (2) 式中的 α 是拟合参数; S 是亚阈摆幅; V_{gs} 是栅氧化层电压; $\nu = \frac{kT}{q}$.

栅隧穿电流与隧穿电流密度之间符合下面的表达式:

$$I_{g,DT} = A J_{DT} \quad (3)$$

其中 $I_{g,DT}$ 为测量得到的栅隧穿电流; A 为栅氧化层面积; J_{DT} 为直接隧穿电流密度.以栅氧化层厚度为 2.5nm 器件的模拟结果为例,利用 (1) 和 (2) 式可以得到模拟栅隧穿电流.图 3 给出了模拟的直接隧穿电流与测量得到的栅隧穿电流之间的比较,其他栅氧化层厚度的器件模拟结果与此类似.可以看出,对于长沟道器件,模拟结果与实验结果符合较好,而对于短沟道器件,模拟和实验结果偏离很大.

如果改变 (3) 式中的模拟栅面积,模拟结果和实验结果可以很好地吻合.对栅氧化层厚度为 2.5nm ,不同沟道长度 ($0.165 \sim 0.135\mu\text{m}$) 不同 HALO 掺杂剂量的 nMOS 器件,图 4 给出了当模拟结果与实验结果吻合时,物理栅面积与模拟栅面积之间的关系.可以看到,在沟道缩短以后,模拟得到的栅面积远小于器件物理栅面积,其偏差随着沟道长度缩短而增大,而且,尺寸较小的 HALO 结构器件的模拟栅面积比非 HALO 结构器件的偏大,这可能是由于 HALO 结构器件的等效衬底掺杂浓度较高的缘故.对沟道长度小于 $0.25\mu\text{m}$ 的 nMOS 器件,模拟栅面积和物理栅面积之间近似存在线性关系.

在相同工艺条件下,由于源/漏扩展区长度基本不随沟道长度变化,它可以表征为一个与工艺相关的常数.根据图 4 中所描述的物理栅面积与模拟栅

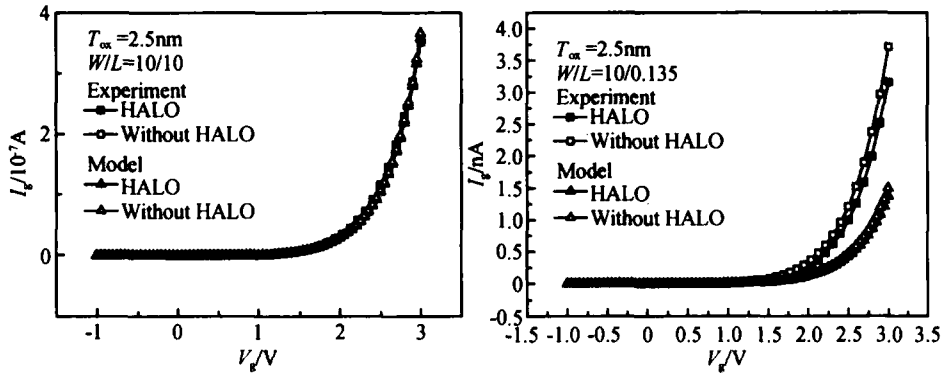


图 3 栅氧化层厚度为 2.5nm,沟道长度分别为 10 μm 和 0.135 μm 的两种 nMOS 器件,利用公式(1)模拟得到的直接隧穿栅电流与实验结果的比较

Fig. 3 Comparison between the simulated DT gate current using Eq. (1) and the measured gate current. The gate oxide thickness of these nMOSFETs is 2.5nm, and the channel length of these nMOSFETs are 10 μm and 0.135 μm , respectively.

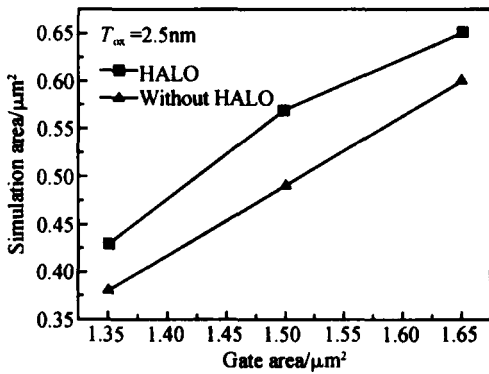


图 4 栅氧化层厚度为 2.5nm,沟道宽长比分别为 10/0.165, 10/0.15, 10/0.135 μm 的三种器件,当模拟结果与实验结果相符时,物理栅面积与模拟栅面积之间的关系

Fig. 4 Physical gate area versus the simulated gate area when the simulated gate current equals to the measured gate current. The gate oxide thickness of the three nMOSFETs is 2.5nm, and W/L of the three nMOSFETs is 10/0.165, 10/0.15, 10/0.135 μm , respectively.

面积之间的对应关系,沟道长度小于 0.25 μm 的 nMOS 器件直接隧穿栅电流可以表示为:

$$J_{DT} A = (A_0 + 0.73 A) J_{DT0} \quad (4)$$

其中 A 为器件的物理栅面积; A_0 为考虑扩展区影响给出的常数,它与 HALO 掺杂剂量相关; J_{DT0} 的表达式见(1)式.

于是,直接隧穿栅电流密度表达式修正为:

$$J_{DT} = (0.73 + A') J_{DT0} \quad (5)$$

其中 $A' = A_0/A$ 为 HALO 掺杂剂量相关的常数.

图 5 给出了栅氧化层厚度为 2.5nm 时,归一化的 HALO 掺杂剂量与 A_0 之间的关系.可以看出, A 随 HALO 掺杂剂量的增大而线性增大.

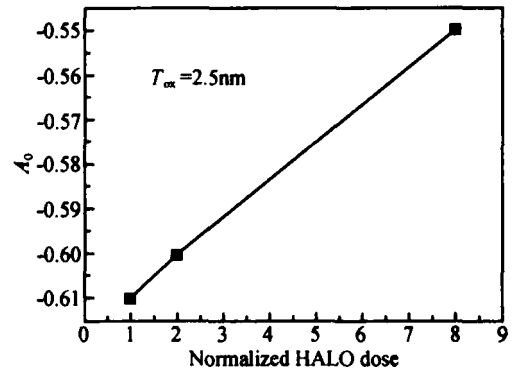


图 5 栅氧化层厚度为 2.5nm,沟道长度小于 0.25 μm 的 HALO 结构 nMOS 器件,源/漏扩展区修正常数 A_0 与归一化 HALO 掺杂剂量之间的关系

Fig. 5 Source/drain extension region fitting parameter A_0 versus normalized HALO dose. All nMOSFETs are with 2.5nm gate oxide, and their channel lengths of these nMOSFETs are below 0.25 μm .

利用(5)式对沟道长度长小于 0.25 μm 的三种不同 HALO 掺杂剂量 nMOS 器件的栅电流进行模拟.图 6 给出了沟道长度为 0.15 μm HALO 结构 nMOS 器件的模拟与实验直接隧穿栅电流的比较.在整个低压应力范围内,(5)式模拟的结果与实验测量结果能够很好的符合.对其他沟道长度(0.165 μm 和 0.135 μm)器件,模拟与实验结果与此类似.这表明,(5)式对超薄栅(2~4nm)短沟(0.135~0.25 μm)不同 HALO 掺杂剂量器件的直接隧穿电流的表征都是适用的.

4 结论

nMOS 器件中源/漏扩展区的平带电压远大于沟道区的平带电压,这使得衬底反型时源/漏扩展区

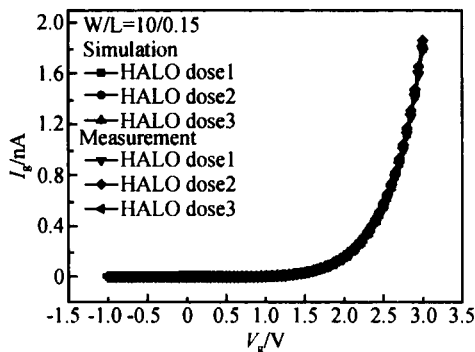


图 6 栅氧化层厚 2nm,沟长 0.15 μm ,不同 HALO 掺杂剂量 nMOS 器件,利用(5)式模拟得到的直接隧穿栅电流与测量结果的比较

Fig. 6 Comparison between the simulated DT gate current using Eq. (5) and the measured gate current The gate oxide thickness of these nMOSFETs is 2nm , the channel length is 0.15 μm , and the HALO doses of these nMOSFETs are different.

的直接隧穿电流密度比沟道区明显的小,但是,沟道缩短以后,由于扩展区长度占据沟道长度的比例增大,扩展区对衬底反型时器件直接隧穿栅电流的影响越来越大.为此,本文给出了适用于沟道长度为 0.135 μm HALO 器件的修正的直接隧穿栅电流表达式,并已将其成功地用于不同沟道长度(包括 0.135 μm 的 HALO 结构) MOS 器件的直接隧穿栅电流模拟.

致谢 感谢 MOTOROLA 公司提供测试样片和测量设备.

参考文献

[1] Depas M, Vermeite B, Mertens P W, et al. Determination of tunneling parameters in ultra-thin oxide layer poly-Si/ SiO₂/ Si structures. Solid-State Electron, 1995, 38(8) :1465

[2] Lo S H, Buchanan D A, Taur Y, et al. Quantum-mechanical modeling of electron tunneling current from the inversion layer of ultra-thin-oxide nMOSFETs. IEEE Electron Device Lett, 1997, 18(5) :209

[3] Schuegraf K F, King C C, Hu C. Ultra-thin silicon dioxide leakage current and scaling limit. IEEE Symposium on VLSI Technology, 1992 :18

[4] Register L F, Rosenbaum E, Yang K. Analytic model for direct tunneling current in polycrystalline silicon-gate metal-oxide-semiconductor devices. Appl Phys Lett, 1999, 74(3) :457

[5] Choi C H, Oh K H, Goo J S, et al. Direct tunneling current model for circuit simulation. IEEE International Electron Device Meeting, 1997 :735

[6] Ghetti A, Hamad A, Silverman P J, et al. Self-consistent simulation of quantization effects and tunneling current in ultrathin gate oxide MOS devices. IEEE Conference on Simulation of Semiconductor Processes and Devices, 1999 :239

[7] Hou Y T, Li M F, Lai W H. Modeling and characterization of direct tunneling hole current through ultrathin gate oxide in p-metal-oxide-semiconductor field-effect transistors. Appl Phys Lett, 2001, 78(25) :4034

[8] Clerc R, O'Sullivan P, McCarthy K G, et al. A physical compact model for direct tunneling from nMOS inversion layers. Solid-State Electron, 2001, 45(10) :1705

[9] Yang N, Henson W K, Wortman J J. A comparative study of gate direct tunneling and drain leakage currents in nMOSFET's with sub-2-nm gate oxides. IEEE Trans Electron Devices, 2000, 47(8) :1636

[10] Choi C H, Nam K Y, Yu Z P, et al. Impact of gate direct tunneling current on circuit performance: a simulation study. IEEE Trans Electron Devices, 2001, 48(12) :2823

[11] Momose H S, Ono M, Yoshitomo T, et al. 1.5-nm direct-tunneling gate oxide Si MOSFETs. IEEE Trans Electron Devices, 1996, 43(8) :1233

[12] Yang K N, Huang H T, Chen M J, et al. Edge hole direct tunneling leakage in ultrathin gate oxide p-channel MOSFETs. IEEE Trans Electron Devices, 2001, 48(12) :2790

[13] Taur Y, Zicherman D S, Lombardi D R. A new shift and ratio method for MOSFET channel-length extraction. IEEE Electron Device Lett, 1992, 13(5) :267

[14] Timp G, Agarwai A, Baumann F H, et al. Low leakage, ultrathin gate oxides for extremely high performance sub-100nm nMOSFET's. IEEE International Electron Device Meeting, 1997 :930

[15] Tiwari S, Welser J J, DiMaria D J, et al. Surface potentials and defect generation in 1.2 ~ 1.5nm oxide MOSFETs. 56th IEEE Annu Device Research Conf, 1998 :12

[16] Thompson S, Packan P, Ghani T, et al. Source/drain extension scaling for 0.1 μm and below channel length MOSFET's. IEEE Symposium on VLSI Technology, 1998 :132

[17] Lee W C, Hu C. Modeling gate and substrate currents due to conduction and valence band electron and hole tunneling. IEEE Symposium on VLSI Technology, 2000 :198

[18] Yeo Y C, Lu Q, Lee W C, et al. Direct tunneling gate leakage current in transistors with ultrathin silicon nitride gate dielectric. IEEE Electron Device Lett, 2000, 21(11) :540

A New Direct Tunneling Gate Current Model for Short Channel MOSFETs with HALO Structure^{*}

Zhao Yao[†], Xu Mingzhen, and Tan Changhua

(Department of Microelectronics, Peking University, Beijing 100871, China)

Abstract: The direct tunneling current of a short channel MOSFET with a HALO structure is investigated, and a new direct tunneling gate current model is obtained. It is found that the extension regions of the gate/source and gate/drain decrease the direct tunneling gate current density because the flat band voltage between the gate/source and gate/drain is higher than that of the substrate. The extension regions reduce direct tunneling current continuously as the channel length decreases. A new direct tunneling gate current model is obtained by comparing the simulation and experimental results. This model is applicable to the devices with an ultra thin gate oxide (2~4nm), a short channel (0.13~0.25 μm), and a HALO structure.

Key words: nMOSFET; HALO structure; direct tunneling current; source/drain extension region

EEACC: 0170N; 2560R

Article ID: 0253-4177(2006)07-1264-05

^{*} Project supported by the State Key Development Program for Basic Research of China (No. G2000-036503)

[†] Corresponding author. Email: zhaoy@me.pku.edu.cn

Received 15 November 2005, revised manuscript received 13 January 2006

©2006 Chinese Institute of Electronics