

一种新型的低导通电阻折叠硅 SOI LDMOS^{*}

段宝兴[†] 张 波 李肇基

(电子科技大学 IC 设计中心, 成都 610054)

摘要: 提出了一种具有折叠硅表面 SOI-LDMOS(FSOI-LDMOS)新结构. 它是将硅表面从沟道到漏端的导电层刻蚀成相互排列的折叠状, 且将栅电极在较薄的场氧化层上一直扩展到漏端. 由于扩展栅电极的电场调制作用使 FSOI-LDMOS 在比一般 SOI-LDMOS 浓度高的漂移区表面, 包括折叠硅槽侧面形成多数载流子积累, 积累的多数载流子大大降低了漂移区的导通电阻. 并且沟道反型层浓度基于折叠的硅表面而双倍增加, 沟道导通电阻降低. 通过三维仿真软件 ISE 分析, 这种结构可以在低于 40V 左右的击穿电压下, 获得超低的比导通电阻.

关键词: 折叠硅; SOI LDMOS; 多数载流子积累; 击穿电压; 比导通电阻

EEACC: 2560R; 2560P

中图分类号: TN386

文献标识码: A

文章编号: 0253-4177(2006)10-1814-04

1 引言

SOI(silicon on insulator)基 PIC(power integrated circuit)相比于硅基 PIC 具有绝缘性能高、工作速度快、抗辐照能力强、高低压隔离简单及无可控硅自锁效应^[1], 近年来在 VLSI 领域受到了广泛关注. 低压横向双扩散 MOSFETs(lateral double-diffused MOSFETs, 即 LDMOST)是低压 SOI 基 PIC 的重要组成部分, 而 LDMOS 类器件存在的主要问题是关态击穿电压(BV)与开态导通电阻(R_{on})之间的矛盾^[2]. 所以在满足一定击穿电压的条件下, 获得尽可能低的导通电阻以降低导通损耗成为了研究热点. 在垂直型双扩散低压 DMOS 类器件中, 理论和应用比较成熟的结构有 UMOS^[3]和 OBVDMOS 结构^[4]. Undre 等人将 super junction 思想^[5,6]应用于 LDMOS 中获得了低的比导通电阻^[7~9], 然而, 由于横向基的 SJ-LDMOS 具有衬底辅助耗尽效应^[7]和在低压应用中工艺实现困难的缺点, 使得如何获得极低比导通电阻的低压 LDMOS 成为研究的关键.

突破传统 LDMOS 结构中击穿电压与比导通电阻矛盾的有效方法有两种: 一种是在满足关态 BV 的条件下, 通过扩展的栅电极使器件开态时漂移区形成载流子积累层以提供低阻导通通道, 这就是 UMOS 的思想; 另一种是通过在器件的不同维度上引入新的电场来调制漂移区的浓度或通过对已有维度上的场进一步优化以提高调制效应, 前者就是

SJ 和 OBVDMOS 的设计思想, 后者的结构参见文献^[10~12].

本文在这两种设计思想指导下, 提出了一种 SOI 基折叠硅表面 LDMOS 新结构 (folded SOI LDMOS, 即 FSOI-LDMOS). 这种结构通过将 LDMOS 的栅电极扩展, 在漂移区形成多数载流子积累; 且扩展栅电极的电场调制作用, 在满足一定 BV 条件时的漂移区浓度增加; 通过反应离子刻蚀技术, 从沟道到漏端形成的折叠硅表面使沟道反型载流子和漂移区积累载流子在器件开态时浓度成倍增加. 这些有效的方法使得 SOI 基 LDMOS 获得了极低的比导通电阻.

2 器件结构

图 1 为 n 型沟道 FSOI-LDMOS 的结构示意图 (图 1(a)为三维结构的一个组成单元, 实际的结构是由这种单元排列而成; (b)和(c)分别为沿 OA 和 OB 方向的剖面图). 图 1(b)、(c)中示意了硅层表面的沟道和漂移区中形成的电子积累. 此结构不同于一般 SOI-LDMOS 结构的主要特点是, 由于扩展的栅电极使器件开态时漂移区表面形成多数载流子-电子的积累, 积累的电子层提供了低的导电通道. 沿 y, z 方向的电场调制作用(增强的电荷补偿作用), 使器件关断时承受一定击穿电压的漂移区浓度增加. 且由于从沟道到漏端的折叠结构, 在刻蚀槽的侧面(图 1(c))也形成了多数载流子(或沟道反型层)积累, 这进一步降低了沟道区的电阻和漂移区的电

^{*} 国家自然科学基金资助项目(批准号:60436030)

[†] 通信作者. Email: bxduan@163.com

2006-03-21 收到, 2006-04-18 定稿

阻. 虽然场氧化层很薄(有利于形成有效的电荷积累层), 但随着对氧化层特性的研究, 已经将它的临界击穿电场提高到 $17\text{MV}/\text{cm}^{[13]}$, 所以影响这种结构耐压的主要因素是扩展栅电极末端的高峰电场. T_s 表示漂移区厚度; T_1 表示埋层厚度; N_d 表示 n-漂移区浓度; L_d 表示漂移区长度; L_F 表示扩展栅电极末端与漏端的距离; W 和 H 分别表示折叠硅表面刻蚀的宽度和深度; F_{ox} 和 G_{ox} 分别为场氧化层和栅氧化层厚度.

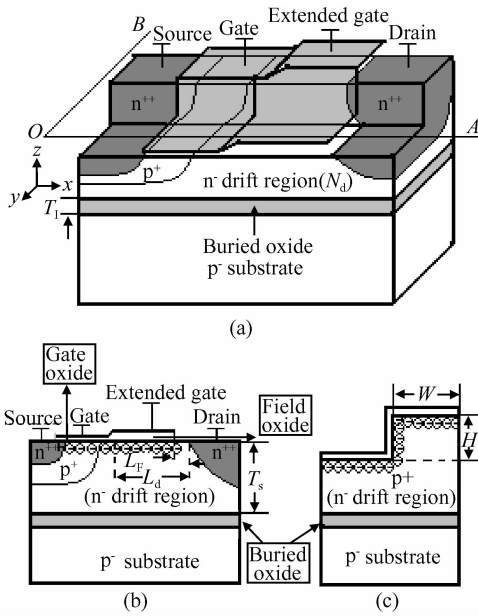


图 1 (a) FSOI-LDMOS 3D 结构示意图; (b) 沿 OA 方向的剖面示意图; (c) 沿 OB 方向的剖面示意图
Fig.1 (a) 3D structure of the FSOI-LDMOS; (b) Cross-section of line OA in the FSOI-LDMOS; (c) Cross-section of line OB in the FSOI-LDMOS

通过刻蚀折叠硅槽来降低比导通电阻 (R_{on}) 的方法, 国际上已有报道^[14~16], 但这种结构只是在器件的沟道区形成折叠硅(称为 FG-LDMOS), 这是因为文献^[14~16]中的击穿电压只有 20V 左右, 漂移区很短(小于 $0.5\mu\text{m}$), 如此短的漂移区如果也采用本文的结构, BV 可能达不到要求. 我们为了获得在 20~40V 耐压区的最低 R_{on} , 漂移区一般需 $2\mu\text{m}$ 左右. 所以将漂移区也刻蚀成折叠状并用扩展的栅电极来积累多数载流子且使之成倍增加来降低漂移区的 R_{on} 是十分必要的.

3 结果分析

图 2 为 FSOI-LDMOS 结构中场氧化层厚度变化时, BV 与 R_{on} 的变化关系曲线. 可以看出, 随场氧化层厚度的增加, 三种情况(不同刻蚀宽度和深度)的 BV 逐渐增加, 这是因为在器件参数一定的条件

下, 随着场氧化层厚度的增加, 扩展栅电极末端的峰值电场减小, 而这个电场峰是 FSOI-LDMOS 型器件的击穿点. 三种情况的 BV 随 F_{ox} 变化略有不同, 这是由于沿 x 方向, 刻蚀的折叠硅表面曲率效应所致. 从图 2 可以看出器件的 R_{on} 随 F_{ox} 的变化规律. 当 F_{ox} 减小时, R_{on} 线性减小, 这是由于在扩展栅电极的作用下, 薄的场氧化层有效地使硅表面积一层多数载流子, 这层多数载流子提供了低的导电通道. 且当刻蚀深度 H 一定时, 随刻蚀宽度 W 的减小(即随刻蚀比 H/W 增加), R_{on} 减小. 图 2 的模拟结果显示 $W = 0.5\mu\text{m}$ 时 R_{on} 约为 $W = 1.0\mu\text{m}$ 时 R_{on} 的一半, 这是由于随刻蚀比的增加, 形成的槽侧面积积累的电荷增加; 图 2 也显示了当 H 为零时, 即没有形成折叠表面时的 R_{on} , 它比 FSOI-LDMOS 结构中刻蚀比为 1 时的 R_{on} 约大一倍, 这是由于没有形成侧面积累电荷的结果. 从图 2 的结果可以看出, 在 FSOI-LDMOS 结构中, 当 $F_{ox} = 0.04\mu\text{m}$; $H/W = 2$ 时, 比导通电阻只有 $0.058\text{m}\Omega \cdot \text{cm}^2$. (图 2 的仿真条件为: $L_d = 2.0\mu\text{m}$; $T_s = 4.0\mu\text{m}$; $T_1 = 0.4\mu\text{m}$; $G_{ox} = 15\text{nm}$).

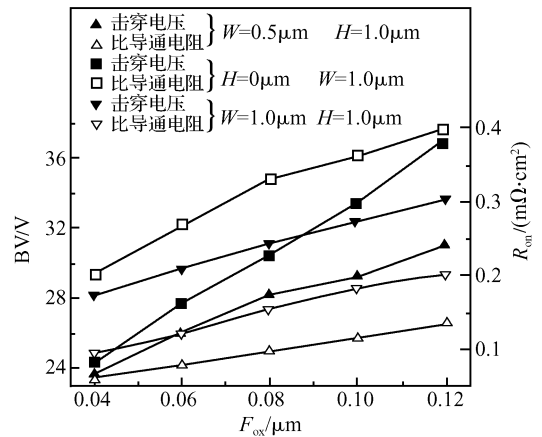


图 2 场氧化层厚度与击穿电压、比导通电阻关系
Fig.2 BV and R_{on} as a function of the thickness of F_{ox}

图 3 为 FSOI-LDMOS 结构中 L_F (扩展栅电极末端与器件漏端之间的距离)与器件 BV 及 R_{on} 的关系曲线. L_F 的大小调制了 FSOI-LDMOS 结构中一定 BV 下漂移区的浓度, L_F 越小, 即栅电极覆盖漂移区越大时, z 方向的额外场对漂移区浓度的调制作用越强, 即电荷补偿效应越大, 一定 BV 下的浓度就越高, 这就是图 3 所示的 R_{on} 随 L_F 的减小而减小的一个原因. 另一个重要原因是随 L_F 的减小, 折叠硅表面形成的多数载流子浓度升高, 当 L_F 为零即栅电极完全覆盖漂移区时, 多数载流子浓度达到最大, R_{on} 降低到最小. 并且, 从图中可以看出, 当扩展栅电极在漂移区中变化即 L_F 在中间数值之间变

化时, R_{on} 变化比较明显, 这是由于功率器件的漂移区电阻占整个器件导通电阻的主要部分; 当扩展栅电极变化到沟道边缘时, 对于不同厚度的场氧化层, R_{on} 几乎没有区别, 这是很显然的, 因为这时的漂移区电阻相同. 从图 3 的结果可以看出, 当 $L_F = 2.0\mu\text{m}$, 即没有在漂移区形成电子积累时, 比导通电阻为 $1.538\text{m}\Omega \cdot \text{cm}^2$. 然而, 在这个变化过程中, 由于栅电极末端电场峰的变化, 势必引起 BV 大的变化. 图 3 所示的 BV 随 L_F 减小而逐渐减小说明了这个规律. 图 3 的仿真条件为: $L_d = 2.0\mu\text{m}$; $T_s = 4.0\mu\text{m}$; $T_1 = 0.4\mu\text{m}$; $G_{ox} = 15\text{nm}$.

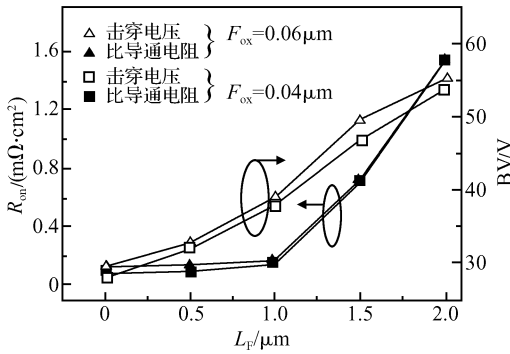


图 3 L_F 与击穿电压、比导通电阻关系
Fig.3 BV and R_{on} as a function of L_F

图 4 为一般 SOI-LDMOS 与折叠硅表面 FSOI-LDMOS 结构的漂移区浓度与击穿电压关系曲线. 可以看出, 对于 FSOI-LDMOS, 随漂移区浓度变化, BV 有一个优化值, 优化的浓度高于在相同 BV 条件下一般 SOI-LDMOS 结构的浓度. 由于选取以相同的 BV 作为比较, 所以在一般 SOI-LDMOS 结构中, 漂移区浓度没有满足 RESURF^[17] (REDUCED SURFACE FIELD) 条件. 在 FSOI-LDMOS 结构中高的漂移区浓度源于扩展栅电极的电场调制作用, 这个额外的电场使漂移区的浓度得到有效的补偿, 如同 SJ 结构中通过垂直于耐压方向相互排列的 p 型掺杂来补偿 n 区的浓度一样. 这是 FSOI-LDMOS 能获得超低导通电阻的原因之一. 图 4 的仿真条件为: $L_d = 2.0\mu\text{m}$; $T_s = 4.0\mu\text{m}$; $T_1 = 0.4\mu\text{m}$; $G_{ox} = 15\text{nm}$.

图 5 为器件开态时 FSOI-LDMOS 结构与一般 SOI-LDMOS 结构的 $I_D - V_D$ 关系曲线(为了比较器件开态时的导通电阻, 对一般 SOI-LDMOS 结构只取线性部分). FSOI-LDMOS 结构由于栅电极扩展后在器件的漂移区表面形成多数载流子积累. 积累的多数载流子浓度与栅电压的大小有关, 并且, 沟道反型层的密度在器件开启后也正比于栅电压, 所以, 在不同的栅压 ($V_G = 3\text{V}, 5\text{V}, 7\text{V}$) 条件下, FSOI-LDMOS 的漏电流 I_D 变化比较明显, 且从图 5 可以

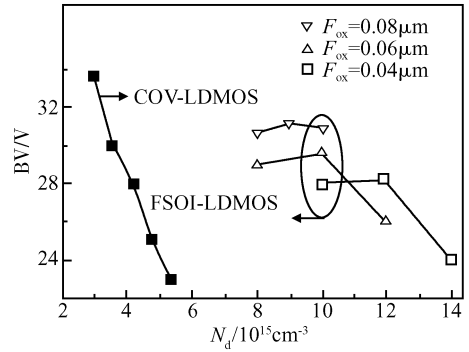


图 4 漂移区浓度 (N_d) 与击穿电压关系

Fig.4 Breakdown voltage as a function of concentrations of the drift region

看出, 器件的导通电阻远小于一般 SOI-LDMOS 的导通电阻. 图 5 的仿真条件为: $L_d = 2.0\mu\text{m}$; $T_s = 4.0\mu\text{m}$; $T_1 = 0.4\mu\text{m}$; $G_{ox} = 15\text{nm}$; $BV = 28\text{V}$.

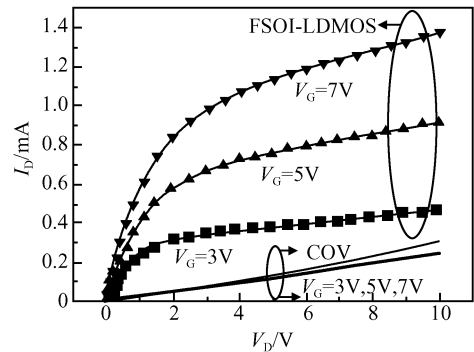


图 5 不同栅压下的 $I_D - V_D$ 关系曲线

Fig.5 On-state characteristics of the FSOI-LDMOS and conventional SOI LDMOS at different V_G

4 结论

为了解决低压 SOI 基 PIC 的功率损耗问题, 本文提出了一种折叠硅表面 SOI LDMOS (FSOI-LDMOS) 新结构. 此结构通过反应离子刻蚀 (RIE) 技术在外延的 SIMOX 材料上, 将硅表面导电层从沟道到漏端刻蚀成相互排列的折叠状, 并且将栅电极从薄的场氧化层顶端扩展到漏端. 由于扩展栅电极的附加电场调制作用, 使 FSOI-LDMOS 的漂移区在高于一般 SOI LDMOS 漂移区浓度时, 表面形成多数载流子积累, 且由于折叠的硅表面, 积累的多数载流子和沟道反型层浓度双倍增加. 这些因素, 大大降低了器件的导通电阻, 通过三维软件 ISE 分析表明, 在击穿电压小于 40V 的条件下, FSOI-LDMOS 可以获得超低的比导通电阻. 这种通过积累多数载流子降低比导通电阻的思想, 不同于一般 LIGHT

的双载流子输运,由于没有少数载流子的存储,所以开关速度比 LIGBT 的高.并且这种思想也可以应用在 LIGBT 结构中以提高它的开关速度.

参考文献

- [1] Colinge J P. Silicon-on-insulator technology: materials to VLSI. Kluwer Academic Publishers, 1990
- [2] Amato M, Rumennik V. Comparison of lateral and vertical DMOS SPECIFIC on-resistance. IEDM, 1985; 736
- [3] Chang H R, Black R D, Temple V A K, et al. Self-aligned UMOSFET's with a specific on-resistance of $1\text{m}\Omega \cdot \text{cm}^2$. IEEE Trans Electron Devices, 1987, ED-34; 2329
- [4] Liang Y C, Gan K P, Samudra G S. Oxide-bypassed VDMOS (OBVDMOS): An alternative to super-junction high voltage MOS power devices. IEEE Electron Device Lett, 2001, 22 (8): 407
- [5] Udrea F, Popescu A, Milne W I. The 3D RESURF double-gate MOSFET: A revolutionary power device concept. Electron Lett, 1998, 34; 808
- [6] Chen Xingbi, Sin J K O. Optimization of the specific on-resistance of the COOLMOSTM. IEEE Trans Electron Devices, 2001, 48; 344
- [7] Nassif-Khalil S G, Hou Lizhang, Salama C A T. SJ/RESURF LDMOST. IEEE Trans Electron Devices, 2004, 51; 1185
- [8] Nassif-Khalil S G, Salama C A T. Super junction LDMOST in silicon-on-Sapphire technology (SJ-LDMOST). Proc Int Symp Power Semiconductor Devices and ICs (ISPSD), 2002; 81
- [9] Park Il-Yong, Salama C A T. CMOS compatible super junction LDMOS with N-buffer layer. Int Symp Power Semiconductor Devices and ICs (ISPSD), 2005; 163
- [10] Duan Baoxing, Zhang Bo, Li Zhaoji. Breakdown voltage analysis for step buried oxide SOI structure. Chinese Journal of Semiconductors, 2005, 26(7): 1396 (in Chinese) [段宝兴, 张波, 李肇基. 阶梯埋氧型 SOI 结构的耐压分析. 半导体学报, 2005, 26(7): 1396]
- [11] Duan Baoxing, Zhang Bo, Li Zhaoji. Breakdown voltage analysis for PSOI structure with p-type buried layer. Chinese Journal of Semiconductors, 2005, 26(11): 2149 (in Chinese) [段宝兴, 张波, 李肇基. 具有 p 型埋层 PSOI 结构的耐压分析. 半导体学报, 2005, 26(11): 2149]
- [12] Duan Baoxing, Zhang Bo, Li Zhaoji. A new thin-film power MOSFET'S with a buried oxide double step structure. IEEE Electron Device Lett, 2006, 27(15): 377
- [13] Lu W S, Hwu J G. Reliable fluorinated thin gate oxides prepared by liquid phase deposition following rapid thermal process. IEEE Electron Device Lett, 1996, 17(4): 172
- [14] Nakagawa A, Kawaguchi Y. Improved 20V lateral trench gate power MOSFETs with very low on-resistance of $7.8\text{m}\Omega \cdot \text{mm}^2$. Proc Int Symp Power Semiconductor Devices and ICs (ISPSD), 2000; 47
- [15] Xu Shuming, Zhu Yuanzheng, Foo P D, et al. Folded gate LDMOS with low on-resistance and high transconductance. Int Symp Power Semiconductor Devices and ICs (ISPSD), 2000; 55
- [16] Zhu Yuanzheng, Liang Yung C, Xu Shuming, et al. Folded gate LDMOS with low on-resistance and high transconductance. IEEE Trans Electron Devices, 2001, ED-48(12): 2917
- [17] Appels J A, Collet M G, Hart P A H, et al. Thin layer high-voltage devices (RESURF devices). Philips Journal of Research, 1980, 35(1): 1

A New SOI-LDMOS with Folded Silicon for Very Low On-Resistance*

Duan Baoxing[†], Zhang Bo, and Li Zhaoji

(IC Design Center, University of Electronic Science and Technology of China, Chengdu 610054, China)

Abstract: A new SOI LDMOS with folded silicon (FSOI-LDMOS) is proposed, in which the silicon substrate surface is trenched to form a folded shape from the channel to the drain electrode and the gate is extended to the drain. The majority-carrier accumulation layer is formed in the drift region because of the extended gate when the device is in the on state, and the concentration of drift region is higher than that in conventional SOI-LDMOS with the same breakdown voltage due to from the additional electric field modulation. The extra majority-carrier is introduced on the side-wall of the trench, which further reduces the on-resistance of the drift region. In addition the channel density is double due to trenching in the folded channel, which reduces the channel on-resistance. 3D ISE simulation indicates that the ultra-low specific on-resistance is obtained with a breakdown voltage of less than 40V in FSOI-LDMOS.

Key words: folded silicon; SOI LDMOS; majority-carrier accumulation; breakdown voltage; specific on-resistance
EEACC: 2560R; 2560P

Article ID: 0253-4177(2006)10-1814-04

* Project supported by the National Natural Science Foundation of China (No. 60436030)

[†] Corresponding author. Email: bxduan@163.com

Received 21 March 2006, revised manuscript received 18 April 2006