

# 复合介质层 SOI 高压器件电场分布解析模型\*

罗小蓉<sup>†</sup> 李肇基 张 波

(电子科技大学微电子与固体电子学院, 成都 610054)

**摘要:** 提出复合介质埋层 SOI(compound dielectric buried layer SOI, CDL SOI) 高压器件新结构, 建立其电场和电势分布的二维解析模型, 给出 CDL SOI 和均匀介质埋层 SOI 器件的 RESURF 条件统一判据. CDL SOI 结构利用漏端低  $k$  (介电常数) 介质增强埋层纵向电场, 具有不同  $k$  值的复合介质埋层调制漂移区电场, 二者均使耐压提高. 借助解析模型和二维数值仿真对其电场和电势进行分析, 二者吻合较好. 结果表明, 对低  $k$  值为 2 的 CDL SOI LDMOS, 其埋层电场和器件耐压分别比常规 SOI 结构提高了 82% 和 58%.

**关键词:** 复合介质层; 纵向电场; 调制; 击穿电压; RESURF 判据

EEACC: 2560B; 2560P

中图分类号: TN386

文献标识码: A

文章编号: 0253-4177(2006)11-2005-06

## 1 引言

SOI 器件的高速、低功耗、抗辐照以及便于隔离等优越性能使其受到广泛关注<sup>[1]</sup>, 但较低的纵向耐压限制了其在高压功率集成电路中的应用. 通过增强埋层电场而提高器件纵向耐压是非常有效的方法. 如在 Si/埋层间引入  $n^+$  薄层、SIPOS 层以及屏蔽槽等结构<sup>[2-6]</sup>, 通过引入电荷而增强埋层电场; Merchant 等人还设计了超薄漂移区横向线性掺杂结构, 利用缩短电离积分路径来提高硅的雪崩击穿电场, 从而增强埋层电场<sup>[7]</sup>. 以上 SOI 结构的埋层无一例外采用传统介质  $\text{SiO}_2$ . 尽管有文献提出采用埋空隙 SOI 结构和 SON(silicon-on-nothing)<sup>[11,12]</sup>, 但因空隙临界击穿电场低, 不可能用于提高纵向耐压. 部分低  $k$  介质具备低泄漏电流、高附着力、高硬度、高稳定等性能, 可望用于 SOI 材料的埋层以增强埋层电场. 如低  $k$  介质 SiOF 保留了较多  $\text{SiO}_2$  的性质, 与已有的  $\text{SiO}_2$  工艺能很好地兼容,  $k$  在 2.8~3.7 之内, 且临界击穿电场为 9.2~10.1 MV/cm<sup>[13-15]</sup>.

基于 Si 层和介质埋层间的电位移连续性和上述低  $k$  介质的特性, 本文提出复合介质层 SOI 高压器件新结构——CDL SOI, 并通过求解二维 Poisson 方程, 建立该器件的解析模型, 给出 CDL SOI 和均匀介质层 SOI RESURF 条件统一判据. 该结构的介质埋层由  $k$  值不同的介质组成, 利用不同  $k$  值对器

件的横向和纵向电场进行调制, 使器件耐压大大提高. 借助解析模型和数值仿真研究了器件电场分布、电势分布以及耐压与器件结构参数的关系. 结果表明, 二者吻合较好, 且 CDL SOI 结构大大提高了器件的击穿电压.

## 2 结构与模型

CDL LDMOS 器件结构如图 1 所示. 该结构将低  $k$  介质引入电场最强的漏端埋层, 其介电常数用  $k_2$  表示, 源端埋层采用  $\text{SiO}_2$ , 其介电常数  $k_1 = k_{\text{ox}} = 3.9$ . 图中  $t_s, t_1$  分别代表 Si 层和埋层厚度,  $L_d, L_1$  分别表示漂移区长度和埋氧层长度,  $L_D, L_S$  分别为漏区、源区宽度. 假定器件的横向设计应用了结

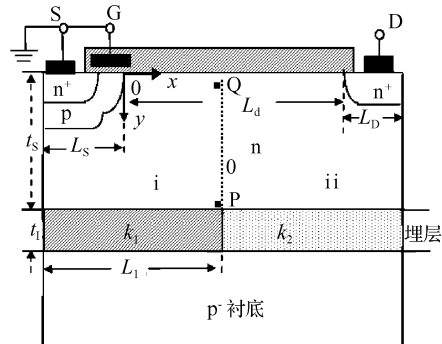


图 1 VLk SOI LDMOS 结构剖面图  
Fig. 1 Cross section of VLk SOI LDMOS

\* 国家自然科学基金(批准号:60436030), 武器装备预研基金(批准号:9140C09030506DZ02), 军用模拟集成电路国防科技重点实验室基金(批准号:9140C0903050605)资助项目

<sup>†</sup> 通信作者. Email: xrluo@uestc.edu.cn

2006-05-26 收到, 2006-07-04 定稿

终端和 RESURF 等技术, 击穿发生在漏端下方的 Si/埋层界面. 在漏端的 Si/埋层界面, 电位移连续性为:

$$k_2 E_1 = k_s E_s \quad (1)$$

$$V_1 \frac{k_2}{t_1} = V_s \frac{k_s}{t_s} \quad (2)$$

其中  $V_1$  是漏端埋层承受的电压. 从(1)和(2)式可见,  $t_1$  相同时, 降低  $k_2$  可以增强埋层电场  $E_1$ , 提高纵向耐压;  $k_2$  相同时, 增加埋层厚度  $t_1$  也提高纵向耐压.

当漏极接足够高的正电压  $V_d$ , 栅极、源极和衬底接地, 漂移区全部耗尽时, 漂移区和埋层按  $L_1$  分成两区, 若忽略内建势的影响, 则各区电势满足下列 2D Poisson 方程:

$$\frac{\partial^2 \varphi_i(x, y)}{\partial x^2} + \frac{\partial^2 \varphi_i(x, y)}{\partial y^2} = -\frac{qN_d}{k_s}, \quad 0 \leq y < t_s, i = 1, 2 \quad (3)$$

$$\begin{cases} \phi_{f1}(x) = (V_1 - \phi_1) \frac{\sinh(x/t_1)}{\sinh(L_1/t_1)} - \phi_1 \times \frac{\sinh[(L_1 - x)/t_1]}{\sinh(L_1/t_1)} + \phi_1, & 0 \leq x \leq L_1 \\ \phi_{f2}(x) = (V_d - \phi_2) \frac{\sinh[(x - L_1)/t_2]}{\sinh[(L_d - L_1)/t_2]} - (\phi_2 - V_1) \times \frac{\sinh[(L_d - x)/t_2]}{\sinh[(L_d - L_1)/t_2]} + \phi_2, & L_1 \leq x \leq L_d \end{cases} \quad (6)$$

$$\begin{cases} |E_1(x, 0)| = (V_1 - \phi_1) \frac{\cosh(x/t_1)}{t_1 \sinh(L_1/t_1)} + \phi_1 \times \frac{\cosh[(L_1 - x)/t_1]}{t_1 \sinh(L_1/t_1)}, & 0 \leq x \leq L_1 \\ |E_2(x, 0)| = (V_d - \phi_2) \frac{\cosh[(x - L_1)/t_2]}{t_2 \sinh[(L_d - L_1)/t_2]} + (\phi_2 - V_1) \times \frac{\cosh[(L_d - x)/t_2]}{t_2 \sinh[(L_d - L_1)/t_2]}, & L_1 \leq x \leq L_d \end{cases} \quad (7)$$

$$\text{其中 } \phi_1 = \frac{qN_d t_1^2}{k_s}; \phi_2 = \frac{qN_d t_2^2}{k_s}; V_1 = \frac{\phi_1 t_2 \tanh(L_1/2t_1) + \phi_2 t_1 \tanh[(L_d - L_1)/2t_2] + \frac{t_1 V_d}{\sinh[(L_d - L_1)/t_2]}}{t_2 \coth(L_1/t_1) + t_1 \coth[(L_d - L_1)/t_2]}$$

### 3 结果与讨论

基于上述耐压机理, 讨论漏端下纵向电场和电势分布. 图 2(a) 为 CDL ( $k_1 = 3.9, k_2 = 2, 3$ ) SOI 结构和常规 SOI 结构 ( $k_1 = k_2 = 3.9$ ) LDMOS 在各自最高击穿电压下纵向电场和电势分布的仿真结果. 图 2(a) 显示与(1)式一致, 漏端下埋层纵向电场  $E_1$  取决于  $k_2$ ,  $k_2$  越小,  $E_1$  愈大, 从而使埋层成为耐压的主要承担者, 充分发挥了埋层临界击穿电场高的优点. 对  $t_1 = 1 \mu\text{m}$ ,  $k_1 = 3.9, k_2 = 2$  的 CDL SOI LDMOS, 其埋层电场和器件耐压分别为  $222 \text{V}/\mu\text{m}$  和  $267 \text{V}$ , 而常规 SOI 结构分别为  $122 \text{V}/\mu\text{m}$  和  $169 \text{V}$ , CDL SOI 的埋层电场和器件耐压分别提高了 82% 和 58%. 纵向电势如图 2(b) 所示. 该图表明, 几种结构的漂移区耐压 ( $V_s = V(0) - V(t_s)$ ) 几乎相同, CDL 结构埋层承受的耐压 ( $V(t_s)$ ) 比常规 SOI 结构高, 因而器件耐压增加.

坐标轴的选取如图 1 所示. 将 SOI 层电势沿  $y$  方向进行 Taylor 展开, 并取前三项作为其近似, 可得  $\varphi_i(x, y) = \phi_{fi}(x) + \phi_{1i}(x)y + \phi_{2i}(x)y^2$ , 将其代入(3)式, 利用边界条件, 获得表面电势  $\phi_{fi}(x)$  满足

$$\frac{\partial^2 \phi_{fi}(x)}{\partial x^2} - \frac{\phi_{fi}(x)}{t_i^2} = -\frac{qN_d}{k_s}, \quad 0 \leq y < t_s \quad (4)$$

其中  $t_i = t_s \sqrt{0.5 + K_i t_1/t_s}$  为 SOI 结构的特征厚度,  $K_i = k_s/k_i$ . 借助边界条件

$$\varphi_i(x, t_s + t_1) = 0, \varphi_1(0, 0) = 0,$$

$$\varphi_1(L_1, 0) = \varphi_2(L_1, 0) = V_1,$$

$$\varphi_2(L_d, 0) = V_d \quad (5)$$

解得表面电势和电场分布

图 3 给出了 CDL SOI 和常规 SOI 结构的表面电场和 Si/埋层界面电场分布. 如图 3(a) 中虚线表示 Si 层/埋层界面电场分布. 可见, 与常规 SOI 结构的 Si/埋层界面电场比较, CDL SOI 结构在两种不同  $k$  值的埋层界面处(图 1 中 P 点)引入了新的电场峰 A, 且  $k_1, k_2$  相差越大, 电场峰 A 愈高. 对常规 SOI 结构, 因  $k_1 = k_2$ , 故无新的电场峰. 图 3(a) 中仿真结果和解析结果均表明, 由于界面电场对表面电场的调制作用, 所以表面电场也在相应位置(图 1 中 Q 点)产生了新的电场峰 B, 且电场峰 B 随 A 的增加而增大. 新的电场峰 B 使 pn 结和  $n^+n$  结表面电场峰降低, 电场峰 B 越高, 其效果越明显, 漂移区表面电场越均匀, 器件(横向)耐压越高. 常规 SOI 结构的 pn 结和  $n^+n$  结表面电场峰较高, 漂移区中间表面电场很低, 因而器件耐压较低. 图 3(a) 表明, 除了在 pn,  $n^+n$  结及两种埋层界面处表明电场的解析结果略高于仿真结果以外, 其他位置二者吻合较

好.这是由于结曲率的影响使结附近电势  $\varphi_i(x, y)$  偏离本文假设的抛物线性分布.图 3(b)为表面电势分布.常规 SOI 的表面电势分布呈现明显台阶分布,即 pn 结和  $n^+n$  结的分压较高,漂移区承受电压

很低,而 CDL 结构漂移区承受电压更高,其中  $k_2 = 2$  的 CDL 结构表面电势接近线性分布,因而器件耐压更高.

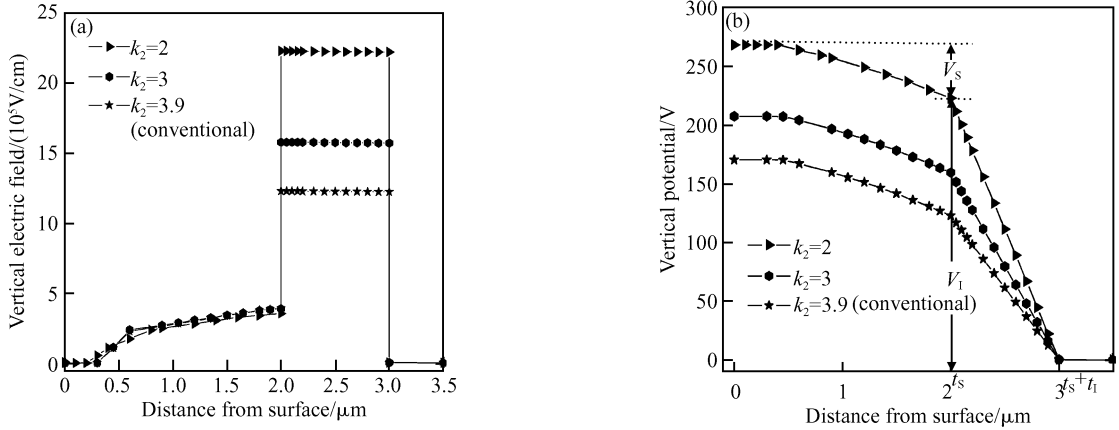


图 2 (a)纵向电场分布;(b)纵向电势分布

Fig. 2 (a) Vertical electric field distribution; (b) Vertical potential distribution ( $t_s = 2\mu\text{m}$ ,  $t_1 = 1\mu\text{m}$ ,  $L_d = 20\mu\text{m}$ ,  $L_1 = L_d/2 + L_s$ )

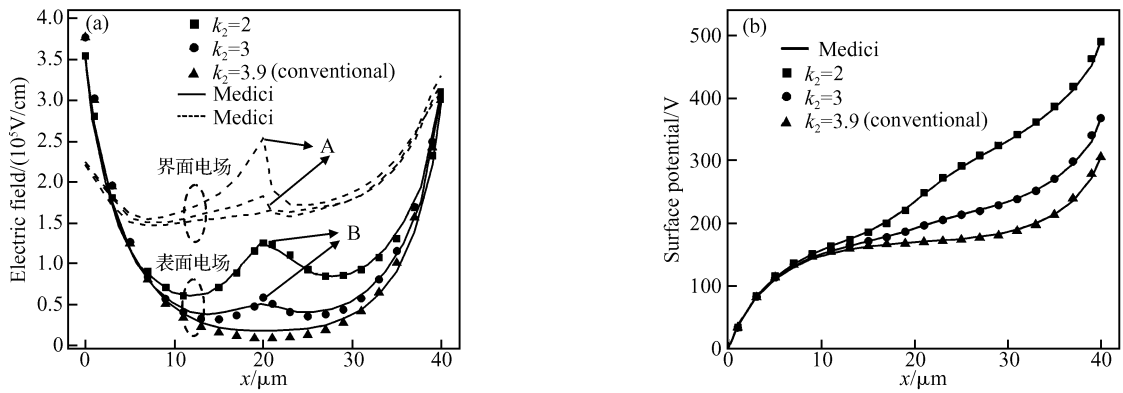


图 3 横向电场和电势分布 (a)电场分布;(b)表面电势分布

Fig. 3 Horizontal electric field distribution and potential distribution ( $t_s = 2\mu\text{m}$ ,  $t_1 = 3\mu\text{m}$ ,  $L_d = 40\mu\text{m}$ ,  $L_1 = L_d/2 + L_s$ ) (a)Electric field distribution; (b) Surface potential distribution

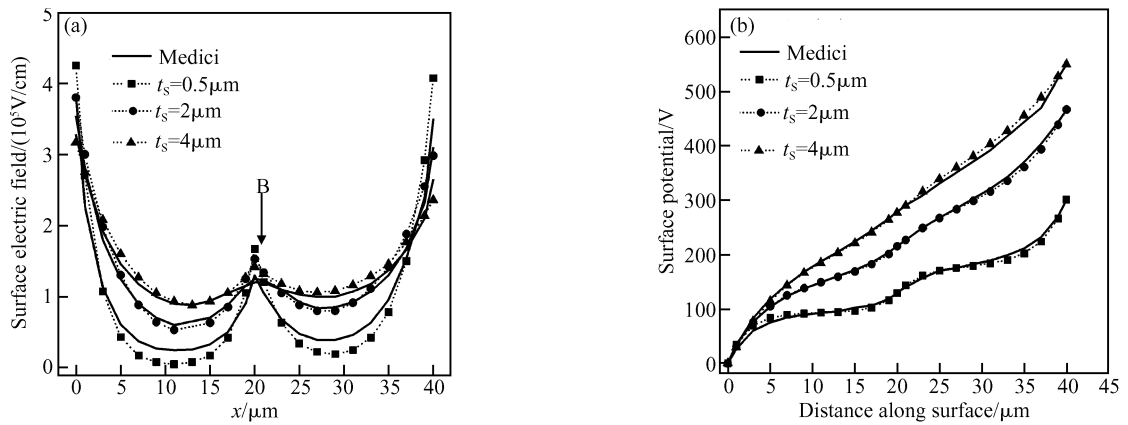


图 4  $t_s$  对表面电场和电势分布的影响 (a)表面电场分布;(b)表面电势分布

Fig. 4 Influence of  $t_s$  on surface electric field and potential distribution ( $k_2 = 2$ ,  $t_1 = 3\mu\text{m}$ ,  $L_d = 40\mu\text{m}$ ,  $L_1 = L_d/2 + L_s$ ) (a) Surface electric field distribution; (b) Surface potential distribution

图 4 给出了漂移区厚度  $t_s$  对表面电场和电势分布的影响. 由图 4(a) 可以看出, 漂移区越薄, pn,  $n^+n$  结的电场峰及电场峰 B 越高. pn,  $n^+n$  结的电场峰值高, 这是结的曲率引起的电场集中的结果. 漂移区越薄, 界面电场对表面电场的调制越明显, 电场峰 B 越高, 其提高耐压的作用越显著. 如图 4(b) 显示, 当  $t_s$  较小时, 因电场峰 B 的作用使表面电势出现新的台阶.

图 5 给出了埋层厚度  $t_1$  对表面电场分布的影响. 为了使器件不至于横向提前击穿, 对埋层厚度分别为 1, 2, 3  $\mu\text{m}$  的 CDL SOI 结构, 漂移区长度分别为 20, 30, 40  $\mu\text{m}$ . 由图可见, 埋层越厚, CDL SOI 的特征厚度  $t_1$  和  $t_2$  相差越大, 电场峰 B 越高. 这一点与埋氧层阶梯结构 (buried oxide step structure, BOSS) SOI 类似<sup>[16]</sup>. 根据公式 (2), 降低漏端埋层介电常数  $k_2$  与增加漏端埋层厚度  $t_2$  等效. 为了与  $k_2 = 2$ ,  $t_1 = 1 \mu\text{m}$  的 CDL 结构对比, 选取 BOSS 结构的  $t_1 = 1 \mu\text{m}$ ,  $t_2 = 2 \mu\text{m}$ , 且二者漂移区浓度相同. 图 6 (a) 给出了 CDL SOI 和 BOSS 两种结构的 Si 层/埋层界面电场和表面电场分布的仿真结果. 图 6(b) 为其表面电势分布. 可见, 两种结构均在表面和 Si 层

/埋层界面引入了新电场峰, 且二者表面电场和电势分布十分相似, 耐压近似相等. 图中同时也给出了  $t_1 = 1 \mu\text{m}$ ,  $t_2 = 1.5 \mu\text{m}$  的 BOSS 结构的电场和电势分布. 与 CDL 结构  $k_1$  和  $k_2$  相差较小的情况相同,  $t_1$  和  $t_2$  相差较小的 BOSS 结构, 其表面电场峰较低.

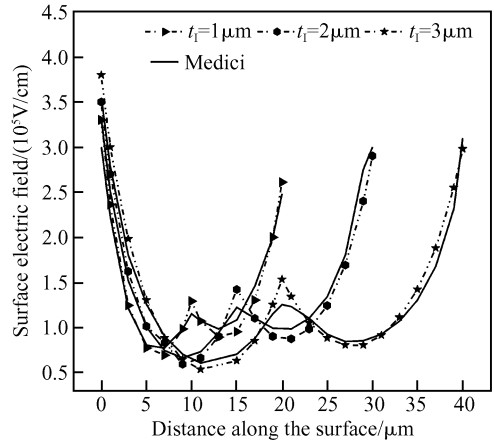


图 5  $t_1$  对表面电场分布的影响

Fig. 5 Influence of  $t_1$  on surface electric field distribution

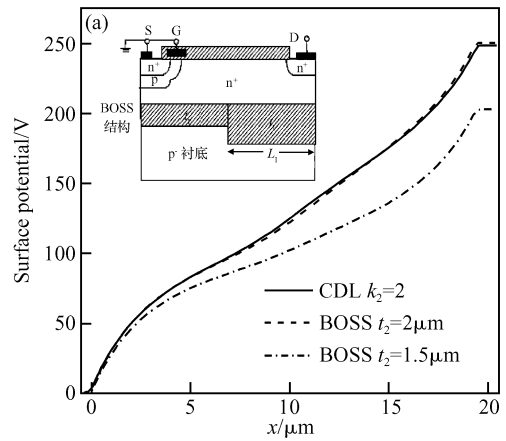
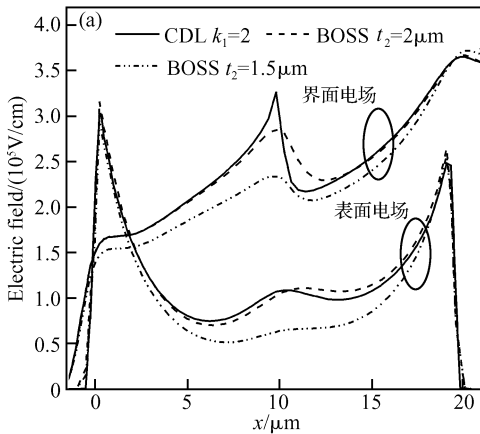


图 6 VLk 和 BOSS 结构电场和电势分布 (a) 电场分布; (b) 表面电势分布

Fig. 6 Electric field distribution (a) and potential distribution (b) of CDL SOI and BOSS SOI ( $t_s = 2 \mu\text{m}$ ,  $L_1 = L_d/2 + L_s$ )

研究表明, 当击穿在 pn,  $n^+n$  结同时发生时, 即  $E(0,0) = E(L_d) = E_c$ , 器件击穿电压最高, 将此式代入 (7) 式, 可得漂移区浓度  $N_d$  满足

$$N_d t_{\text{eff}} \leq \frac{k_s E_c}{q} \quad (8)$$

其中

$$t_{\text{eff}} = \frac{t_1 t_2 \sinh(L_1/t_1) \cosh[(L_d - L_1)/t_2] + t_2^2 \sinh[(L_d - L_1)/t_2] + t_1^2 [\cosh(L_1/t_1) - 1] \sinh[(L_d - L_1)/t_2]}{t_2 \{ \cosh(L_1/t_1) \cosh[(L_d - L_1)/t_2] - 1 \} + t_1 \sinh(L_1/t_1) \sinh[(L_d - L_1)/t_2]}$$

为 CDL SOI 结构的等效特征厚度;  $E_c$  为硅的临界击穿电场. (8) 式为 CDL SOI 器件的 RESURF 判据. 可见, CDL SOI 器件的 RESURF 条件不同于体 Si 和常规 SOI 器件, 前者除了考虑漂移区厚度  $t_s$

和埋层厚度  $t_1$  以外, 还必须考虑埋层的构成, 包括  $k_2$  和  $L_1$  的大小. 当  $L_1 = 0$ , CDL SOI 结构变为低  $k$  (Low  $k$ , Lk) SOI 结构,  $t_1 = t_2 = t = t_s \times \sqrt{0.5 + k_s t_1 / k_2 t_s}$ ; 当  $L_1 = L_d$ , CDL SOI 结构变为

常规 SOI 结构,  $t_1 = t_2 = t = t_s \sqrt{0.5 + k_s t_1 / k_{ox} t_s}$ . 令  $t_{eff} = t \times \coth(L_d/2t)$ , 此时, (8) 式变为均匀介质埋层的 SOI RESURF 判据. 这与文献[17]的 SOI Single RESURF 条件相同. 可见, (8) 式为 SOI RESURF 条件统一判据, 不同的 SOI 结构其等效特征厚度不同. 需要注意的是, Lk SOI 结构的特征厚度大于常规 SOI 结构, 所以满足 RESURF 条件的  $N_d$  较常规 SOI 结构更小.

图 7 给出了击穿电压 BV 与  $N_d$  关系的仿真结果. 图 7(a) 为不同  $t_1$  情况下, CDL SOI 结构、Lk SOI 以及常规 SOI 结构 BV 与  $N_d$  关系. 仿真中采

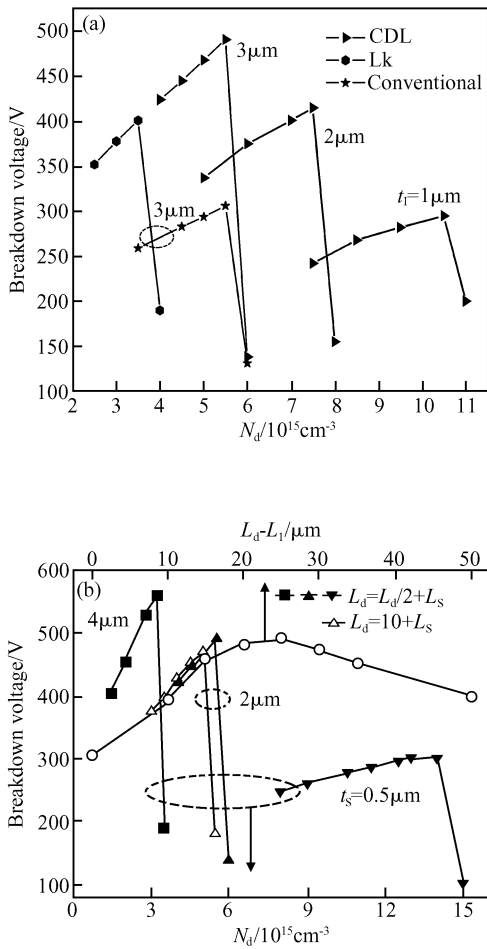


图 7 击穿电压与漂移区浓度的关系

Fig. 7 Breakdown voltage as a function of the concentration in drift region

用  $t_s = 2 \mu\text{m}$ . 图 7(b) 为  $t_s$  不同时, BV 与  $N_d$  关系, 其中  $t_1 = 3 \mu\text{m}$ . 与常规 SOI 器件结构一样, 当  $N_d$  较低时, 击穿发生在靠近  $n^+ n$  结处, 击穿电压随  $N_d$  的提高而提高; 当  $N_d$  较高时, 击穿发生在 pn 结处, 击穿电压随  $N_d$  的提高而降低. 而当  $N_d$  取最优值  $N_{d,o}$  时, pn 结和  $n^+ n$  结同时击穿, 耐压最高. 与公式(8)一致, 在满足 RESURF 条件的漂移区浓度

$N_{d,o}$  随  $t_s$  和  $t_1$  的增加而减小, 随  $L_1$  的增加而增加. 在  $t_s$  和  $t_1$  一定的情况下, Lk SOI 结构的  $N_{d,o}$  最小, 常规 SOI 结构的  $N_{d,o}$  最大, CDL SOI 的  $N_{d,o}$  介于二者之间. 同时, 击穿电压随  $t_s$  和  $t_1$  的增加而提高. 图 7(b) 同时给出了 CDL SOI 结构最高击穿电压 BV 与低  $k$  埋层的长度  $L_d - L_1$  的关系 (漂移区和器件长度分别为 40 和  $50 \mu\text{m}$ ). 该图表明, BV 随  $L_d - L_1$  的增加先增加后降低, 这是由于当  $L_d - L_1$  太长或太短时, 新的表面电场峰距离 pn 结和  $n^+ n$  结的过近或过远, 其对 pn 结和  $n^+ n$  结的电场峰削弱作用不相当, 导致表面电场不均匀, 耐压降低. 图 7 显示, 低  $k$  SOI 结构的击穿电压 ( $BV = 401 \text{V}$ ) 高于常规 SOI 结构 ( $BV = 306 \text{V}$ ), 这主要是低  $k$  介质对纵向电场调制的结果, CDL SOI 结构的击穿电压比常规 SOI 结构高, 是不同  $k$  值的介质埋层同时对横向和纵向电场调制的结果. 值得注意的是, 当 CDL 结构低  $k$  介质长度  $L_d - L_1 = 15 \mu\text{m}$ , 即仅占器件总长度的 30% 时,  $BV = 459 \text{V}$ , 为常规 SOI 结构耐压的 1.5 倍. 这就使得 SOI 材料大部分能采用常规的埋氧层, 降低了工艺难度且保证了 SOI 器件的稳定性和可靠性.

对于本文的 CDL SOI 结构, 低  $k$  介质可选用较成熟的 SiOF 薄膜. 氟的加入使抗湿性变差, 可以采用对 SiOF 薄膜掺碳的方法加以改进. 制备掺碳的 SiOF 薄膜有两种方法, 其一是用  $\text{CF}_4$  直接注入已制备好的  $\text{SiO}_2$  薄膜而得到, 其二是直接以  $\text{SiH}_4/\text{O}_2/\text{CF}_4/\text{CH}_4$  混合气体产生等离子体淀积形成, 其  $k$  在 2.5~2.8 之内<sup>[15,18,19]</sup>. 本文选取第一种方法, 利用 Smart-cut (或 BESOI) 技术制备 CDL SOI 材料. Smart-cut 技术制备工艺流程如下: Si 衬底氧化 → 光刻 → 注入  $\text{CF}_4$  形成局部掺碳 SiOF → 双面光刻 (将埋层的介质分布标记于衬底背面) → 平坦化 → 与另一注氢 Si 片键合 → 剥离 → 双面光刻 (将衬底背面的标记转移到有源层). 为了保证键合质量, 版图设计时, 可使常规 SOI 结构与 CDL 结构交错排列, 同时, CDL 结构的低  $k$  区可以较短.

## 4 结论

本文提出复合介质层 SOI 高压器件新结构, 并建立该器件的解析模型, 给出 CDL SOI 和均匀介质层 SOI RESURF 条件统一判据. 复合介质埋层对横向和纵向电场调制作用使器件耐压提高. 对  $t_1 = 1 \mu\text{m}$ ,  $k_2 = 2$ ,  $k_1 = 3.9$  的 CDL LDMOS, 其埋层电场和器件耐压分别为  $222 \text{V}/\mu\text{m}$  和  $267 \text{V}$ , 分别比常规 SOI 结构提高了 82% 和 58%. 采用解析模型和二维数值仿真对新结构的电场和电势进行分析, 结果表明, 二者吻合较好.

## 参考文献

- [1] Udrea F, Garner D, Sheng K, et al. SOI power devices. *Electronic and Communication Engineering Journal*, 2000, 12(1):27
- [2] Nakagawa A, Yasuhara N, Baba Y. Breakdown voltage enhancement for devices on thin silicon layer/silicon dioxide film. *IEEE Trans Electron Devices*, 1991, 38(7):1650
- [3] Funaki H, Yamaguchi Y, Hirayama K, et al. New 1200V MOSFET structure on SOI with SIPOS shielding layer. *Proceeding of ISPSD*, 1998:25
- [4] Kapels H, Plikat R, Silber D. Dielectric charge traps: a new structure element for power devices. *Proceeding of ISPSD*, 2000:205
- [5] Luo Xiaorong, Li Zhaoji, Zhang Bo, et al. A novel structure and its breakdown mechanism of SOI high voltage device with shielding trench. *Chinese Journal of Semiconductors*, 2005, 26(11):2154 (in Chinese) [罗小蓉, 李肇基, 张波, 等. 屏蔽槽 SOI 高压器件新结构和耐压机理. *半导体学报*, 2005, 26(11):2154]
- [6] Luo Xiaorong, Li Zhaoji, Zhang Bo. A novel E-SIMOX SOI high voltage device structure with shielding trench. *ICCCAS*, 2005:1403
- [7] Merchant S, Arnold E, Baumgart H, et al. Realization of high breakdown voltage ( $>700V$ ) in thin SOI device. *Proceeding 3rd Int Symp on Power Semiconductor Devices and ICs*, 1991:31
- [8] Tadikonda R, Hardikar S, Narayanan E M S. Realizing high breakdown voltages ( $>600V$ ) in partial SOI technology. *Solid-State Electron*, 2004, 48:1655
- [9] Duan Baoxing, Li Zhaoji, Zhang Bo. A new partial SOI power device structure with p-type buried layer. *Solid-State Electron*, 2005, 49:1965
- [10] Luo Xiaorong, Zhang Bo, Li Zhaoji, et al. A novel SOI high voltage device structure with partial locating charge trench. *Chinese Journal of Semiconductors*, 2006, 27(1):193 (in Chinese) [罗小蓉, 张波, 李肇基, 等. 部分局域电荷槽 SOI 高压器件新结构. *半导体学报*, 2006, 27(1):193]
- [11] Jeon B C, Kin D Y, Lee Y S, et al. Buried air gap structure for improving the breakdown voltage of SOI power MOSFET's. *Proceedings of Power Electronics and Motion Control Conference*, 2000, 3:1061
- [12] Pretet J, Monfray S, Cristoloveanu S, et al. Silicon-on-nothing MOSFETs: performance, short-channel, and backgate Coupling. *IEEE Trans Electron Devices*, 2004, 51(2):240
- [13] Grill A, Patel V. Low dielectric constant films prepared by plasma-enhanced chemical vapor deposition from tetramethylsilane. *J Appl Phys*, 1999, 85(6):3314
- [14] Lee S, Park J W. Effect of postplasma treatment on characteristics of electron cyclotron resonance chemical vapor deposition SiOF films. *J Vac Sc Technol A*, 1999, 17(2):458
- [15] Wang Pengfei, Ding Shijin, Zhang Wei, et al. CVD technologies used in preparation of low dielectric constant materials for ULSI. *Microfabrication Technology*, 2001, 1:30 (in Chinese) [王鹏飞, 丁士进, 张卫, 等. ULSI 低介电常数材料制备中的 CVD 技术. *微细加工技术*, 2001, 1:30]
- [16] Kim I J, Matsumoto S, Sakai T, et al. Breakdown voltage improvement for thin-film SOI power MOSFET's by a buried oxide step structure. *IEEE Electron Device Lett*, 1994, 15(5):148
- [17] Guo Yufeng, Fang Jian, Zhang Bo, et al. A 2D analytical model of SOI double RESURF effect. *Chinese Journal of Semiconductors*, 2005, 26(4):33 (in Chinese) [郭宇锋, 方健, 张波, 等. SOI 基双级 RESURF 二维解析模型. *半导体学报*, 2005, 26(4):33]
- [18] Yun S M, Chang H Y, Kang M S, et al. Low dielectric constant films CF/SiOF composite film deposition in a helicon plasma reactor. *Thin Solid Films*, 1999, 341:109
- [19] Lubguban J Jr, Saitoh A, Kurata Y, et al. Stability of the dielectric properties of PECVD deposited carbon-doped SiOF films. *Thin Solid Films*, 1999, 337:67

## Analytical Model for the Electric Field Distribution of an SOI High Voltage Device with a Compound Dielectric Layer\*

Luo Xiaorong<sup>†</sup>, Li Zhaoji, and Zhang Bo

(College of Microelectronics and Solid-State Electronics, University of Electronic Science and Technology, Chengdu 610054, China)

**Abstract:** A novel SOI high voltage device with a compound dielectric buried layer is proposed, and an analytical model for its electric field and potential is established. A unified criterion of RESURF condition for CDL SOI and a uniform dielectric buried layer SOI device is given. The vertical electric field of the buried layer is enhanced due to the low  $k$  (permittivity) of the dielectric buried layer at the drain side, the electric field in the drift region is modulated by the compound dielectric layer with different  $k$  values, and both increase the breakdown voltage of the device. Based on the analytical model and the 2D device simulation, the electric field distribution and potential distribution are analyzed. The simulation results are in good agreement with the analytical results. It shows that the electric field of the buried layer and breakdown voltage of the CDL SOI when the low  $k$  value is 2 are enhanced by 82% and 58% compared to conventional SOI, respectively.

**Key words:** compound dielectric layer; vertical electric field; modulation; breakdown voltage; RESURF criterion

**EEACC:** 2560B; 2560P

**Article ID:** 0253-4177(2006)11-2005-06

\* Project supported by the National Natural Science Foundation of China (No. 60436030) and the Armament Pre-Research Foundation of China (No. 9140C09030506DZ02)

<sup>†</sup> Corresponding author. Email: xrluo@uestc.edu.cn

Received 26 May 2006, revised manuscript received 4 July 2006