

一种高精度带隙电压基准源改进设计

徐 勇^{1,2,†} 王志功¹ 关 宇² 乔庐峰² 赵 斐²

(1 东南大学射频与光电集成电路研究所, 南京 210096)

(2 解放军理工大学, 南京 211101)

摘要: 在原有经典三条支路结构的带隙基准电路基础上,通过减少带隙电压源的电流源镜像次数及控制电流源漏源电压,在减小器件失配影响的同时,进一步减小了沟道长度调制效应的影响,大幅度提高了基准电压源的精度,降低了温度系数.封装后 200 片统计测试的结果:输出电压精度为 $1.23 \pm 0.02\text{V}$,标准偏差 σ 仅为 0.007V , $-40 \sim 85^\circ\text{C}$ 范围内的温度系数测试值在 16ppm 附近,芯片电源电流为 $100\mu\text{A}$.该改进电路的设计仿真结果和流片测试结果有很高的一致性.

关键词: 带隙基准; 电压基准源; 沟道调制; 电源抑制比

EEACC: 1265B; 2570D

中图分类号: TN791

文献标识码: A

文章编号: 0253-4177(2006)12-2209-05

1 引言

在现代模数混合集成电路设计领域中,高性能电压基准源设计是关键技术之一,电压基准源为电路提供高精度基准电压或由其转化为高精度电流,为电路提供稳定而又精确的偏置.由于工艺离散性的存在,如何提高精度、保证批量制造 IC 时带隙基准电压源精度的一致性,是进一步改进基准电压源设计的一个重要课题,因此需要在工艺条件有限的情况下,更多地从电路设计方案上着手改进.本文采用 $0.6\mu\text{m}$ CMOS 工艺设计实现的带隙基准电压源 (bandgap reference, BGR),从电路方案到版图设计两方面深入剖析影响因子并对其进行优化,设计实现了 1.23V 高精度带隙电压源,同时获得了设计值与测试值较高的一致性.

2 传统方案对照

图 1 给出了带隙电压基准源原理示意图.三极管发射结压降 U_{BE} 在室温下的温度系数为 $-2.2\text{mV}/^\circ\text{C}$,而热电压 U_T ($U_T = k_0 T/q$) 的温度系数为 $0.085\text{mV}/^\circ\text{C}$,如图 1 所示,将 U_T 乘以 K 后与 U_{BE} 相加,得(1)式:

$$U_{REF} = KU_T + U_{BE} \quad (1)$$

在室温条件下上式对温度 T 微分并使微分结果等于零,即可解出 K 的理论设计值,使得输出电压 U_{REF} 理论上在室温附近基本不受温度的影响.

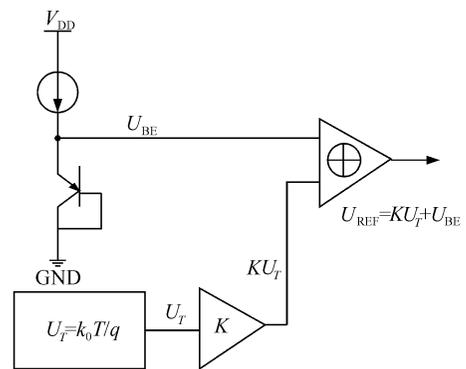


图 1 带隙电压基准源原理

Fig. 1 Principle of bandgap voltage reference

传统 CMOS 工艺设计中晶体管采用的为纵向寄生 pnp 管,其工艺构造如图 2 所示^[1],n 阱与 p 衬底分别作为 pnp 管的基极与集电极.设计将基极与集电极共同接地后,如图 1 和 2 所示,利用发射结 U_{BE} 的负温度系数特性与电路中热电压 U_T 的正温度系数相抵消,从而获得与温度无关的基准电压 U_{REF} .

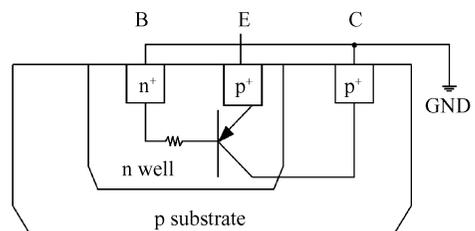


图 2 CMOS 工艺中寄生 pnp 管

Fig. 2 Parasitic pnp transistor in CMOS process

† 通信作者. Email: xu_yong99@163.com

2006-06-12 收到,2006-07-29 定稿

一种经典的带隙电压源设计如图 3 所示^[1,2],图中运放(operational amplifier, OPA)工作于深度负反馈状态,故有运放两输入端电压近似相等,即 $U_+ = U_-$, 得

$$I_2 R_1 = U_{BE1} - U_{BE2} \approx U_T \ln\left(\frac{I_1}{I_{s1}}\right) - U_T \ln\left(\frac{I_2}{I_{s2}}\right) \quad (2)$$

设计中令 $I_3 = kI_1 = kI_2$, $I_{s2} = 4I_{s1} = 4I_{s3}$, 从而上式可以变换为

$$I_2 = \frac{U_T}{R_1} \ln 4 \quad (3)$$

故, 输出电压 U_{REF} 为

$$U_{REF} = U_{BE3} + I_3 R_2 = U_{BE3} + k \frac{U_T}{R_1} \ln 4 \times R_2 \quad (4)$$

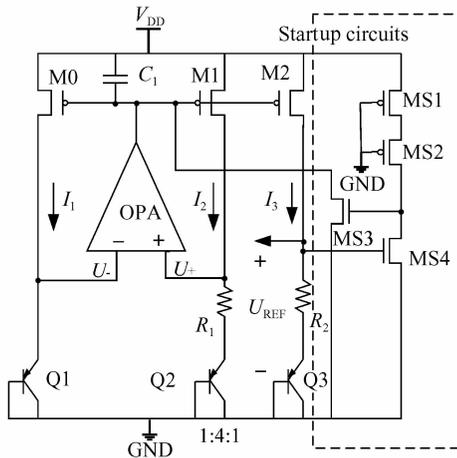


图 3 传统 CMOS 带隙电压基准源电路

Fig. 3 Schematic of conventional BGR in CMOS

该设计方案在一定精度要求范围内可以达到预期设计效果, 然而经过仔细研究发现该方案存在一个缺陷, 即输出电压支路的正温度系数电流 I_3 来自于 I_2 的比例镜像, 而版图设计中 pMOS 电流源 M1 到 M2 的镜像失配势必存在, 即不同流片批次、同一批次晶圆的不同位置, (4) 式中镜像比例 k 一定会存在细微的差别, 从而影响批量生产时带隙电压源精度的一致性, 因此本文提出了更为优化的设计方案并在其基础上做出进一步的改进。

3 设计改进方案

3.1 闭环输出避免电流源镜像导致的误差

如图 4 所示, 改进后的带隙电压源设计方案将基准电压输出直接取自 OPA 环路^[4], 一方面避

免了图 3 中电流源 M2、M1 镜像失配带来的误差, 另外利用 OPA 的深度负反馈提高了 BGR 的稳定性. 与传统方案(图 3)不同的是, 本方案将启动电路放入 OPA 的偏置电路之中, 避免了 BGR 启动电路的重复设计。

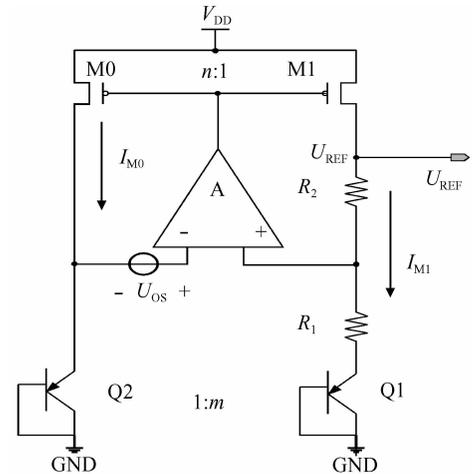


图 4 一种改进带隙电压基准源电路

Fig. 4 An optimized BGR circuit

由图 4 可以得到该改进方案的输出基准电压值, 即

$$U_{REF} = U_{BE1} + I_{M1}(R_2 + R_1) = U_{BE1} + \frac{(R_1 + R_2)}{R_1} [U_T \ln(mn) + U_{OS}] \quad (5)$$

式中 U_{OS} 为 OPA 的输入失调电压; m 为寄生 pnp 器件 Q1 与 Q2 的发射区面积之比; n 为 pMOS 器件 M0 与 M1 宽长比的比值, 即

$$\left(\frac{W}{L}\right)_{M0} : \left(\frac{W}{L}\right)_{M1} = n : 1 \quad (6)$$

理想情况下, $I_{M0} : I_{M1} = n : 1$. 为了减小 OPA 输入失调 U_{OS} 对 BGR 输出基准电压的影响, 对照(5)式, 设计中采用较大的 m 与 n 值, 从而避免采用较大电阻比值带来的 U_{OS} 影响变大的后果^[3], 另外 OPA 的选取上选用了两级高增益 OPA。

3.2 增加电阻减小沟道长度调制效应的影响^[3]

图 4 提出的方案相当于传统方案(图 3)基础上避免了电流源 M2、M1 失配带来的误差影响, 但是 M0 与 M1 电流源 pMOS 器件的 U_{DS} 相差较大, M0 漏源电压 U_{DSM0} 约为 $V_{DD} - 0.7V$, 而 M1 漏源电压 U_{DSM1} 为 $V_{DD} - 1.23V$. (7)和(8)式^[4]是考虑沟道长度调制效应后分别流过 M0 和 M1 的电流表达式, 由(7), (8)式可知, 考虑到沟道长度调制效应影响, I_{M0} 与 I_{M1} 的比例并不准确等于 n , 因此图 4 提出的方案输出基准电压(5)式存在偏差, 而且随着工艺

Corner 的变化,作为基准,其设计精度难以保证.

$$I_{M0} = \frac{1}{2} \mu_p C_{ox} \left(\frac{W}{L} \right)_{M0} (U_{GS} - U_{TH})^2 (1 + \lambda U_{DSM0}) \quad (7)$$

$$I_{M1} = \frac{1}{2} \mu_p C_{ox} \left(\frac{W}{L} \right)_{M1} (U_{GS} - U_{TH})^2 (1 + \lambda U_{DSM1}) \quad (8)$$

为此在图 4 的方案基础上,本文增加了电阻 R_3 ,如图 5 所示,并有 $I_3 R_3 = I_2 R_2$,使得 R_2 与 R_3 两个电阻上端电压均在 1.23V 附近,做到 U_{DSM0} 近似等于 U_{DSM1} ,如此基本避免了沟道长度调制效应的影响.增加 R_3 前后 M0 与 M1 器件中电流的失配影响对比如表 1 所示,设计中 M0 与 M1 的宽长比为 8 : 1.由表 1 可以看出将 1/8 倍的 M0 支路电流($I_3/8$)与 M1 支路电流 I_2 相比,增加 R_3 电阻后, I_3 与 I_2 电流失配明显减小.

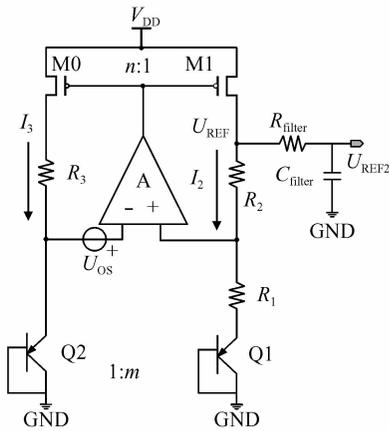


图 5 改进的带隙电压基准源电路
Fig. 5 Schematic of optimized BGR

表 1 电流失配对比

Table 1 Comparison of current mismatch

	增加 R_3 前	增加 R_3 后
$I_3/\mu A$	87.655	85.563
$(I_3/8)/\mu A$	10.955	10.695
$I_2/\mu A$	10.73	10.696
结果	失配 0.225 μA	失配 0.001 μA

3.3 增加 RC 低通增强环路稳定性并提高 PSRR

改进后的 BGR 方案输出电压直接取自于 OPA 反馈环路,对环路稳定性可能的影响不可忽视.为减小 OPA 输入失调电压带来的影响并提高 PSRR,文中 OPA 采用了两级密勒补偿运放结构,研究发现该运放如果不作进一步改进,其容性负载能力有限,而且随着容性负载的加入,两级密勒补偿 OPA 的环路相位裕量明显减小,会存在很大的自激风险.仿真也证明当容性负载变大时,输出会产生自激.因此

必须对该电路作进一步的改进.本文在 BGR 基准电压输出端增加一个 RC 低通,在起到隔离反馈环路与容性负载增强稳定性的同时,由于 RC 的低通滤波特性,还可以一并改善低通滤波器带宽外的 PSRR 特性.改进后的 OPA 闭环相位裕度为 63° ,如图 6 所示,确保了电路稳定性.额外获得的单位增益带宽处(1MHz 附近)的 PSRR 性能改善如图 7 所示.

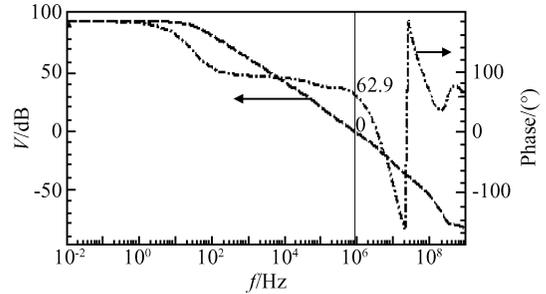


图 6 OPA 闭环稳定性分析
Fig. 6 Closed-loop analysis of OPA

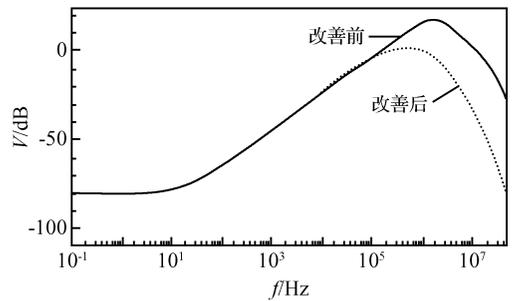


图 7 RC 低通对 PSRR 性能的改善分析
Fig. 7 Analysis of improved PSRR by RC filter

4 版图与测试结果

作为高精度的电压参考基准,电压源的输出在温度系数小、精度高的同时,要求工艺一致性好,而芯片工艺具有一定的离散性,因此版图设计中采用了多项版图优化技术^[4,5].首先,在设计寄生 pnp 管时,为达到良好匹配,选择 $m = 8$,可以使版图中 Q1 与 Q2 形成共中心对称,提高了(5)式中的 m 工艺匹配精度.由于比例电阻的相对精度影响重大,因此设计选用了“CBABC”交叉排列结构同时外置 Dummy 器件.pMOS 电流源 M0 与 M1 采用叉指结构并交错排列,提高了电流镜的匹配精度.另外,为进一步降低衬底噪声对输出电压的影响,比例电阻的版图底部衬底用 n 阱隔离,同时关键器件采用双保护环隔离,双环分别接至电源与地信号.整个版图

结构如图 8 所示.

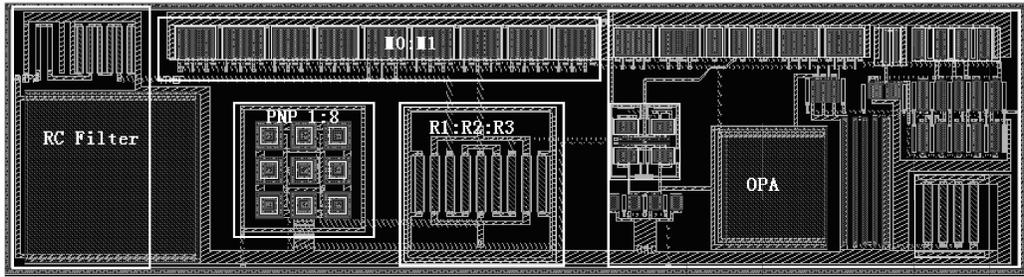


图 8 带隙电压源设计版图

Fig. 8 Layout of BGR

流片样品测试结果显示,本设计获得了较好的输出电压精度与温度系数,图 9 为批量(150 片)测试的初始精度值,输出电压为 $1.23 \pm 0.02\text{V}$,标准偏差 σ 为 0.007V ,按照工业界 $\pm 3\sigma$ 的设计制造等级,本设计有 99.75% 的统计样本输出电压在 $1.23 \pm 0.02\text{V}$ 范围内,成品率非常高.为便于方案比较,在

使用相同工艺情况下,由传统方案与改进方案同时流片测试数据对照发现,传统方案测试精度要比本文改进方案差 $\pm 10\text{mV}$.图 10 为随机样本抽样温度系数测试结果,数据显示在 $-40 \sim 85^\circ\text{C}$ 范围内,温度系数约 16ppm ,该值比设计值略偏大,可能是由于工艺的稳定性需进一步改善的缘故.

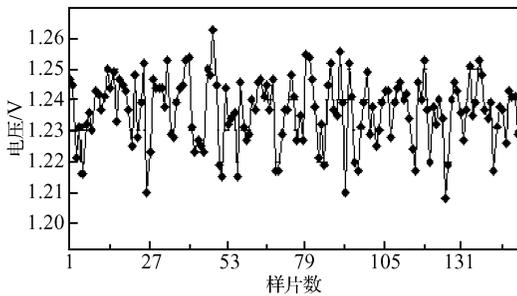


图 9 带隙基准电压源批量精度测试数据

Fig. 9 Measured BGR precision in batches

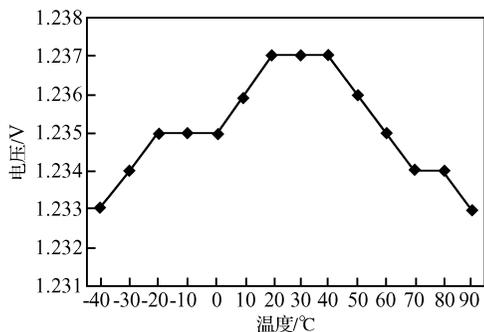


图 10 带隙基准电压源温度系数测试数据

Fig. 10 Measured BGR temperature coefficient

5 结论

该文设计通过减少电流源镜像次数和控制电流源 MOS 器件的漏源电压,再结合严格的版图绘制,在减小器件失配影响的同时,进一步减小了沟道长度调制效应的影响,逐步提高了带隙基准电压源的设计精度,并且获得了较好的设计测试一致性.与传统方案相比,相同工艺条件下 BGR 初始精度改进 $\pm 10\text{mV}$.

参考文献

- [1] Banba H, Shiga H, Umezawa A, et al. A CMOS bandgap reference circuit with sub-1-V operation. *IEEE J Solid-State Circuits*, 1999, 34(5): 670
- [2] Boni A. Op - amps and startup circuits for CMOS bandgap references with near 1-V supply. *IEEE J Solid-State Circuits*, 2002, 37(10): 1339
- [3] Annema A J. Low-power bandgap references featuring DT-MOST's. *IEEE J Solid-State Circuits*, 1999, 34(7): 949
- [4] Razavi B. *Design of analog CMOS integrated circuits*. New York: The McGraw-Hill Companies, Inc, 2001
- [5] Jiang Jinguang, Wang Yaonan. Realization of high precision bandgap reference. *Chinese Journal of Semiconductors*, 2004, 25(7): 852 (in Chinese) [江金光, 王耀南. 高精度带隙基准电压源的实现. *半导体学报*, 2004, 25(7): 852]

Improved Design of a Bandgap Voltage Reference with High Accuracy

Xu Yong^{1,2,†}, Wang Zhigong¹, Guan Yu², Qiao Lufeng², and Zhao Fei²

(1 *Institute of RF- & OE-ICs, Southeast University, Nanjing 210096, China*)

(2 *PLA University of Science and Technology, Nanjing 211101, China*)

Abstract: A bandgap voltage reference based on the conventional architecture is optimized. The effects of the MOS device mismatch and the channel-length modulation are decreased by optimizing the design of the current mirror and controlling U_{DS} . Better precision and a lower temperature coefficient are obtained. The average value of the output voltage is $1.23 \pm 0.02\text{V}$, with a standard deviation (σ) of only 0.007V , for 200 chips that were measured. The average measured temperature coefficient is $16\text{ppm}/^\circ\text{C}$ in the range of -40 to 85°C , and the average power supply current is $100\mu\text{A}$. The designed and measured values are well matched in this optimized architecture.

Key words: bandgap; voltage reference; channel modulation; power-supply rejection ratio

EEACC: 1265B; 2570D

Article ID: 0253-4177(2006)12-2209-05

† Corresponding author. Email: xu_yong99@163.com

Received 12 June 2006, revised manuscript received 29 July 2006