

高精度混合型 DPWM 设计和实现*

周 熙 郭健民 李文宏[†]

(复旦大学专用集成电路国家重点实验室, 上海 201203)

摘要: 介绍了一种应用于 DC-DC 数字控制芯片的混合型数字脉宽调制器(DPWM)设计,该 DPWM 结合了振荡环和计数器的设计,在 Chartered 0.35 μm 2P4M CMOS 工艺下经过流片验证.测试结果表明,该芯片实现了 950kHz 的 4 相 PWM 输出,可以实现 11bit(即 1/2048)的精度,每相之间的相差为 90°.该设计能实际应用于 DC-DC 数字控制芯片.

关键字: DPWM; 振荡环; 混合模式

EEACC: 1250

中图分类号: TN432

文献标识码: A

文章编号: 0253-4177(2007)06-0967-08

1 概述

随着数据处理系统的速度和效率的日益提高,对芯片的电源管理的要求越来越严格.目前电源管理模块的架构有模拟和数字两种实现方式.模拟设计的产品目前占市场的主流,但是其对噪声很敏感;而数字设计可扩展性好,稳定性高,对外界环境的噪声相对不敏感,正好可以弥补模拟控制的缺点.基本的 DC-DC 数字控制芯片由 ADC, PID, PWM 和基准电压源等组成.其中 PWM 模块在整个控制芯片中起到了非常重要的作用,实现高精度、相位准确、高反应速度的 PWM 输出可以大大提高整个控制芯片的精度和高转换效率.目前国内尚未见到有关输出频率为 1MHz,精度为 11bit 的多相数字脉宽调制器(DPWM)设计的报道,但是国外已经有设计频率超过 1MHz 的 DPWM 的相关文献报道,但是其设计精度也没有达到 11bit^[4,5],而本文的设计实现了输出频率在 1MHz 的高频工作环境下 11bit 的高精度要求.

2 混合型 DPWM 的原理和设计

2.1 混合型 DPWM 的原理和结构

应用于 DC-DC 数字控制芯片中的 DPWM 需要满足以下几个要求:

(1)为了避免极限环(limit cycle)效应的产生, PWM 的有效精度必须高于 ADC 的精度;

(2)为了使 DC-DC 数字控制芯片达到较高的响应, PWM 自身的响应也需要尽可能高.

目前主要有 2 种基本的 DPWM 结构,分别采用了计数器和选择器来实现.但是这两种典型结构都有其致命的缺点,在要求 11bit 的高精度下,单独用计数器会带来相当可观的功耗,单独用选择器则会使面积急剧增加.同时单一的结构也不满足多路输出的实现,因为现在处理器的工作电流动辄在 50A 以上,如果采用单相电流供电的话会因单路电流过大产生很多寄生效应,多路电流输出是必须的.为了满足 DC-DC 数字控制芯片高精度、高响应速度的要求,设计 DPWM 模块的时候综合了计数器和选择器两种方案的优点,使其可以实现较小的功耗和适当的芯片面积.

在使用 DPWM 的系统结构中,目前主要采用的方式,一是混合型 DPWM(hybrid DPWM),二是采用 dither 方式实现的 DPWM^[5].采用 dither 方式实现的 DPWM 主要是采用了 Σ - Δ 的思路来实现 DPWM 的设计,这种设计可以使用低精度高频率的 DPWM 来实现较高的有效输出精度,也就相应地减少了 DPWM 的功耗和面积.但是 dither 方式实现的 DPWM 在模式切换的时候会产生一个周期的延时,这对 DPWM 的高速响应是不利的.混合型 DPWM 的设计则没有不需要的延时.为了满足 DC-DC 数字控制芯片对 DPWM 的要求,本文的设计采用了混合型 DPWM 的设计来实现电源的智能管理.综合基于计数器和选择器的 DPWM 的设计^[1],本文采用的 DPWM 设计的框图如图 1 所示.

* 国家自然科学基金资助项目(批准号:60676013)

[†] 通信作者, Email: wenhongli@fudan.edu.cn

2006-07-14 收到, 2007-02-09 定稿

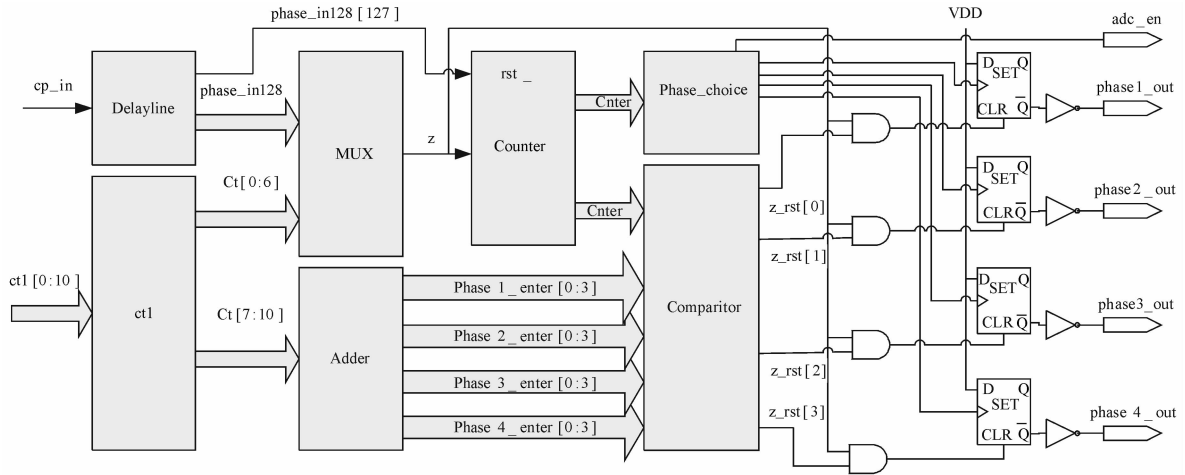


图 1 混合型 DPWM 的结构

Fig. 1 Block diagram of the hybrid DPWM

如图 1 所示, DPWM 模块的设计包括了 7 个主要的逻辑模块以及相关的外围电路. 为了实现 11 位的精度, DPWM 需要读取 11 位的 PID 码 ctl 作为控制信号, 然后根据相应的 PID 码输出相应的占空比, ctl 的输入范围是由 00000000000 ~ 11111111111, 将其转换成 10 进制数, 对于某个固定的 ctl 值 n , 输出信号的占空比为 $(n+1)/2048$.

本文采用一个 16 进制的计数器和一个 128 位的振荡环来实现运行在 1MHz 下的 11bit 的输出精度. 其中, 128 位振荡环的振荡频率为 16MHz, 每次振荡产生 128 位振荡信号, 即 $phase_in128[0]$ 到 $phase_in128[127]$, 每个振荡信号都是占空比为 $1/128$ 的脉冲信号, 即每个信号的脉宽为 488ps. 每个振荡周期之后, 振荡环的最后一位振荡信号做为计数器的时钟信号输出, 即是每当振荡环振荡一次, 计数器计数一次. 如此则将一个周期分为 $16 \times 128 = 2048$ 等分. 当计数器计数到 m 的时候, 则环路中已经经过 m 次振荡, 产生了 $m \times 128$ 个振荡信号, 此时再选择振荡环中的第 n 个振荡信号, 则选择出来的振荡信号就是 1 个周期 2048 个信号中的第 $m \times 128 + n$ 个信号, 如果取第一个振荡信号为每个周期的开始信号, 选择出来的振荡信号为复位信号的话, 那么此时的占空比为 $(m \times 128 + n)/2048$.

考虑到输入的占空比控制信号是 11 位 PID 信号 ctl , 那么 m 就是由 ctl 的高 4 位来控制, n 则是由 ctl 的低 7 位来控制, 例如当 ctl 为 0110001111 时, 此时第一相输出需要的复位信号就是当计数器计数到 6 的时候, 振荡环振荡到第 16 位的时候的信号. 而在多相的实现中, 只需要改变选择的 m 值就可以做到适当的相移, 因为使用的是 16 进制计数器, 第二、三、四相采用的 m 值依次比前一相采用的 m 值后移 4 位, 即 $m_4 = m_3 + 4$, $m_3 = m_2 + 4$, $m_2 =$

$m_1 + 4$.

本文设计的 DPWM, 当运行在 1MHz 下的时候, 为了实现 11bit 的输出精度, 根据前文的介绍, 振荡环中每位振荡信号的脉宽只有 488ps. 在目前的继承电路设计工艺下, 一个普通的反相器的延时就已经达到 200ps 以上, 加上信号的建立时间和维持时间, 已经远远超过了 488ps 的设计要求. 本文为了实现 11bit 的设计精度, 在振荡环上采用了新的结构. 图 2 介绍了本文设计的新的振荡环的实现方式. 在图 2 中, D 触发器的数据输入端 D 接高电平, 使用前一级的输出端 Q 作为本级的时钟信号, 那么当前一级信号由“0”跳变到“1”的时候, D 触发器就会置“1”, 同时将下级的输出 Q 作为本级的复位信号, 当下级信号由“0”跳变到“1”以后, D 触发器复位位置“0”, 为了实现自启动, 设计中增加了相关的自启动电路, 其结构和振荡环节点的波形如图 2 所示.

设计中采用的是 128 位的振荡环设计, 其中 cp_in 是振荡环的触发信号, 在此信号的激励下给每个 D 触发器产生复位信号 cp 以及给第一个 D 触发器产生置位信号 sdn . 当 cp 为高的时候, 所有 D 触发器的复位端置 1, 触发器复位, 当 cp 从 1 跳变到 0 的时候, 自启动电路产生一个脉冲信号 sdn 作为置位信号给第一级 D 触发器, 振荡环开始振荡, 同时输出振荡信号 $phase_in128$.

$phase_in128$ 作为多路选择器 MUX 的输入, 根据前文的介绍, 设计中是采用 PID 码的低 7 位来选择需要 128 位振荡信号中的某一位作为复位信号, 因此使用 $ctl[6:0]$ 作为选择器的选择信号输入. 因为计数器在一个周期里面需要循环计数一次, 即计数 16 次, 那么在一个周期里面振荡环也要振荡 16 次, 那样的话在一个周期内会产生 16 个待选择的复位信号. 根据上文的介绍, 应该选择当计数器计数到

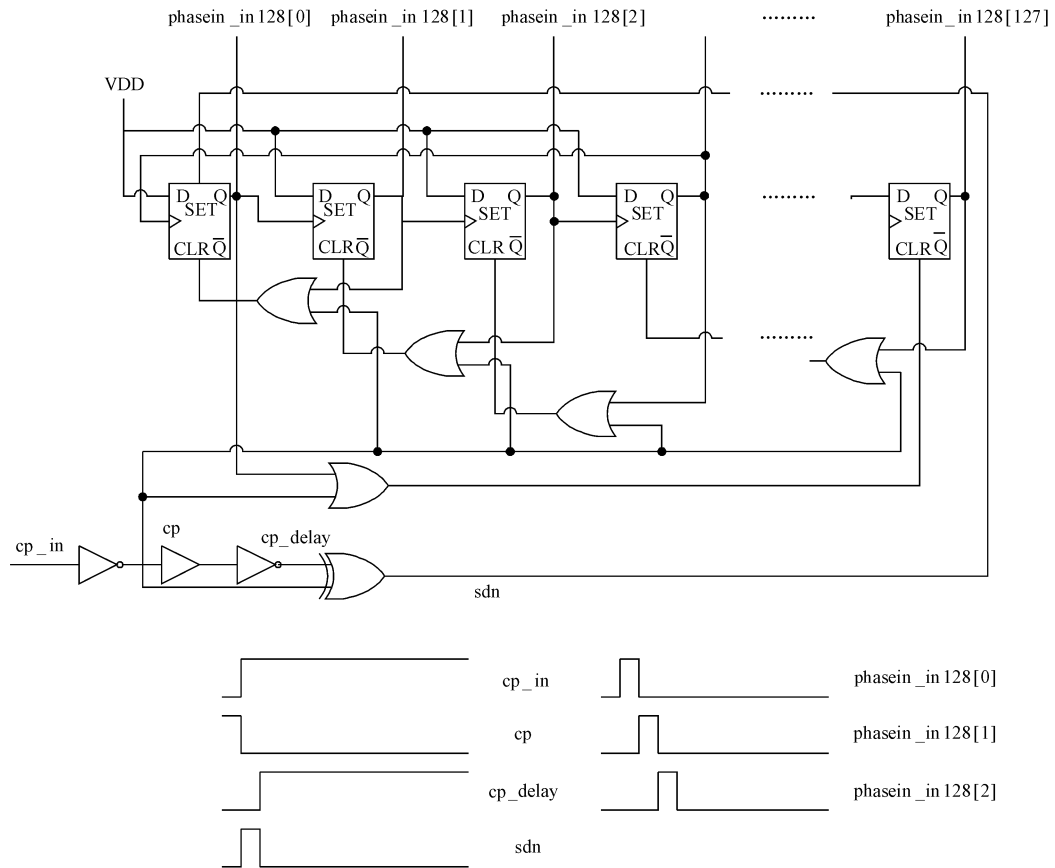


图 2 振荡环结构以及振荡环节点的波形

Fig.2 Block diagram of the oscillator and the waveforms of the significant nodes

m 时出现的那个信号作为复位信号,为了确定是哪个信号作为复位信号,需要选择一个 $m (0 \leq m \leq 16)$ 值来确定使用 16 个信号中的哪一个来作为复位信号.接下来需要确定 m 的值.

根据前文的说明,每相 DPWM 输出采用的 m 值应该是前一相采用的 m 值加 4,设计中 m 值的选择则是由 Adder 模块来实现对 ctl 的高 4 位进行 $+0, +4, +8, +12$ 的操作,也就是上文的 m_1, m_2, m_3, m_4 的产生,然后将信号 m_1, m_2, m_3, m_4 和 16 进制计数器的计数结果进行比较,当计数器计数到 m_1, m_2, m_3, m_4 的时候产生选择窗口 z_rst 信号,根据上文的介绍,在选择窗口内出现的待选信号就是复位信号.而当计数器计数到 0,4,8,12 的时候就分别是 4 相输出的起始时间.由此,实现了 $1/2048$ 的精度同时也实现了多相位的输出.同时,因为本文设计是基于 DC-DC 数字控制芯片的,整个芯片的系统时钟是由 DPWM 模块提供,所以当计数器模块 Counter 计数到 6 的时候让其产生一个脉冲信号 adc_en 作为系统的时钟提供给 ADC 和 PID 控制器作为它们的时钟信号.

本文的设计主要将计数器和选择器各自的优点进行了综合,采用了混合的方式来实现 DPWM,同时还实现了多相的输出来满足目前大电流的要求.为了满足多种需求,本文设计还设计了电平转换模块来实现 3.3 和 5V 这 2 种不同电压的输出.

2.2 混合型 DPWM 的电路仿真及版图设计

2.2.1 DPWM 的电路设计及仿真

本文设计基于 Chartered $0.35\mu\text{m}$ 2P4M CMOS 工艺设计,设计频率是 1MHz,设计精度为 11bit,使用 Modelsim 对经过布局布线之后的门级网表文件进行了仿真,仿真结果如图 3 所示.

图中的信号由上至下依次是 ctl 输入 (PID

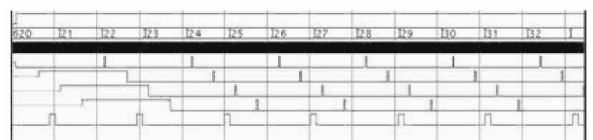


图 3 门级仿真波形

Fig.3 Simulation waveform of gate level

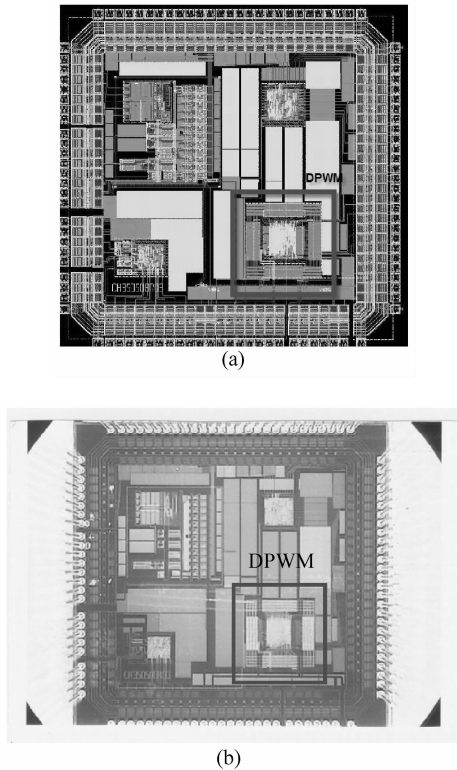


图 4 (a) DPWM 版图设计;(b) 流片后的显微照片
Fig. 4 (a) Layout of the DPWM;(b) Microgram of the chip

码),振荡环波形,第一相输出,第二相输出,第三相输出,第四相输出,系统时钟输出.仿真模拟了 DC-DC 数字控制芯片从关闭到启动的 PID 码输入条件, PID 码的覆盖率从 0000000000 到 1111111111.仿真结果表明当输入 ctl 信号发生变化的时候,DPWM 输出波形的占空比相应发出变化.

2.2.2 DPWM 的版图设计

DPWM 芯片的版图设计采用了手工定制和自动布局布线相结合的方式来实现.其中,振荡环采用了手工定制的方式完成版图设计,其余部分的版图设计则采用自动布局布线完成.图 4(a)是 DPWM 的版图设计,图 4(b)是经过流片之后的显微照片.图 4 除了 DPWM 的版图设计之外,还包括了 ADC,基准电压源(REF),PID 这 3 个模块的设计. DPWM 的设计部分已经圈出.设计中并没有采用标准的 11bit 的 ADC 结构,而是采用的 Flash Window ADC 结构,该 ADC 结构量化了输出电压 50mV 的窗口,量化精度为 10mV.与普通 ADC 结构相比,Flash Window ADC 结构可以节省很多的面积.本文设计中 DPWM 模块占用的面积为 $360\mu\text{m} \times 460\mu\text{m}$,PID 模块占用的面积为 $360\mu\text{m} \times 360\mu\text{m}$,基准电压源(REF)和 ADC 占用的总面积为 $220\mu\text{m} \times 890\mu\text{m}$,整个芯片连同 PAD 占用的面

表 1 测试数据
Table 1 Test results

PID 码 (ctl 信号)	电源电压 3.3V		电源电压 5V		理论占 空比/%
	输出电压	占空比/%	输出电压	占空比/%	
0010000000	3.28V	12.4	5.01V	12.4	12.5
0011000000		18.65		18.55	18.65
0100000000		25.875		25.825	26
0101000000		32.125		32.1	31.25
0110000000		38.375		38.375	37.5
0111000000		44.6		44.65	43.75
1000000000		50.925		50.95	50
1001000000		57.125		57.1	56.25
1010000000		63.425		63.45	62.5
1101000000		82.175		82.2	81.25
1111000000		94.65		94.65	94.75

积为 $1.2\text{mm} \times 1.0\text{mm}$.

3 混合型 DPWM 的测试和应用

3.1 DPWM 的测试结果

本文测试主要分为静态测试和动态测试,静态测试主要观察芯片的输出占空比、电压、频率、精度、功耗以及相位;动态测试主要观察芯片在输入信号动态变化时,输出信号的变化.

3.1.1 静态测试

首先选取采用若干个典型的 PID 值对 3.3 和 5V 的输出 PWM 信号进行分析.输出信号进行占空比以及输出电压的测试结果如表 1 所示.由表 1 可以看出,芯片的测试结果和理论输出结果基本符合,电压转换模块工作正常,正常实现 3.3 到 5V 的电压变换.

为了测试芯片能实现的输出精度,选择当 PID 码(ctl 信号)分别为 0000000000 和 0000000001 的输出波形作为比较对象,通过比较这两个输出波形的占空比的相对差值,可以测试出 DPWM 模块能够实现的精度,相应的输出波形以及输出脉冲放大之后得到的结果如图 5 所示.

如图 5 所示,当输入为 0000000000 的时候输出占空比为 0.262%,脉宽为 2.77ns,当输入为 0000000001 的时候,输出占空比为 0.303%,脉宽为 3.20ns,即当输入变化为 1 的时候,输出占空比变化 0.04%,脉宽变化 0.5ns,即是 1/2048,芯片实现了 11bit 的设计精度.同时可以观察到 DPWM 模块中每相的输出周期为 $1.057\mu\text{s}$,即频率为 950kHz.不同相位之间的相位差的测试结果如图 6 所示.图中分别给出了 1,4 两相和 2,3 两相的输出波形的比较.

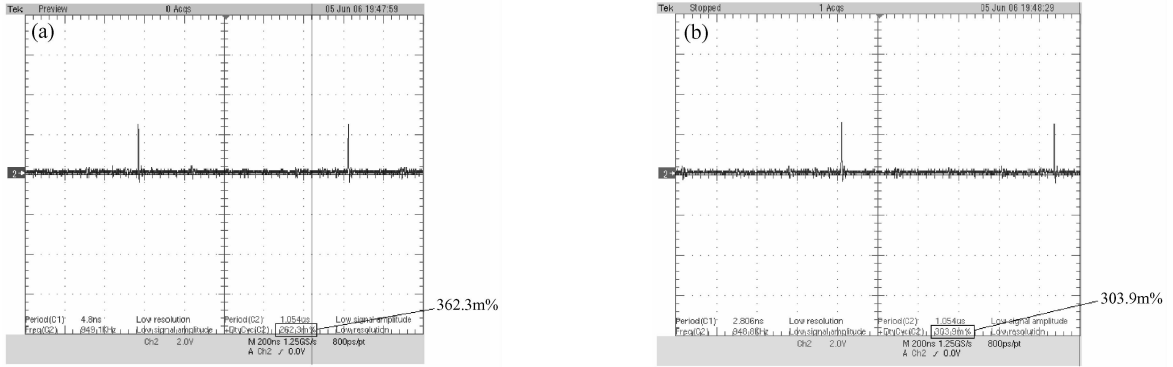


图 5 ctl = 0000000000(a) 和 ctl = 0000000001(b) 时的输出波形对比

Fig. 5 Compare of the output waveform when ctl = 0000000000 (a) and ctl = 0000000001 (b)

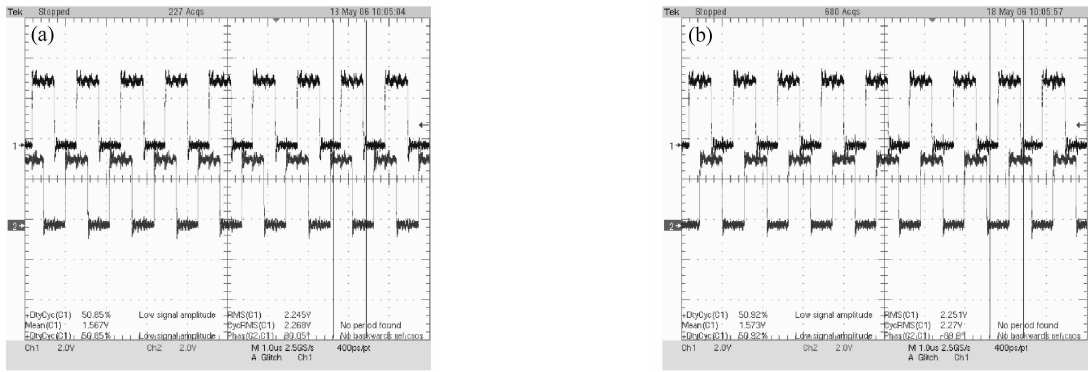


图 6 (a) 1,4 两相的比较波形; (b) 2,3 两相的比较波形

Fig. 6 (a) Compare waveform of phase 1 and phase 4; (b) Compare waveform of phase 2 and phase 3

测试结果表明, 2 相的相差分别为 90.05° 和 89.9° , 刚好相差 $1/4$ 个周期, 符合 4 相的输出要求. 同时经过测试, 芯片的功耗为 80mW .

3.1.2 动态测试

芯片的动态测试通过由 FPGA 输出一个占空比为 50% 的 200kHz 方波分别代替 ctl[9] 作为输入

信号, ctl[8:0] 接的输入信号为 “01000000”, ctl[10] 接 “0”, 即输入信号在 0101000000 和 0001000000 之间跳变. 测试时的 DPWM 输出波形和输入的 ctl[9] 的波形以及仿真时的结果如图 7 所示.

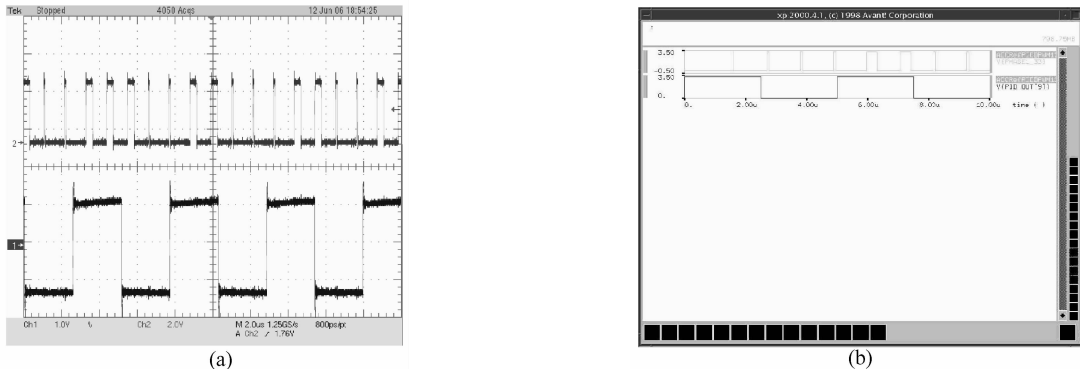


图 7 (a) 输入信号动态变化时的测试结果; (b) 输入信号动态变化时的仿真结果

Fig. 7 (a) Test waveform when input signal changes; (b) Simulation waveform when input signal changes

表 2 国外各种 PWM 实现方法的结果与本文的设计的比较
Table 2 Other implements of DPWM compare with the design presented in this paper

实现方式	输入电压	开关频率	有效 ADC 精度	有效 PWM 精度	相位数
采用 dither 方式 ^[5]	3.3V	5MHz	n/a	9bit	1
采用混合方式 ^[6]	5V	250kHz	10mV(3.32bit)	10bit	4
本文设计	3.3V	1MHz	10mV(3.58bit)	11bit	4

表 3 MIC22XX 系列同本文设计的比较

Table 3 MIC22XX series compare with the design presented in this paper

芯片型号	开关频率	最低输出电压	输出电压
MIC2205	2MHz	1V	固定输出电压
MIC2285	8MHz	1V	ADJ
本文设计	1MHz	1.1V	1.1~1.85V

实验结果表明,当输入信号动态变化的时候,DPWM 可以很好地随着输入信号的变化改变输出占空比,符合设计要求.表 2 给出了国外各种 PWM 实现方法的结果与本文的设计的比较.

在和模拟设计的产品的比较中,业界目前第一款 8MHz 的开关频率电压控制器 MIC2285 以及其相关系列的参数和本文的设计的比较如表 3 所示.

和模拟设计相比,DPWM 在输出电压的可调可控性上有着数字控制独特的优势.

3.2 DPWM 的应用

由于本文 DPWM 模块主要应用于各种器件中电源模块上的 DC-DC 数字控制芯片,其主要由 ADC,PID,电压基准源(REF)和 DPWM 模块构成,测试时电路结构如图 8 所示.其中,滤波电容为 8000 μ F,每相电感为 390nH.

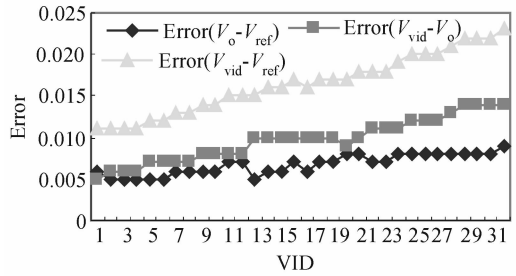


图 9 系统设置点误差

Fig.9 Offset of the system setpoint

具体测试时,采用 4 相输出,每相输出的电流为 20A,输出电压 1.1~1.85V,通过对基准电压源输入 VID 码进行控制,VID 码控制的最小阶梯为 25mV,控制范围是 1.1~1.85V. ADC 通过比较 REF 输出的参考电压和整个电路的输出电压(即反馈电压)输出误差信号,然后 PID 将误差信号数字化送到 DPWM 输出占空比可调信号.

图 9 为系统关键点的电压比较,包括实际输出电压 V_o 与基准输出 V_{ref} 的误差,VID 码确定的理论值 V_{vid} 与基准输出 V_{ref} 的误差以及 V_{vid} 与 V_o 的误差.

可以看出, V_o 与 V_{ref} 的误差反映了控制器的实际的静态调节能力,它们的最大误差为 9mV,该误差由控制器的稳态误差决定. V_{vid} 与 V_{ref} 最大的误差是 23mV 且随着 VID 码的增大而增大,该误差反映了可编程基准电路误差情况,主要决定于电流 DAC 与电流镜的匹配程度,很大程度上受到工艺影响.最终,实际输出电压 V_o 与 VID 码确定的理论值 V_{vid} 的最大误差为 14mV.即整个系统的设置点误差小于 15mV.

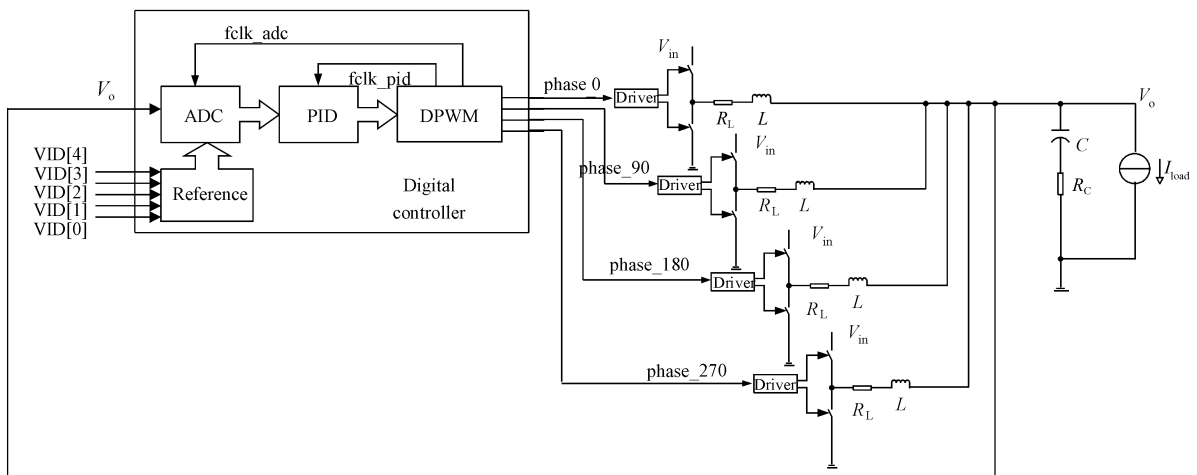


图 8 实验时电路结构

Fig.8 Experiment structrue

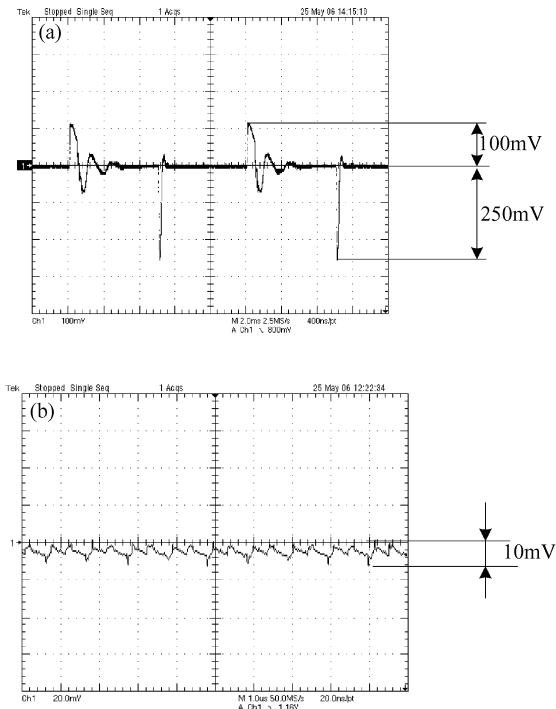


图 10 系统负载突变时候的输出波形以及稳定时候的输出波形纹波

Fig.10 (a) Output waveform when system load changes;(b) Output ripple when system is stable

测试时通过调整输出负载电流来观察输出电压的上冲和下冲,测试中,负载电流先从 40A 突变到 0.2A,然后再由 0.2A 突变到 40A.图 10(a)是系统负载突变时候的输出波形.图 10(b)为稳定时候的输出波形纹波.

测试结果表明,负载突变时候系统的上冲为 100mV,下冲为 250mV,系统稳定时输出波形的纹波为 10mV.图 11 是系统启动时候的输出电压波形.

可以看到没有过冲出现,启动时间为 259 μ s.

4 结论

本文设计了一个基于 Chartered 0.35 μ m 2P4MCMOS 工艺设计的 DPWM 芯片,经过测试

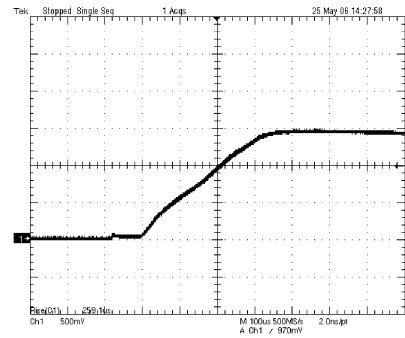


图 11 系统启动时输出电压波形

Fig.11 Output voltage waveform when system starts up

表明该芯片达到 950 kHz 的输出频率,4 相输出精度达到 11bit,4 相的相位差为 90°,可以在和 PID 的合作工作下实现从 12V 到 1.1~1.85V 的电压转换.

参考文献

- [1] Syed A, Ahmed E, Maksimovic D, et al. Digital pulse width modulator architectures. IEEE 35th Annual Power Electronics Specialists Conference, 2004, 6: 4689
- [2] Razavi B. Design of analog CMOS integrated circuits. Singapore: the McGraw-Hill Companies, Inc, 2005
- [3] Hu Jun, Li Wenhong. Delay-ring A/D and its application in DC/DC control chip. Journal of Fudan University (Natural Science), 2005, 4(1): 135 (in Chinese) [胡骏, 李文宏. 延迟环 A/D 及其在 DC/DC 控制芯片中的应用. 复旦大学学报(自然科学版), 2005 4(1): 135]
- [4] Syed A, Ahmed E, Maksimovic D. Digital PWM controller with feed-forward compensation. Applied Power Electronics Conference and Exposition, 2004, 1: 60
- [5] Lukic Z, Wang K, Prodic A. High-frequency digital controller for DC-DC converters based on multi-bit/spl Sigma-/spl Delta/pulse-width modulation. Applied Power Electronics Conference and Exposition, 2005, 1: 35
- [6] Xiao J W, Peterchev A V, Sanders S R. Architecture and IC implementation of a digital VRM controller. Power Electronics Specialists Conference, 2001, 1: 38
- [7] Blasko V. A hybrid PWM strategy combining modified space vector and triangle comparison methods. Power Electronics Specialists Conference, 1996, 2: 1872

Design and Implementation of a High-Resolution Hybrid DPWM*

Zhou Xi, Guo Jianmin, and Li Wenhong[†]

(*State Key Laboratory of ASIC & System, Fudan University, Shanghai 201203, China*)

Abstract: This paper presents a high-resolution hybrid digital pulse wide modulation (DPWM) design which can be used in DC-DC digital controllers. This design combines the designs based on an oscillator and a counter. The design of this paper has been taped out based on the process of Chartered 0.35 μ m 2P4M CMOS. The test results of the chip indicate that it can generate 4-phase output at the frequency of 950kHz while maintaining its 11bit resolution. Each phase has a phase difference of 90°.

Key words: DPWM; oscillator; hybrid

EEACC: 1250

Article ID: 0253-4177(2007)06-0967-08

* Project supported by the National Natural Science Foundation of China(No.60676013)

[†] Corresponding author. Email: wenhongli@fudan.edu.cn

Received 14 July 2006, revised manuscript received 9 February 2007