

一种新型结构的静电感应晶体管^{*}

唐莹^{1,†} 刘肃¹ 李思渊¹ 吴蓉² 常鹏¹

(1 兰州大学物理科学与技术学院微电子学研究所, 兰州 730000)

(2 兰州交通大学电子与信息工程学院电子科学与技术系, 兰州 730070)

摘要: 提出了一种新型结构的静电感应器件,设计了一道环绕的深槽,用以切断寄生效应.静电感应器件的寄生效应会导致器件性能的劣化甚至失效,文中提出了寄生效应的模型,并用 PSPICE 进行了仿真模拟,数值模拟结果和实验结果一致.实验表明这种深槽结构能够有效截断寄生路径,消除寄生电流的影响,优化器件性能.同时,文章详细描述了这种器件的设计和制造工艺.

关键词: 静电感应晶体管; 深槽结构; 寄生效应; 深槽腐蚀

PACC: 6855; 7340Q; 7340T **EEACC:** 2550; 2560R

中图分类号: TN386.6 **文献标识码:** A **文章编号:** 0253-4177(2007)06-0918-05

1 引言

静电感应器件(SID)的沟道尺寸又窄又短,微小尺寸效应明显,其电学性能对几何结构、尺寸、材料参数以及工艺制造参数的变化异常敏感,工艺难度很大^[1-8].实验中发现,器件的寄生效应会导致器件性能的劣化甚至失效,尤其是芯片边界不规则的寄生电流 I_{para} 的存在,不仅造成了阻断态下的漏电增大,严重时甚至导致 $I-V$ 特性异常,造成器件性能的极大劣化,并降低器件的成品率.为了消除器件的寄生效应,特别是寄生电流的影响,我们提出了一种新型结构的静电感应器件,通过深槽结构,消除和切断寄生效应的影响.本文以静电感应晶体管为例,建立了器件的寄生效应模型,并进行模拟,实验结果与模拟结果完全吻合.这种深槽结构不仅有效切断了有源区与芯片边界的电性联系,消除了器件的寄生效应,同时还改善了栅源击穿曲线和提高了阻断电压,提高了器件的质量和成品率.本文对制造工艺也进行了研究与探讨.

2 寄生效应模型及模拟

图 1 为静电感应晶体管(SIT)和器件寄生效应的示意图.从源极 S 注入的电子,一部分经过外延层(n-epi)、沟道区、漂移区回到漏极 D,形成漏电流 I_D ;另一部分则横穿过外延层,绕过边栅墙、从栅墙外侧、漂移区回到漏极 D,形成了不规则的寄生电流

I_{para} ;另外,还有 npn 晶体管的寄生成分.这些寄生效应的存在,造成阻断态下漏电增大,尤其以寄生电流 I_{para} 为最,因此消除器件的寄生效应,特别是 I_{para} 是非常必要的.边栅墙的外侧距芯片边界(划片边界)约 $600\mu\text{m}$,远远大于栅体间的距离(大约 $6\sim 8\mu\text{m}$), I_{para} 的影响是无法忽略的.寄生效应可用图 2(a)的等效电路粗略表示.寄生电阻越小,寄生电流 I_{para} 越大,严重时甚至使 $I-V$ 特性无法正常显示而表现出异常特性,如图 2(b)所示,栅压调变微弱,各级曲线聚集在一起无法分辨.从图 1 可以看出,寄生电流 I_{para} 流过的区间,等效于两个串联电阻,分别为外延层横向寄生电阻 R_1 和芯片边界寄生电阻 R_2 .整个器件就相当于 SIT 与寄生电阻的并联.外延层

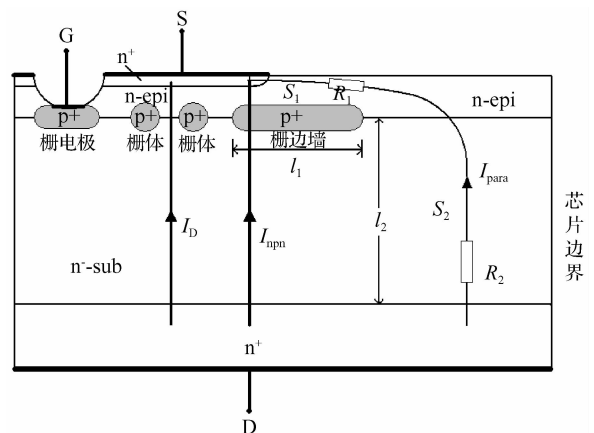


图 1 SIT 及寄生效应示意图

Fig.1 Schematic view of SIT and parasitical effects

^{*} 甘肃省自然科学基金资助项目(批准号:3ZS051-A25-034)

[†] 通信作者,Email:tangyin02@st.lzu.edu.cn

2006-11-20 收到,2007-02-12 定稿

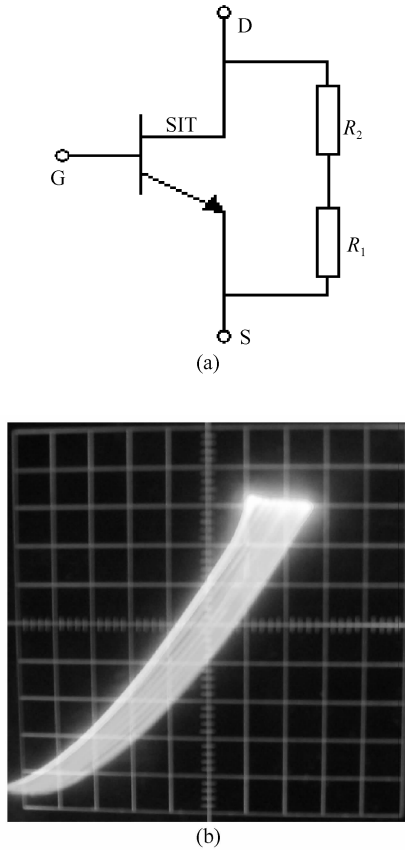


图 2 芯片寄生效应及其对 SIT $I-V$ 特性的影响 (a)SIT 寄生效应的等效电路图;(b)过小的寄生电阻导致严重寄生效应时的异常特性 ($x:10V/div; y:10mA/div$)
 Fig.2 Parasitical effects of SIT and the abnormal $I-V$ characteristic (a) Equivalent circuit of parasitical effects of SIT; (b) Severe parasitical effects with too small parasitical resistance lead to abnormal $I-V$ characteristic ($x:10V/div; y:10mA/div$)

的耗尽程度与栅压有关, R_1 随负栅压的增加略有增大, 但由于电势最低点并不在外延层, 而在沟道中, 因此电阻 R_1 的大小受栅控十分微弱. 栅源 pn 结反向压降增大时, 耗尽层向划片边界的扩展小, 电阻 R_2 和栅压几乎无关, 而与边栅墙到划片边界的距离有关. 又因为漏电流从栅墙流过的成分很微小, 因此 R_2 的有效电流截面会横向扩展到边栅墙下方.

外延层的方块电阻 R_{\square} 约在 $10^4 \Omega/\square$ 以上, 其厚度 T 按 $10\mu m$ 计算, 则外延层电阻率 ρ_{epi} 近似为: $\rho_{epi} = R_{\square} T \approx 10\Omega \cdot cm$. 针对图 1 中标明的器件的实际结构和材料参数: 边栅墙宽度 l_1 为 $260\mu m$, 栅墙平均周长近似取为 $1.97cm$, 长漂移区宽度 l_2 为 $250\mu m$, 划片间距为 $600\mu m$, 衬底材料的电阻率 ρ_{sub} 取平均值 $70\Omega \cdot cm$. S_1 为边栅墙上外延层的截面积, S_2 为芯片边界面积. 则寄生电阻 R_1 和 R_2 的大小可作近似估算:

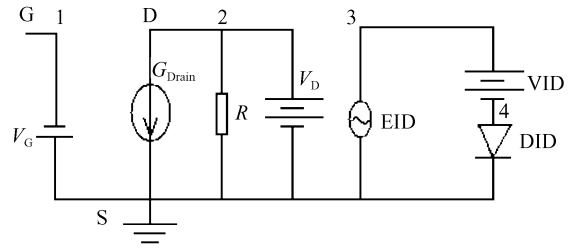


图 3 SIT 及寄生电阻在 PSPICE 中的模型图
 Fig.3 Illustration of model of SIT and parasitical resistances in PSPICE

$$R_1 = \rho_{epi} \frac{l_1}{S_1} = 10 \times \frac{260 \times 10^{-4}}{1.97 \times 10 \times 10^{-4}} \approx 132\Omega$$

$$R_2 = \rho_{sub} \frac{l_2}{S_2} = 70 \times \frac{250 \times 10^{-4}}{1.97 \times 600 \times 10^{-4}} \approx 15\Omega$$

两寄生电阻的串联值为: $R = R_1 + R_2 \approx 147\Omega$.

采用图 3 的电路图, 用 PSPICE 对其进行电路模拟. 漏电流 I_D 与偏压间的关系可近似写为^[9]:

$$I_D = I_0 \exp\left(-\frac{q\phi^*}{kT}\right) = I_0 \exp\left(\frac{q\phi_{min}}{kT}\right) \quad (1)$$

$$\phi_{min} = \eta\left(V_G + \frac{1}{\mu}V_A\right) \quad (2)$$

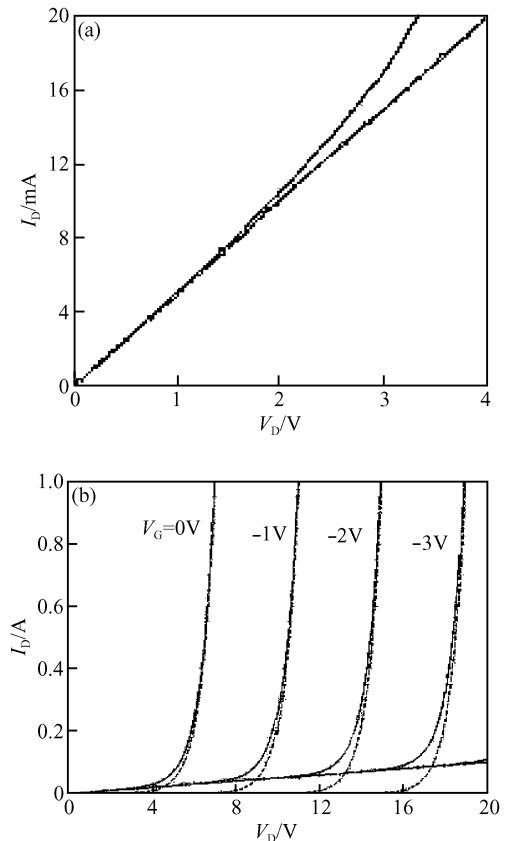


图 4 寄生效应模拟结果 (a)小电流范围;(b)大电流范围
 Fig.4 Simulation results of parasitical effects of SIT (a) $I-V$ characteristic in small current; (b) $I-V$ characteristic in large current

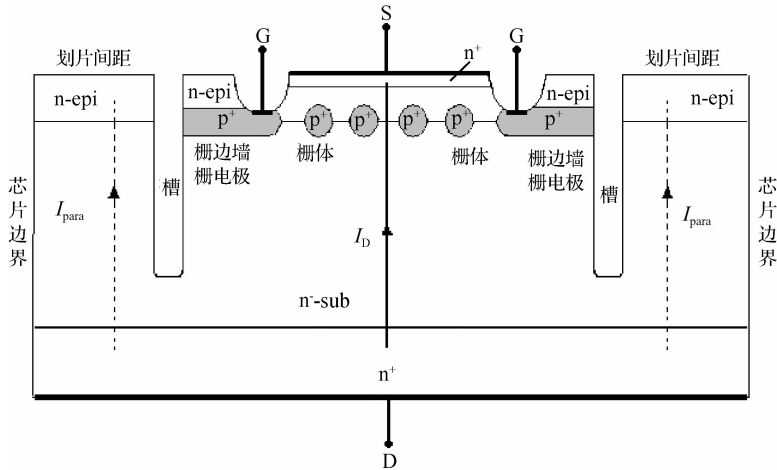


图 5 深槽环绕结构的 SIT 示意图

Fig.5 Schematic view of SIT with deep groove surrounding structure

其中 I_0 为饱和电流; ϕ_{\min} 为本征栅电势; η 为器件的栅效率; μ 为电压放大系数; V_G 是栅极电压; V_A 是阳极电压. 将 SIT 等效为压控电流源 G_{Drain} , 同时用二极管实现指数因子的表达式 (即由 EID, VID 和 DID 构成的模块). 模拟结果如图 4 所示, 其中图 4(a) 为小电流范围下的模拟结果, 为了更加清晰地显示寄生效应对特性的影响. 在图 4(b) 中给出了大电流范围下的模拟结果, 实线表示有寄生效应的 $I-V$ 特性, 虚线表示无寄生效应影响的正常 $I-V$ 特性. 可以看出, 在大电流下, $I-V$ 特性是准正常的. 在图 4(b) 中, 实线所示的特性曲线下端与 x 轴呈倾斜状, 说明漏电流很大. 如果寄生电阻更小, 则只能在更大的电流范围才能观察到准正常的 $I-V$ 特性. 寄生电阻越小, $I-V$ 特性就越失常. 如果不采用深槽环绕的结构, 如图 1 所示, 则低阻外延层还会进一步加剧寄生效应. 在某批次的外延中, 外延层方块电阻值过小 (小于 $10^2 \Omega/\square$), 此时的外延层横向寄生电阻 R_1 急剧减小至约 1Ω , 导致 $I-V$ 特性难以正常显示, 只能看到如图 2(b) 所示的异常特性, 各级曲线纠集在一起, 栅压调变十分微弱, 可见寄生效应的影响是非常严重的.

3 实验结果

在芯片边界容易出现电场集中, 会使击穿首先发生在边界区域, 导致阻断电压降低, 并产生不期望的寄生电流 I_{para} . 为了消除这些寄生效应, 我们提出了一种新型的深槽环绕结构, 图 5 为剖面示意图. 采用深槽结构后有效切断了有源区与划片边界的联系, 切断了寄生电流 I_{para} , 提高了阻断电压, 并将管

芯分割面与有源区隔离开来, 避免了分割处的各种缺陷对器件性能和质量的影响, 更有利于器件性能的优化和成品率的提高.

图 6 给出了刻槽与未刻槽的 SIT $I-V$ 特性的测试结果, 其他工艺条件相同. 与图 4 的仿真结果对比可以发现, 图 6(a) 与模拟结果一致, 受寄生效应的影响, SIT 在大电流下才显示出准正常的 $I-V$ 特性. 而采用了如图 5 所示的深槽环绕结构后, 则得到了优良的 $I-V$ 特性. 图 6(b) 与图 6(a) 相比, 漏电流显著减小, 这与模拟结果图 4(b) 完全吻合, 且阻断电压达到了 200V 以上. 实验结果表明, 与未采用深槽结构的 SIT 相比, 采用深槽环绕结构的 $I-V$ 特性有了明显的改善, 提高了阻断电压, 消除了寄生效应的影响.

4 制造工艺

主要制造工艺如下: 实验所用原始硅片为 n 型 NTD 单晶片, (111) 面, 衬底电阻率为 $60 \sim 80 \Omega \cdot \text{cm}$. 投片前, 所有硅片进行化学抛光, 条件是 $\text{HF} : \text{HNO}_3 : \text{HAC} = 1 : 8 : 1$, 45°C , 时间约 15s . 腐蚀后的硅片在表面热氧化生长一层 600nm 厚的 SiO_2 , 一次光刻后进行栅体 p^+ 扩硼, 预淀积方块电阻 $R_{\square} = 45\Omega/\square$, 扩散深度约 $8\mu\text{m}$. 去除氧化层进行高温本征外延, 外延层厚度约 $10\mu\text{m}$, 方块电阻 R_{\square} 约在 $10^4 \Omega/\square$ 以上. 生长 SiO_2 打开源区窗口, 进行有源区扩磷, 预淀积方块电阻 $R_{\square} = 3\Omega/\square$, 扩散深度约 $1.5\mu\text{m}$. 分别进行深槽腐蚀和台面腐蚀, 并热生长一层薄氧化层保护表面. 打开阴极、栅电极窗口, 真空溅射 Al-Ti-Pt , 背面溅射 Ni , 合金化保证良好的欧姆接触.

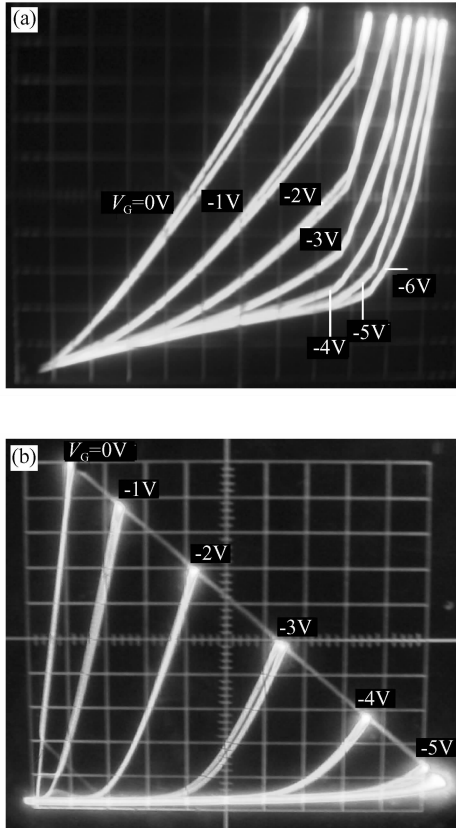


图6 不同结构的SIT I - V 特性对比 (a)无槽结构(x :10V/div; y :50mA/div); (b)新型深槽环绕结构(x :20V/div; y :50mA/div)

Fig.6 I - V characteristic of SIT with deep groove surrounding compared with non-groove structural SIT (a) Non-groove structural SIT (x :10V/div; y :50mA/div); (b) Deep groove surrounding structural SIT (x :20V/div; y :50mA/div)

在深槽结构的静电感应晶体管的制造工艺中,深槽的腐蚀是关键,也是工艺的难点.在结构设计中,深槽和有源区形成的槽台结构,都需要进行腐蚀,并且槽和台面的刻蚀深度不同,难以同时腐蚀.采用先槽后台的工艺程序,槽的侧棱和底部不能有效涂胶和曝光,而且容易存在缺陷.为了形成良好的欧姆接触,栅极引线孔需要再次扩硼,称为后继补硼工艺,这会造成槽体或局部槽体被硼污染,使阻断态下漏电增大,同时降低阻断电压,使得器件特性劣化.考虑到台面刻蚀深度较浅,保护相对容易,因此腐蚀工艺中我们选择先台面后槽.

槽版俯视图如图7所示,设计时槽版的内边界与扩硼版的边栅墙外侧重合.我们采用强酸湿法刻蚀.经验表明,腐蚀时间越长,腐蚀速率越慢,多次短时间腐蚀比一次长时间的腐蚀效果更佳,能得到更好的表面和槽形.腐蚀液中缓冲液的浓度不要过大,以免腐蚀速度过慢,表面掉胶,无法得到所需的槽

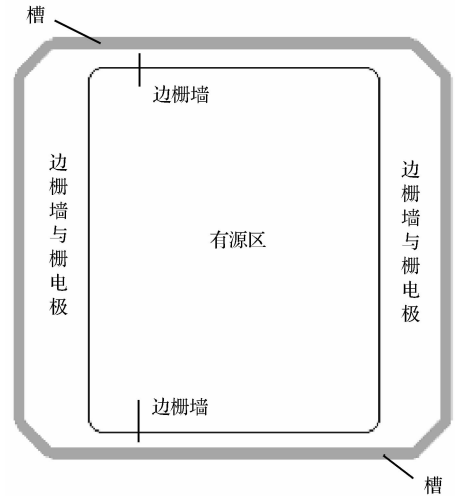


图7 刻槽版示意图

Fig.7 Schematic view of groove masking

深.为了防止栅墙-衬底pn结在阻断态下向划片边界扩展,槽深必须刻透栅墙,因此槽深至少要大于外延层厚度与栅体长度之和,并具有一定的过蚀度.实验结果显示,必须有足够的槽深,特性才能达到最佳,能够显著减小漏电流,并且提高阻断电压.

5 结论

芯片边界的寄生效应造成阻断态下漏电增大,寄生电阻过小甚至会使 I - V 特性异常.我们设计了一种新型的深槽环绕结构静电感应器件,提出了寄生效应模型,并对其进行模拟,模拟结果与实验结果吻合.实验证明,采用这种新型的深槽环绕结构,能有效消除寄生电流 I_{para} 的影响,改善栅源击穿曲线,提高阻断电压,优化器件的 I - V 特性.在制造工艺中宜采用先台后槽的工艺顺序,槽深应足够深.

芯片边界的寄生效应对各类静电感应器件都有明显的影响,均可采用这种深槽结构予以消除,改善器件性能.

致谢 感谢兰州大学微电子研究所的杨建红教授、何山虎教授和北京工业大学胡冬青博士为本文提供的有益的建议和修改.

参考文献

- [1] Onose H. Design consideration for 2kV SiC-SIT Proc. Int Symp on Semiconductor Devices and ICs, Osaka, 2001: 179
- [2] Nishizawa J, Motoya K, Itoh A. The 2.45GHz 36W CW Si recessed gate type SIT with high gain and high voltage operation. IEEE Trans Electron Devices, 2000, 47(2): 482
- [3] Chen Xin'an, Liu Su, Huang Qing'an. A static induction device manufactured by silicon direct bonding. Semicond Sci Technol, 2004, 19: 819

- [4] Wang Yongshun, Liu Su, Li Siyuan, et al. Electrical performance of static induction transistor with mixed I - V characteristics. *Chinese Journal of Semiconductors*, 2004, 25(3): 266
- [5] Wang Yongshun, Li Siyuan, Hu Dongqing. A microwave high power static induction transistor with double dielectrics gate structure. *Chinese Journal of Semiconductors*, 2004, 25(1): 19
- [6] Wang Yongshun, Li Siyuan, Hu Dongqing. Static induction devices with planar type buried gate. *Chinese Journal of Semiconductors*, 2004, 25(2): 126
- [7] Hu Dongqing, Li Siyuan, Wang Yongshun. Study on synchronous epitaxy of poly and single crystal silicon. *Chinese Journal of Semiconductors*, 2004, 25(11): 1381
- [8] Hu Dongqing, Li Siyuan, Wang Yongshun. Analysis on characteristic of static induction transistor using mirror method. *Chinese Journal of Semiconductors*, 2005, 26(2): 258
- [9] Li Siyuan. *Theory of the static induction devices*. Lanzhou: The Publishing House of Lanzhou University, 2002: 324 (in Chinese) [李思渊. 静电感应器件作用理论. 兰州: 兰州大学出版社, 2002: 324]

A Novel Structure for a Static Induction Transistor *

Tang Ying^{1,†}, Liu Su¹, Li Siyuan¹, Wu Rong², and Chang Peng¹

(1 *Institute of Microelectronics, School of Physical Science and Technology, Lanzhou University, Lanzhou 730000, China*)

(2 *School of Electronic and Information Engineering, Lanzhou Jiaotong University, Lanzhou 730070, China*)

Abstract: A new structure is presented for designing and fabricating a static induction transistor (SIT). The transistor is designed to be surrounded by a deep groove to cut off the various probable parasitic effects that may degrade the device performance, especially the parallel-current effect. A mathematical model for the parasitic effect of SIT is proposed and simulated with PSPICE. The simulation results agree with the experiments. The novel structure is effective for avoiding the parallel-current effect. The etching technique of the groove is also investigated in depth in this paper.

Key words: SIT; deep groove structure; parasitic effect; deep groove etching

PACC: 6855; 7340Q; 7340T **EEACC:** 2550; 2560R

Article ID: 0253-4177(2007)06-0918-05

* Project supported by the Natural Science Foundation of Gansu Province (No. 3ZS051-A25-034)

† Corresponding author. Email: tangyin02@st.lzu.edu.cn

Received 20 November 2006, revised manuscript received 12 February 2007