

新型静电泄放保护电路设计方法

王 源[†] 陈中建 贾 嵩 鲁文高 傅一玲 吉利久

(北京大学微电子研究院, 北京 100871)

摘要: 提出了一种新的静电泄放(electrostatic discharge,ESD)保护电路设计方法.相比传统以经验为基础、采用电路设计和硅片验证之间反复实验的 ESD 设计方法,新方法降低了成本,缩短了设计周期.利用该方法完成了一套基于 0.5 μm CMOS 工艺、带 ESD 保护电路的输入输出单元库设计,该单元库通过了 5kV 的人体模型 ESD 测试.

关键词: 静电泄放; 人体模型; MOSFET; 输入输出单元库

PACC: 4110D; 4400; 7340L **EEACC:** 5110; 2560; 1280

中图分类号: TN402 **文献标识码:** A **文章编号:** 0253-4177(2007)07-1156-05

1 引言

集成电路(integrated circuits,ICs)的抗静电泄放(electrostatic discharge,ESD)能力是衡量 ICs 产品可靠性的重要性能指标.据统计,ICs 产品的电致失效中大约有 30%~40%与 ESD 冲击相关^[1].随着 CMOS 工艺不断发展,集成电路的特征尺寸逐渐减小,当集成电路发展到亚微米和深亚微米工艺,器件的栅长、栅氧化层厚度、结深、外延层厚度都会变得很小,再加上漏区轻掺杂(lightly-doped drain, LDD)和硅化物技术(silicide),这些工艺的改进在大幅度提高电路性能(速度和功耗)和集成度的同时,却使得内部电路更容易遭受 ESD 冲击而失效,从而大大降低了 ICs 产品的抗 ESD 能力^[2~4].为了提高 ICs 产品的抗 ESD 能力,高可靠性的 ICs 产品都要进行 ESD 保护电路的设计.常用的 ESD 保护电路设计方法是:以 ESD 工程师的经验为基础,采用电路设计和硅片验证之间反复实验,最终达到设计目标.该方法存在的问题是成本高,周期长.很明显,这种反复实验的方法已不再适用于现在 ICs 的 ESD 保护设计.

本文给出了一种新的 ESD 设计方法,该方法中 ESD 保护电路的工艺和器件模拟、电路设计、版图优化设计等反复实验过程均完成于硅片验证之前,大大降低了原设计方法中设计和硅片验证之间反复实验带来的时间和成本的增加.并且用准真实 ESD 过程模拟代替了原设计方法中的恒压冲击.利用该方法,作者完成了一套基于上华(CSMC)0.5 μm CMOS 工艺、带 ESD 保护的输入输出单元库(In-

put/Output library, I/O 库)设计,该 I/O 库通过了 5kV 的人体模型(human body model, HBM) ESD 测试.

2 新型 ESD 设计方法

图 1 给出了本文提出的一种新的 ESD 设计方法,其步骤分为:定义 ESD 特征参数,准真实 ESD 过程模拟,版图级优化设计,硅片验证和芯片 ESD 冲击测试.

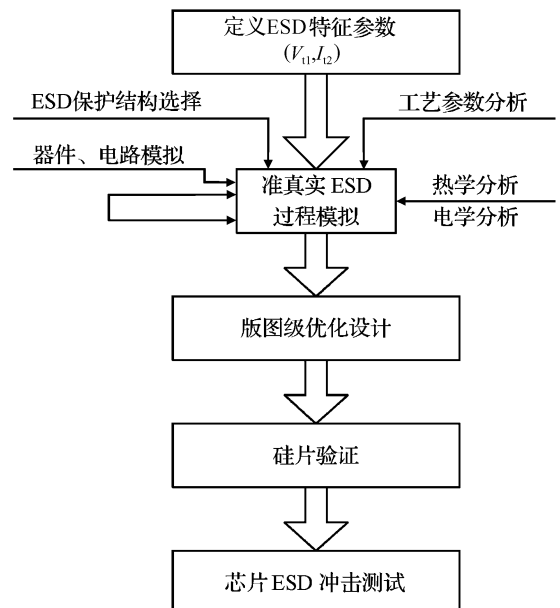


图 1 ESD 保护电路的设计流程
Fig. 1 Flows of ESD protection circuit design

[†] 通信作者. Email: wangyuan@ime.pku.edu.cn
2007-01-25 收到, 2007-03-14 定稿

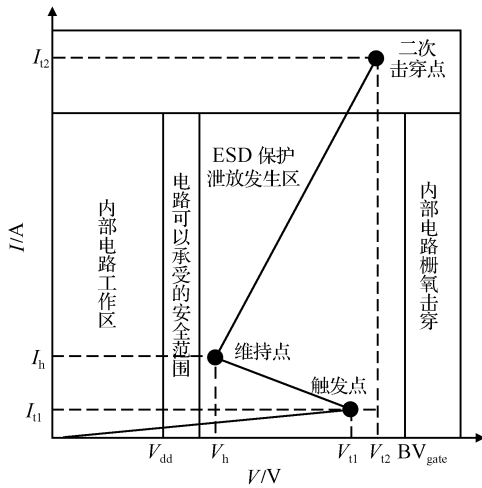


图2 ESD保护结构的特征参数

Fig. 2 Characteristic parameters of ESD protection structures

2.1 定义 ESD 特征参数

ESD 保护器件主要特征参数如图 2 所示,包括触发电压 V_{t1} 和电流 I_{t1} ;保持电压 V_h 和电流 I_h ;以及二次击穿电压 V_{t2} 和电流 I_{t2} .而触发电压 V_{t1} 和二次击穿电流 I_{t2} 则是上述参数中最关键的两项.

触发电压 V_{t1} 决定了 ESD 保护电路开始工作的初始条件.过低的 V_{t1} 容易导致 ESD 保护电路误触发,影响内部电路正常工作;反之,过高的 V_{t1} 会导致 ESD 保护电路无法及时开启泄放 ESD 电荷,造成内部电路损伤.因此,通常 V_{t1} 必须满足下面的等式:

$$V_{dd} < V_{t1} < \min(V_{t2}, BV_{gate}) \quad (1)$$

其中 V_{dd} 为电路的电源电压; BV_{gate} 为内部电路的栅氧击穿电压(CSMC 的 $0.5\mu\text{m}$ 工艺中 $V_{dd} = 5\text{V}$, $BV_{gate} = 12\text{V}$).常用的 ESD 保护结构中,如场效应管(MOSFET)、可控硅管(silicon controlled rectifier, SCR)的触发电压 V_{t1} 取决于其 pn 结的击穿电压 BV_{junc} ,即 $V_{t1} = BV_{junc}$.随着 ICs 特征尺寸的不断减小, BV_{junc} 和 BV_{gate} 也由原来远大于 V_{dd} 逐渐向 V_{dd} 靠近,这会大大增加 ESD 保护电路误触发的可能.由此,本设计方法给出了 V_{t1} 的取值来避免其选择不当所造成的保护失效.

$$V_{t1} = V_{dd} \times 110\% \quad (2)$$

二次击穿电流 I_{t2} 决定了 ESD 保护电路能够承受的最大冲击电压,称为 ESD 失效阈值(ESD failure threshold voltage, ESDV).采用 HBM 测试模型时,本设计方法给出的 I_{t2} 计算方法如(3)式所示:

$$I_{t2} = \frac{ESDV}{R_{HBM} + R_L} \approx \frac{ESDV}{1500\Omega} \quad (3)$$

其中 R_{HBM} ($= 1500\Omega$) 和 R_L 分别是 HBM 模型和待测电路的等效电阻; ESDV 是设计预期获得的

ESD 失效阈值.

2.2 准真实 ESD 过程模拟

该过程包括了 ESD 保护电路的工艺级、器件级和电路级模拟,是整个新设计方法的核心部分.

第一步,根据上述定义的 ESD 特征参数选择适用的 ESD 保护结构.常用的 ESD 保护结构有二极管、场氧器件(field-oxide-device, FOD)、MOSFET 和 SCR 等.其中,SCR 管和 FOD 管分别由于触发电压 V_{t1} 过高(SCR 管的 $V_{t1} \approx 15\text{V} > BV_{gate}$)和二次击穿电流密度 J_{t2} 过低(FOD 管 J_{t2} 低意味着获得同样的 ESDV 所需器件面积远大于其他结构)不适用于本文的设计.本文采用的是利用二极管和栅端接地的 MOSFET (gate-grounded-MOSFET, GGMOS)组合而成的主次两级 ESD 保护电路,具体电路结构如图 3 所示.图中 B 点的二极管 D_n 和 D_p 作为次要泄放通路,由于其触发电压 $V_{t1, diode}$ 低($= V_{dd} + V_{on} \approx 5.7\text{V}$)率先开启,泄放 ESD 电荷到接地端;泄放电流 I_{ESD} 流过隔离电阻 R 会提高 A 点的电压 V_A ,使得 V_A 达到 GGMOS 管的触发电压 $V_{t1, GGMOS}$, GGMOS 管开启,成为主要泄放通路,泄放 ESD 电荷,最终完成对 B 点(连接到内部电路的栅端)的 ESD 冲击保护.

第二步,对选用的 ESD 保护器件进行工艺、器件和电路级仿真.本设计选用的主次两级 ESD 保护结构中二极管是相对比较简单,利用常用的电路仿真软件 HSPICE 即可完成.然而对于 GGMOS 而言,ESD 保护电路利用的是其在大电压、大电流情况下特殊的回归特性(snapback)来实现对内部电路的保护, HSPICE 由于缺少这一方面的模型因而无法完成相关的模拟.因此电路设计者需要借助工艺和器件的 EDA 工具来完成相应的仿真,本设计选用的是 ISE-TCAD.

首先,通过工艺仿真模拟产生 GGMOS 管的仿真网格,如图 4 所示.由于 ESD 冲击发生时, GGMOS 管的过热点集中在漏栅边界处,此处的网格应该划分得密集些.

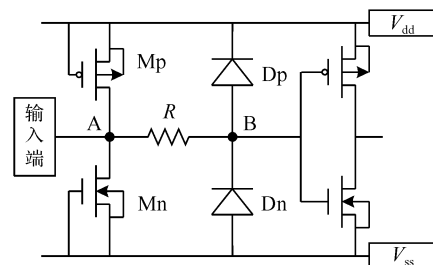


图3 主次两级 ESD 保护结构电路图

Fig. 3 A primary-second ESD protection structure

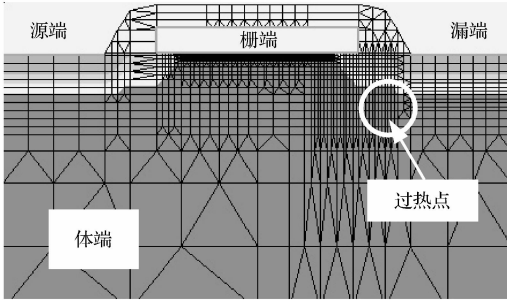


图 4 GG MOS 管的仿真网格图

Fig. 4 Generated mesh of a GG MOS structure

其次,进行器件级仿真.由于 ESD 冲击是一个热电相互作用的过程,因此设计者需求解一些相应的热电方程来完成相对精确模拟这个大电流、大电压、高热的过程.下面以求解二次击穿电流 I_{c2} 为例进行分析.

器件的二次击穿过程与晶格温度 T 、电子和空穴的电流密度 J_n 和 J_p 、电场 E 等相关.首先给出电流方程:

$$\begin{aligned} J_n &= qn\mu_n \cdot E + qD_n \cdot \nabla n + qnD_n^T \cdot \nabla T \\ J_p &= qp\mu_p \cdot E + qD_p \cdot \nabla p + qpD_p^T \cdot \nabla T \end{aligned} \quad (4)$$

其中 D_n 和 D_p 分别是电子和空穴的扩散系数; $D_n^T \approx D_n/2T$ 和 $D_p^T \approx D_p/2T$ 分别是电子和空穴的热扩散系数; ∇T 为温度梯度,表示温度对电流的影响.同时,可以列出器件的热扩散方程如下:

$$\frac{\partial T}{\partial t} - D \nabla^2(T) = \frac{H}{\rho C_p} \quad (5)$$

其中 ρ 是硅衬底的电阻率; C_p 是硅衬底的比热; D 是热扩散系数; H 是产生的热量,表示为:

$$\begin{aligned} H &= J \cdot E + (R - G)(\epsilon_g + 3kT) - \\ &\frac{J}{q} \left(\frac{3}{2} k(T) \nabla T + \frac{1}{2} \nabla \epsilon_g \right) \end{aligned} \quad (6)$$

其中 R 和 G 分别是产生复合率; ϵ_g 是能带宽度; $k(T)$ 为与温度相关的热导率,表示为:

$$k(T) = \frac{1}{0.03 + 1.56 \times 10^{-3} T + 1.65 \times 10^{-6} T^2} \quad (7)$$

结合相应的温度和电流边界条件,对(4)~(7)式进行求解,即可获得保护器件的 J_{c2} .

最后,进行电路级仿真.为了获得准真实的 ESD 冲击过程模拟,本设计采用的是如图 5 所示的等效电路.当开关连接到①端时,ESDV 对 HBM 模型等效电容 C_{HBM} 充电.当开关连接到②端时, C_{HBM} 通过 HBM 模型等效电阻 R_{HBM} 对保护结构进行冲击.和文献[5~7]仿真模型不同,本设计采用的等效仿真电路更能真实地反应实际 ESD 冲击时 ESD 电荷由多变少和 ESD 电流迅速增大后逐渐减小的过程,而并非如上述文献中的模型是一个恒定电平冲

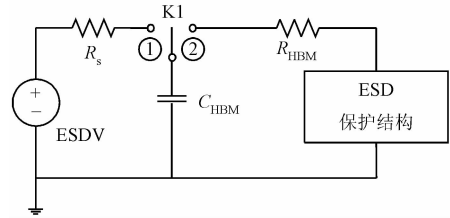


图 5 准真实 ESD 过程模拟等效电路

Fig. 5 Equivalent circuit for a quasi-real ESD event

击的过程.

在准真实 ESD 仿真模拟的过程中,任意一步仿真结果无法达到设计要求,设计者都需要回到上一步重新设计,如此反复验证,直至最终达到设计目标.这个反复验证的过程虽然也有一定时间和人力成本的消耗,但是它和传统的通过电路设计和流片测试反复验证的方法相比还是有很大优势的.因为根据现有集成电路工艺,加工的成本和耗时要远远大于设计所需的.

2.3 版图级优化设计

版图级优化设计是 ESD 保护电路设计中十分关键的一环.通过上述工艺、器件和电路级仿真,设计者可以得到所选 ESD 保护结构的相关尺寸参数,如二极管的面积,隔离电阻 R 的大小,GG MOS 管的栅长 L 、栅宽 W 等.在实际版图设计中,除了遵照这些器件尺寸参数之外,还必须注意以下几点,否则很可能无法获得预期的 ESDV.

第一,GG MOS 管采用多栅指结构.通常为了获得足够高的 ESDV,GG MOS 管的 $W \gg L$,所以需要采用多栅指结构.一方面有助于 ESD 电流的均匀分布,另一方面有助于散热.通常单个栅指的长度需小于 $40 \mu\text{m}$.

第二,当 GG MOS 管采用多栅指结构时,依旧会出现由于栅指的相对位置不同导致的电流和焦耳热分布不均,从而使得部分栅指承载过大电流和过多焦耳热提前烧毁.为了避免这一现象发生,采用的方法是增大漏端接触孔到栅边界的距离(drain contact to gate spacing, DCGS).这么做的目的是利用 DCGS 段的扩散电阻 R_{diff} 做整流电阻用,如图 6 所示.通常 DCGS 的取值是 $2 \sim 4 \mu\text{m}$.如果工艺中有硅化物阻挡层(salicide block, SAB), R_{diff} 的整流作用会更加明显.

第三,隔离电阻 R 的实现.通常隔离电阻 R 是用多晶硅来实现的.这样做带来的问题是散热不好.因为多晶硅下方是导热性较差的场氧化层(热导率为 $0.014 \text{W}/(\text{cm} \cdot ^\circ\text{C})$).当隔离电阻上流过较大的 ESD 泄放电流时,容易出现多晶硅熔断的现象.本文采用扩散区电阻来实现 R .由于扩散区下方硅衬

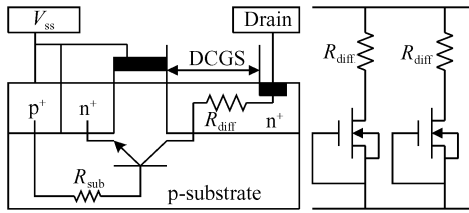


图 6 GGMOS 管中 DCGS 的整流作用

Fig. 6 DCGS's rectified action in GGMOS structure

底较好的散热性(热导率为 $1.45\text{W}/(\text{cm}\cdot^{\circ}\text{C})$),避免了 R 熔断的可能。

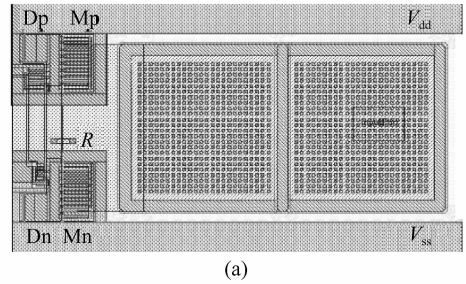
第四,为了避免区域过热造成热烧毁,版图设计中应尽可能采用圆角(或钝角)设计.相比直角,圆角(或钝角)的曲率半径较大,电力线分布较疏,散热面积也就越大.具体到单个器件:二极管大面积 $n+$ 端的四角需设计成 135° 的钝角;GGMOS 管漏栅边界处也需设计成圆角(或钝角)等。

3 I/O 库的设计

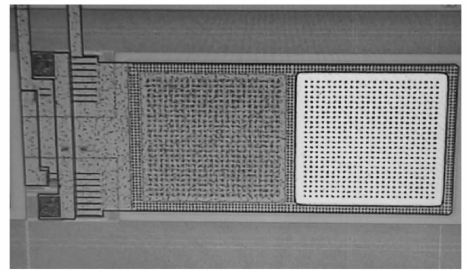
利用上述设计方法,作者完成了一套基于 CSMC $0.5\mu\text{m}$ CMOS 工艺、带 ESD 保护电路的 I/O 库设计.选用的 ESD 保护结构如图 3 所示. GGMOS 管的几项关键尺寸如下:为了避免在大电压情况下漏源发生穿通击穿,从而导致 ESD 保护电路提前开启,GGMOS 管的栅长 $L_G = 1.0\mu\text{m}$ ($>$ 特征尺寸 $0.5\mu\text{m}$);栅宽 W_G 决定着 ESDV,通过上述设计方法模拟得知,为了获得 $>5\text{kV}$ 的 ESDV, $W_G = 400\mu\text{m}$;采用了多栅指结构,单个栅指的长度 $L_F = 25\mu\text{m}$;漏端接触孔到栅边界距离 DCGS 同样也影响着 ESDV, $\text{DCGS} = 2\mu\text{m}$.图 7(a)是 I/O 库中一个输入单元的版图.需要特别说明的是,本设计中压焊点做了两块,一块做封装用,一块做裸片探针测试用。

4 实验验证

图 7(b)给出了 I/O 单元的芯片照片.芯片封装后,委托宜硕科技进行 HBM 模型的 ESD 冲击测试.测试标准是国际通用的 HBM 模型标准 MIL-STD-883F Method 3015.7^[8],失效标准是当测试电流 $I = 1\mu\text{A}$ 时测试前后电压的偏差超过 30%.表 1 给出了不同管脚的测试结果.除了管脚 13 之外,其它 8 个管脚均超过 6kV 的 ESD 冲击,达到了设计要求 ($\geq 5\text{kV}$).实际版图中,管脚 13 是距离电源和地最远的管脚,在 ESD 测试中泄放路径最长,由于泄放路径上金属线带来一定的压降,导致该管脚抗 ESD 能力的降低。



(a)



(b)

图 7 设计的 I/O 单元的版图(a)和芯片照片(b)

Fig. 7 Layout (a) and chip photography (b) of designed I/O cell

5 结论

本文提出了一种新的 ESD 保护电路设计方法.相比常用的以 ESD 工程师的经验为基础、采用电路设计和硅片验证之间反复实验、最终达到设计目标的 ESD 设计方法,新方法中 ESD 保护电路的工艺和器件模拟、电路设计、版图优化等反复实验过程均完成于硅片验证之前.由于现有集成电路设计加工过程中,加工的成本和耗时要远远大于设计所需的.所以,新方法大大降低了原设计方法中设计和硅片验证之间反复实验带来的成本的增加,并且缩短了设计周期.利用这种新的 ESD 设计方法,作者完成了一套基于 CSMC $0.5\mu\text{m}$ CMOS 工艺、带 ESD 保护电路的 I/O 库设计,该 I/O 库通过了 5kV 的 HBM 模型 ESD 测试。

表 1 ESD 冲击测试结果

Table 1 Results of ESD test

管脚标号	ESDV(HBM)
4	7kV
5	6.75kV
6	6.5kV
7	6.5kV
13	5.5kV
20	6.5kV
21	6.5kV
22	6.5kV
23	7.25kV

参考文献

- [1] Merrill R, Issaq E. ESD design methodology. IEEE Proc 15th EOS/ESD Symposium, 1993; 233
- [2] Amerasekera A, Gupta V, Vasanth K, et al. Analysis of snap-back behavior on the ESD capability of sub-0.20 μm nMOS. IEEE Proc 37th IRPS, 1999; 159
- [3] Iyer N M, Radhakrishnan M K. ESD reliability challenges for RF/mixed signal design and processing. IEEE Proc International Conference on VLSI Design, 2003; 20
- [4] Amerasekera A, McNeil V, Rodder M. Correlating drain junction scaling, silicide thickness, and lateral npn behavior with the ESD/EOS performance of a 0.25 μm CMOS process. IEDM, 1996; 893
- [5] Ker M D, Wu C Y, Cheng T, et al. Capacitor-couple ESD protection circuit for deep-submicron low-voltage CMOS ASIC. IEEE Trans VLSI Syst, 1996, 4(3); 307
- [6] Ker M D. Whole-chip ESD protection design with efficient VDD-to-VSS ESD clamp circuits for submicron CMOS VLSI. IEEE Trans Electron Devices, 1999, 46(1); 173
- [7] Ker M D, Chen T Y. Substrate-triggered technique for on-chip ESD protection design in a 0.18 μm salicided CMOS process. IEEE Trans Electron Devices, 2003, 50(4); 1050
- [8] MIL-STD-883F, Method 3015.7. Test method military standard for microelectronics. Washington DC: US Office of Naval Publications, 2004

Novel Electrostatic Discharge Protection Design Method

Wang Yuan[†], Chen Zhongjian, Jia Song, Lu Wengao, Fu Yiling, and Ji Lijiu

(*Institute of Microelectronics, Peking University, Beijing 100871, China*)

Abstract: A novel ESD protection design method is proposed instead of the traditional experience-based trial-and-error electrostatic discharge (ESD) design approach. The new method resolves the costly and time-consuming problems of high-performance ESD protection development in sub/deep-sub micron CMOS technology. The method is conducted and verified in a 0.5 μm CMOS process to accomplish I/O cell design of a CMOS ASIC library, whose human-body-model ESD level can be greater than 5kV.

Key words: electrostatic discharge; human body model; MOSFET; input/output cell library

PACC: 4110D; 4400; 7340L **EEACC:** 5110; 2560; 1280

Article ID: 0253-4177(2007)07-1156-05

[†] Corresponding author. Email: wangyuan@ime.pku.edu.cn

Received 25 January 2007, revised manuscript received 14 March 2007