

一种基于 CMOS 工艺的新型结构 ESD 保护电路*

张 冰[†] 柴常春 杨银堂

(西安电子科技大学微电子学院 宽禁带半导体材料与器件教育部重点实验室, 西安 710071)

摘要: 根据全芯片静电放电(ESD)损伤防护理论,设计了一种新型结构保护电路,采用 0.6 μm 标准 CMOS p 阱工艺进行了新型保护电路的多项目晶圆(MPW)投片验证.通过对同一 MPW 中的新型结构 ESD 保护电路和具有同样宽长比的传统栅极接地 MOS(GG-nMOS)保护电路的传输线脉冲测试,结果表明在不增加额外工艺步骤的前提下,本文设计的新型结构 ESD 保护电路芯片面积减少了约 22%,静态电流更低,而抗 ESD 电压提高了近 32%.该保护电路通过了 5kV 的人体模型测试.

关键词: 静电放电; 保护电路; 传输线脉冲; 人体模型

EEACC: 0170N; 2570A; 2570D

中图分类号: TN406

文献标识码: A

文章编号: 0253-4177(2008)09-1808-05

1 引言

随着 CMOS IC 栅氧厚度和特征尺寸的不断减小,导致了 MOS 器件对于高压和大电流承受能力的不断下降,而静电放电(electrostatic discharge, ESD)对 CMOS IC 可靠性的影响更为显著.据统计,30%以上的芯片失效是由 ESD 引起的^[1],因此 ESD 保护电路及结构的设计成为 IC 可靠性设计的重要方面之一.目前常用的 ESD 保护电路结构和功能其主流是基于栅极接地 nMOS(gate grounded nMOS, GG-nMOS)保护和可控硅保护等加以实现的^[1],但却存在着占用芯片面积过大以及抗 ESD 电压有待提高等问题.

本文针对 GG-nMOS 保护电路的不足,根据全芯片 ESD 防护理论设计了一种与 GG-nMOS 保护电路具有同样宽长比且不增加任何工艺步骤的全新保护电路结构^[2].对宽长比同为 50 : 1(30 μm : 0.6 μm)的新型 ESD 保护电路和 GG-nMOS 保护电路进行了多项目晶圆(multi-project wafer, MPW)流片,对流片结果进行了测试及对比分析.测试结果表明,新型结构 ESD 保护电路的防护能力比具有相同宽长比的传统 GG-nMOS 保护电路的防静电防护能力提高了约 32%,且占有芯片面积更小、静态电流更低.

2 ESD 保护原理及电路设计

保护电路为 CMOS IC 在 ESD 放电时提供低阻泄放通道,由于人体模型(human-body mode, HBM)的 ESD 电压来自外界,所以 ESD 保护电路通常布局在压焊点(PAD)附近.

CMOS IC 的输入 PAD 一般都是器件的栅极,而栅氧化层极易被 ESD 击穿,因此在输入 PAD 旁需增加 ESD 保护电路以保护输入级器件.另外由于 V_{DD} 与 V_{SS}

管脚之间也可能遭受 ESD 放电,因此在 V_{DD} 的 PAD 与 V_{SS} 的 PAD 旁也要设计 ESD 保护电路.通常在设计 ESD 保护电路时除要达到所需的防护能力外,要求保护电路在 IC 正常工作和进行各种操作时对电路内部功能(性能)的影响要尽可能小,也应尽力降低 ESD 保护电路的成本,例如不增加芯片面积以及制造工序等.

GG-nMOS 是目前成熟且为工业界广泛应用的 ESD 保护电路结构之一,图 1 是一个典型的 GG-nMOS 及其寄生 npn 管示意图.由于栅、源、衬底均接地,始终不能形成导电沟道, MOS 管无法开启.当在漏极和地之间施加一个正向的 ESD 脉冲时,漏极电压上升直至反偏的漏/衬结发生雪崩击穿,大量空穴从漏极流入衬底,使衬底电位升高,升高到一定程度时使源/衬结正偏,寄生 npn 管开启(漏极电压为 V_{cl}),GG-nMOS 进入微分负值区,此时寄生 npn 管中漏极到衬底电压就从最大值 V_{cl} 下降,达到维持电压 V_{sp} 后, npn 管工作于自偏置

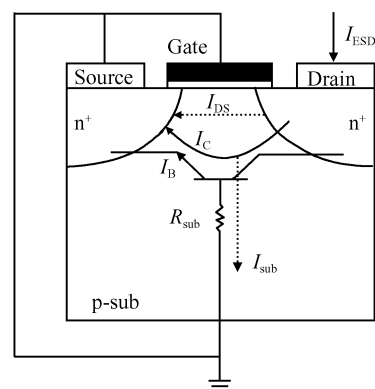


图 1 GG-nMOS 及其寄生 npn 管示意图

Fig.1 Cross section of GG-nMOS and its parasitical npn structure

* 国家自然科学基金资助项目(批准号:60776034)

[†] 通信作者. Email: zbplus@hotmail.com

2007-11-29 收到, 2008-05-25 定稿

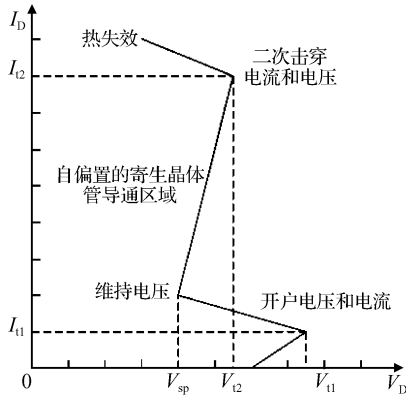


图 2 GG-nMOS 典型 TLP 特性曲线
Fig. 2 Typical TLP curve of GG-nMOS

模式,大部分的 ESD 电流由寄生的 npn 管双极结构维持,即 Snapback 传导模式.此时 ESD 电流经由衬底流向源端,电流驱动能力远远高于表面沟道的导通能力,直到二次击穿. ESD 作用下 GG-nMOS 典型传输线脉冲(transmission line pulse, TLP)测试的 $I-V$ 特性曲线如图 2 所示^[3~5].

图 2 表明为了得到更好的抗 ESD 能力,通常需要降低 V_{t1} 和增加 V_{t2} ,降低 V_{t1} 以保证在保护电路触发之前,电压不会升高到使内部电路受损的程度,而增加 V_{t2} 最常用的方法是增加保护管的面积(采用多指条晶体管),相当于多单指条 nMOS 器件并联^[6].由于工艺误差,各管导通电压有所不同,通常 $V_{t1} > V_{t2}$ (未经特别设计的管子更是如此),因此在 ESD 放电时通常会出现 2, 3 个管子导通发生二次击穿,而其他管子还未开启的情况,因而使抗 ESD 能力大大下降.若指条的 $V_{t1} < V_{t2}$ 则触发的指条在热击穿之前,电压就升高到可以令其他指条触发,实现指条的逐个开启.为克服多指条 GG-nMOS 的不均匀导通,通常采用栅耦合技术(gate-couple technique)技术^[7,8],但这会导致增加芯片面积,同时由于耦合时需要独立电容的作用,而该电容需要在 MOS 管漏端单独制作,这又致使工艺更加复杂.

综合以上分析,本文设计的全新电路结构不仅具有更低的开启电压 V_{t1} 和更高的二次击穿电压 V_{t2} ,而且电路结构更加简单,占用芯片面积较小.根据全芯片静电放电损伤防护理论,此次设计不仅在每个引线端设置了新型 ESD 保护电路,而且 $V_{DD}-V_{SS}$ 之间也有 supply clamp 保护电路,对 $V_{DD}-V_{SS}$ 之间的放电进行保护.文中采用的回型结构的保护电路设计,是为了防止大电流集边效应和峰值放电.由于本设计中内部测试芯片为高速 MOS 器件,为了减小对其功率增益、延迟等电学性能的影响,串联在 ESD 保护电路中的限流多晶硅电阻阻值较小(约 $1.2k\Omega$),而 DCGS(drain contact to gate spacing)和 SCGS(source contact to gate spacing)设计的较大,这样就可以提升保护电路的 ESD 强度.新型抗 ESD 保护电路如图 3 所示,图 4 是相应的版图.

图 3 中以 n 管为例,当输入电压为 0 时,nMOS 管不能形成导电沟道.当输入电压为 V_{DD} 时,导电沟道虽

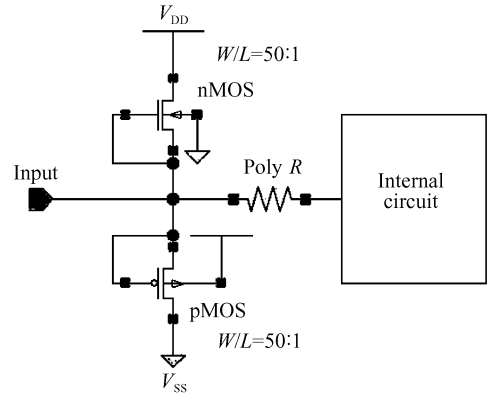


图 3 新型抗 ESD 保护电路
Fig. 3 New ESD protection circuit

然形成,但由于 $V_{DS} = 0$,MOS 管仍不能导通.当在漏极和地之间施加一个正向的 ESD 脉冲(V_{ESD}^+)时,如图 5 所示,由于 $V_{ESD}^+ > V_{DD}$,则 $V_{DS} > 0$,沟道有电流流过,由于 $V_{DS} = V_{GS} > V_{GS} - V_T$,MOS 管处于饱和区.随着漏端电压升高,反偏漏/衬结势垒区电场增强,继续升高时漏/衬结势垒区发生倍增效应,反向电流迅速增大,漏/衬结雪崩击穿,MOS 管由饱和区进入雪崩区,漏电流 I_{DS} 剧烈增大^[9].同时,根据 GG-nMOS 泄放原理,随着漏端电压继续升高,衬底电位升高,直至源/衬结正偏,寄生 npn 管开启,寄生 npn 管开始泄放电流,因此电流从表面沟道和寄生 npn 管两条通路同时得以泄放.由于 (1)漏雪崩击穿点(栅漏交叠区域)附近会产生大量的载流子(电子-空穴对),使电流密度急剧增大;(2)源漏端接触电阻的作用使源漏接触边缘产生电流集中效应,使漏接触区前端边缘附近电流密度较大,电流密度峰值向漏接触边缘移动;(3)大量电荷到达源区附近会立刻通过 V_{SS} 端泄放到外部,不会在源区附近堆积,所以寄生 npn 管漏/衬结雪崩击穿点发生的位置是新型结构中 GG-nMOS 部分抗 ESD 能力强弱的设计关键.

3 测试与分析

为了便于比较和确定所设计的新型结构 ESD 保护电路的性能,本文分别设计了具有完全相等的宽长比($W/L = 50 : 1$)的传统 GG-nMOS 保护电路和具有新型

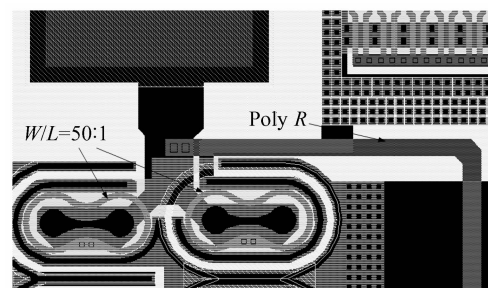


图 4 ESD 保护电路版图
Fig. 4 Layout of protection circuit of ESD

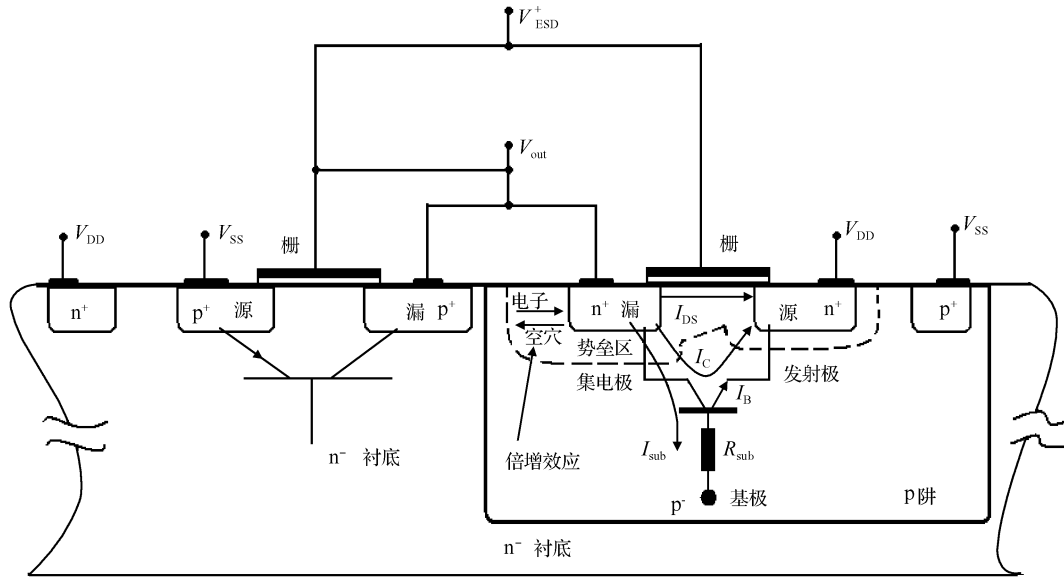


图 5 新型结构电路的剖面结构及加正向脉冲时的 n 管泄放电流情况

Fig. 5 Cross section of new structure circuit and the situation of nMOS's discharge with positive impulse

结构的 ESD 保护电路, 并进行了 MPW 流片和封装, 对封装后的 MPW 上的两种保护电路分别进行了测试与比较. 样品的 TLP 测试是在信息产业部五所分析中心完成的, 测试中 TLP 测试仪电流最大值为 8A, 漏电流达到 1mA 时, 器件二次击穿 (HBM 测试的人体等效电阻为 1500kΩ), 其测试结果如图 6 和图 7 所示.

图 6 是新型结构 ESD 保护电路的 TLP 测试结果, 而图 7 是具有同样宽长比的 GG-nMOS 的 TLP 测试结果. 由此可见新型结构 ESD 保护电路其开启电压 V_{t1} 很低 (测试时将 V_{DD} 接地), 远小于传统的 GG-nMOS 保护电路的开启电压 (其开启电压 V_{t1} 约为 13V), 而它的二次击穿电流 I_{t2} 和二次击穿电压 V_{t2} 则远大于传统的 GG-nMOS 结构. 对比图 6 和图 7 可见, ESD 保护电路

导通后电阻 $R_{ON} = \frac{V_{t2} - V_{SP}}{I_{t2} - I_{SP}}$, 新型结构保护电路的 R_{ON}

大于 GG-nMOS 保护电路中的导通电阻值, 其好处是使器件的 $I-V$ 曲线从维持电压点到二次击穿点的斜率减小, 电流随电压的变化放缓, 有利于在达到二次击穿前

电压就超过 V_{t1} . 同时, 新型结构的 ESD 保护电路在同样电压作用下其泄放电流也比较大, 因为这种结构同时存在两条泄放通道. 因缺少漏端二次击穿时的 $I-V$ 特性定量关系式, 所以只能通过定性的 TLP 测试数据推导 $I-V$ 特性关系. 图 6 中也存在有类似于图 7 的 Snapback 传导模式, 但相对不太明显, 这是由于 GG-nMOS 保护电路泄放是通过内部寄生 npn 晶体管工作在 Snapback 效应下完成的, 与沟道的长短关系并不密切. 而本文设计的新型结构的保护电路存在两条泄放通道, 且大电流主要通过沟道完成泄放, 所以 Snapback 效应并不明显, 这也导致了新型结构保护电路的泄放原理有别于传统的 GG-nMOS 保护电路. 据此本文设计并实现的新型 ESD 保护电路同时降低 V_{t1} 和增加 V_{t2} 这两项参数, 从而达到了提高 ESD 防护能力的设计目标.

为进一步对传统的 GG-nMOS 保护电路和新型结构保护电路的 ESD 防护电压以及其他电学性能加以比较, 对封装后的 MPW 样品还在香港科学园 Semiconductor Product Analysis and Design Enhancement

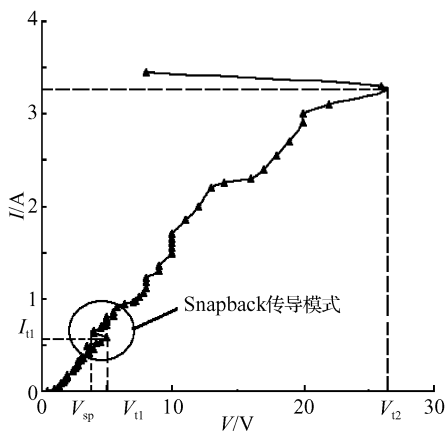


图 6 新型结构 TLP 特性曲线
Fig. 6 TLP curve of new structure

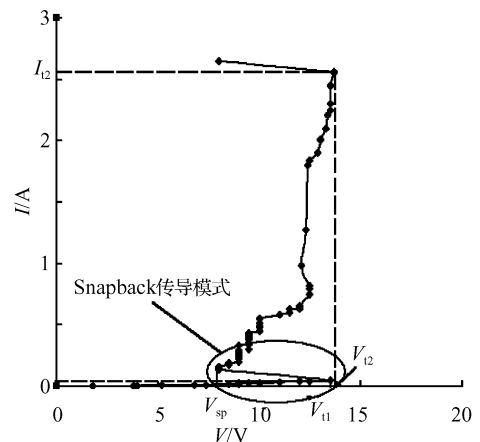


图 7 GG-nMOS TLP 特性曲线
Fig. 7 TLP curve of GG-nMOS

表1 传统 GG-nMOS 与新型结构样品失效分析测试结果
Table 1 Experimental results of traditional GG-nMOS's and new structure's samples

类别	ESD 电压		2000V	3000V	3700V	3800V	4900V	5000V	5400V	5500V
	样品	类型								
击穿电压	GG-nMOS		正常	正常	正常	击穿	-	-	-	-
	新型结构	输入端	正常	正常	正常	正常	正常	正常	正常	击穿
		输出端	正常	正常	正常	正常	正常	正常	击穿	-
功能测试	GG-nMOS		正常	正常	正常	Pin11: $V_{OL} = 0.4V$ $V_{OH} = 3.3V$	-	-	-	-
	新型结构	输入端	正常	正常	正常	正常	正常	正常	正常	V_{OH} 无法测量
		输出端	正常	正常	正常	正常	正常	V_{OH} 无法测量	-	-
电流测试	GG-nMOS		$2.4\mu A$	$17.0\mu A$	$19.3\mu A$	101.6 mA	-	-	-	-
	新型结构	输入端	$0.04\mu A$	$7.4\mu A$	$9.2\mu A$	$10.1\mu A$	$15.1\mu A$	$15.7\mu A$	$19.7\mu A$	$I_{il} > 100\text{ mA}$ $I_{ec} > 200\text{ mA}$
		输出端	$0.04\mu A$	$7.4\mu A$	$9.2\mu A$	$10.1\mu A$	$15.1\mu A$	$I_{il} > 100\text{ mA}$ $I_{ec} > 200\text{ mA}$	-	-

注： I_{ec} 为工作电流， $V_{DD} = 6V$ 时应小于 $20\mu A$ ； V_{OL} 为输出低电压， $V_{DD} = 6V$ 时应小于 $0.26V$ ； V_{OH} 为输出高电压， $V_{DD} = 6V$ 时应大于 $5.8V$ ； I_{il} 为低电平输入电流。

Center 用 Thermo KeyTek ZAPMASTER MK2 ESD & Latch-up Test System 静电测试仪进行了高压脉冲 HBM 抗静电测试,测试从 1000V 开始,脉宽为 100ns,电压脉冲步距为 100V.实测得到的 ESD 电压防护能力及性能对比结果如表 1 所示.在新型结构 ESD 保护电路的设计和研制过程中,为了研究栅至漏接触孔间的距离对抗 ESD 电压的影响,在版图设计中人为地将输入端漏接触孔到栅的距离设置为 $1.1\mu m$,该值大于输出端漏接触孔到栅 $0.8\mu m$ 的距离.经高压脉冲测试失效后的样品均采用显微镜检观察.结果表明,受 MPW 样品流片工艺线工艺水平限制,采用新型结构的输入端 ESD 保护电路在 5500V 时,因栅氧化层厚度不均匀,导致栅氧击穿而失效,同时也不排除栅氧化层在 TLP 测试和高压脉冲测试过程中积累了缺陷而产生了与时间有关的介质击穿 (time dependent dielectric breakdown, TDDB) 的可能;与之不同的是在 5000V 电压下输出端 ESD 保护失效,镜检表明此时是由于输出端漏接触孔上的金属电极与栅金属因金属的电迁徙而发生短路,从而导致保护失效.鉴于 5000V 失效样品中因栅氧击穿而发生失效的数量很少,据此推断采用 GG-nMOS 传统保护电路的样品在 3800V 时就失效极有可能是由于传统的 GG-nMOS 电路中的寄生双极 npn 晶体管发生二次击穿(热击穿)造成的,这部分的失效机理还有待进一步测试分析加以确认.出于全芯片保护理论的要求,IC 的抗 ESD 电压应取整个芯片上所有 PAD 防护电路的 ESD 电压最低值,因此最终导致此次测试的新型 ESD 保护电路上限抗 ESD 电压为 4900~5000V.上述测试结果同时表明,如果适当增加输入端和输出端保护电路中的漏接触孔到栅的距离,控制好栅氧化层质量和厚度均匀性,以及增大新型保护电路中 MOS 管的宽长比,以提高瞬时开启速度,并增大瞬时泄放电流,那么其 HBM 条件下抗 ESD 电压将有望超过 6000V.需要特别说明的是,本文测试过程中并没有针对新型结构 ESD 保护

电路的泄放电流响应时间进行独立测试,而是通过测试内部高速 CMOS 器件(最高工作频率为 60MHz)的功能是否达标来反映所设计的保护电路的响应时间.由表 1 测试结果可以看出,通过 HBM 条件下 5000V 电压测试后,在新型结构保护电路中的高速 CMOS 器件仍然可以正常工作,换言之,作者设计并实现的新型结构保护电路的响应频率至少可以达到 60MHz.

目前国内外的主流 ESD 保护技术仍是保护二极管,GG-nMOS 和 SCR,但是由于 ESD 保护电路往往是基于特定的保护要求而展开设计和开发的,尚无一种可以广泛适用于各种类型芯片的保护电路.作者所设计的 ESD 保护电路中含有逻辑单元,目前仅可在纯数字电路芯片中加以应用,而本文的研究结果如何向 RF、数模混合电路等应用领域拓展是今后的研究工作之一.上述研究表明,新型结构保护电路作为对传统 GG-nMOS 保护电路的改进,不仅具有比传统 GG-nMOS 保护电路更好的抗静电能力,同时它的静态电流也小于传统 GG-nMOS 保护电路,符合当今的低功耗设计理念.另外,新型结构的 ESD 保护电路与传统 GG-nMOS 保护电路具有相同的工艺流程而不增加任何额外工序,芯片面积 ($21\mu m^2$) 也比同样宽长比 (50 : 1) 的 GG-nMOS 保护电路 ($27\mu m^2$) 减少了 22%.

4 结束语

采用全芯片 ESD 防护理论设计并实现了一种新型结构 ESD 保护电路,MPW 流片测试结果表明,与同样宽长比的 GG-nMOS 电路相比,新型结构保护电路抗静电能力更强,导通电压更低,泄放电流更大,同时在芯片的静态电流、开启电压和占用芯片面积等方面也呈现出明显的优势,与当今深亚微米制造和低功耗设计理念的要求相符合.

参考文献

- [1] Ameraskera A, Duvvury C. ESD in silicon integrated circuits. 2nd ed. Chichester: John Wiley & Sons, 2002
- [2] Ker M D. Whole-chip ESD protection design with efficient V_{DD} -to- V_{SS} ESD clamp circuits for submicron CMOS VLSI. IEEE Trans Electron Devices, 1999, 46(1):173
- [3] Lee J C, Hoque M A, Croft G D, et al. A method for determining a transmission line pulse shape that produces equivalent results to human body model testing methods. EOS/ESD Symposium Proceedings, 2000:97
- [4] Chan T Y, Ker M D. Application of transmission-line-pulsing technique on ESD protection design in deep-submicron CMOS IC. Electronic Monthly, 2001, 72:106
- [5] Russ C C, Mergens M P J, Verhage K G, et al. GGSCRs; GG-nMOS trigger silicon controlled rectifiers for ESD protection in deep sub-micron CMOS processes. Proc EOS/ESD Symp, 2001:22
- [6] Luo Hongwei, En Yunfei, Yang Yintang, et al. ESD protection design for multi-finger nMOSFET. Journal of Circuits and Systems, 2004, 9(6):132 (in Chinese) [罗宏伟, 恩云飞, 杨银堂, 等. 多指条 nMOS 抗 ESD 设计技术. 电路与系统学报 2004, 9(6):132]
- [7] Du Ming, Hao Yue, Zhu Zhiwei. Design on ESD protection circuit with GG-nMOS structure in CMOS technology. Chinese Journal of Semiconductors, 2005, 26(8):1619 (in Chinese) [杜鸣, 郝跃, 朱志炜. CMOS 工艺中 GG-nMOS 结构 ESD 保护电路设计. 半导体学报, 2005, 26(8):1619]
- [8] Ker M D, Wu C Y, Chang H H. Capacitor-couple ESD protection circuit for deep-submicron low-voltage CMOS ASIC. IEEE Trans VLSI System, 1996, 4(3):307
- [9] Neamen D A. Semiconductor physics and devices; basic principles. 3rd ed. US: McGraw-Hill Education, 2002:305

A Novel ESD Protection Circuit Based on a CMOS Process*

Zhang Bing[†], Chai Changchun, and Yang Yintang*(Key Laboratory of the Ministry of Education for Wide Band-Gap Semiconductor Materials and Device, School of Microelectronics, Xidian University, Xi'an 710071, China)*

Abstract: A new electrostatic discharge (ESD) protection circuit based on a standard $0.6\mu\text{m}$ CMOS p-well process is designed according to the whole-chip ESD protection theory and verified by a multi-project wafer (MPW) fabrication. The characteristics of the new ESD protection structure and traditional gate grounded nMOS (GG-nMOS) protection circuit with the same channel ratio of width/length in the MPW are measured by a transmission line pulse generator system. The results show that the area of the new ESD protection circuit decreases about 30%. Lower static current and an increase in the failure voltage up to 30% are achieved compared to those of a GG-nMOS protection circuit with the same manufacturing process. An ESD failure voltage up to 5kV under human-body mode test conditions is obtained.

Key words: electrostatic discharge; protection circuit; transmission line pulse; human-body mode

EEACC: 0170N; 2570A; 2570D

Article ID: 0253-4177(2008)09-1808-05

* Project supported by the National Natural Science Foundation of China (No. 60776034)

[†] Corresponding author. Email: zbplus@hotmail.com

Received 29 November 2007, revised manuscript received 25 May 2008