

# 一种新型运放相位反转保护电路

汪西虎<sup>†</sup> 吴龙胜 刘佑宝

(西安微电子技术研究所, 西安 710054)

**摘要:** 在高噪声环境下, 如何抑制相位反转现象的发生, 是双极型和 JFET 型运放在电力电子、工业控制和汽车电子等领域应用中的一个重要问题. 基于运算放大器电路相位反转现象的发生机理, 针对现有抑制方法的不足, 提出了一种新型的相位反转保护电路. 该保护电路结构紧凑, 仅需 3 个双极型器件, 且当运放输入信号处于正常共模输入范围时, 对运放的性能参数, 如差模信号增益、建立时间和静态功耗等, 没有不利的影响. 理论分析与仿真结果表明, 该保护电路不仅避免了运放电路相位反转的发生, 而且有效地抑制了伴随相位反转的过流现象.

**关键词:** 运算放大器; 相位反转; 过流保护

**EEACC:** 1205; 1290

**中图分类号:** TN43

**文献标识码:** A

**文章编号:** 0253-4177(2008)09-1832-05

## 1 引言

单片集成运算放大器是一种多用途的线性器件, 除了可被用于实现对信号的基本数学操作, 如加、减、倍乘、积分和差分等, 还是构成复杂信号处理电路, 如稳压电源、滤波器、模-数转换器和数-模转换器等的关键部件.

相对于 MOS 型运放电路, 双极型运放电路具有较低的电压噪声和失调电压, 较高的电压增益等优点. 此外, 采用 JFET 晶体管替代输入差分对中双极晶体管的 BiFET 型运放, 在保留了双极型运放高带宽和高电流驱动能力等优点的同时, 使运放的输入电阻和压摆率得到大幅提高.

但是, 输入级采用双极型和 JFET 型晶体管的运放电路, 在严重的噪声干扰下, 易发生相位反转现象. 相位反转是运放输出信号的极性与输入差分信号的极性相反的一种错误状态, 它对电子系统的正常工作影响很大, 例如可造成伺服系统的死锁. 而伴随相位反转的过流现象, 则可造成运放电路中的器件发生参数漂移, 甚至失效.

本文介绍了运算放大器的相位反转以及伴随的过流现象, 并对通过改进运放输入级结构和附加保护电路来抑制相位反转的方法进行讨论. 在此基础上, 提出一种新型的相位反转保护电路. 该保护电路的设计, 充分考虑了对运放电路芯片面积、功耗和性能的影响, 仅通过三个双极型器件完成了对相位反转和过流的抑制. 采用高精度仿真工具 HSPICE 和 Epilsi 1.5 $\mu$ m BiCMOS 工艺的双极型器件模型, 进行了仿真验证. 结果表明, 该电路有效完成了对运放电路的相位反转与过流保护.

## 2 运放相位反转及其抑制

信号的相位是一个相对量, 运放差模输入信号的相位是指正向输入端信号  $V_P$  相对于负向输入端信号  $V_N$  的极性. 同样, 运放输出信号  $V_O$  的极性是运放输出信号相对于参考电位  $V_{REF}$  (双电源系统中一般为零电位, 单电源系统中一般为电源电压的一半) 的极性.

在正常工作条件下, 运算放大器电路的基本功能是对输入端差模信号进行放大, 即:

$$V_O - V_{REF} = A_V (V_P - V_N) \quad (1)$$

其中,  $A_V$  为运放开环差模增益. 由(1)式可知, 运放输出信号的极性与运放输入差模信号的极性一致, 即二者同相.

但是, 若因噪声或驱动电路的误操作, 使运放输入级中的双极型晶体管的集电结, 或 JFET 晶体管漏端寄生 pn 结发生正向导通, 则可造成运放输出信号与输入差模信号的相位不一致, 即相位反转. 以下结合图 1 给出的一个采用双极工艺的集成运放电路的典型结构, 对相位反转做进一步的说明.

图 1 中, npn 型双极晶体管 Q1~Q3 和电阻  $R_1 \sim R_2$  构成了差分对放大结构的运放输入级, D1~D2 表示 Q1~Q2 的集电结本征二极管; 双极晶体管 Q4~Q13、电阻  $R_3 \sim R_4$  和二极管 D3 构成了折叠的共射极-共基极放大结构的增益级; 输出级将增益级的输出节点与运放电路的负载隔离, 并为负载提供驱动电流.

为保证运放输入级中的双极晶体管 Q1~Q3 处于线性放大区, 则运放的共模输入信号范围 (common mode input range, CMIR) 为:

$$V_{BEQ1,2} + V_{BI} \leq CMIR \leq V_{CC} - I_{CQ1,2} R_{1,2} \quad (2)$$

当运放共模输入信号处于(2)式限定的范围, 图 1 中输入级的差分输出电压信号与运放的差分输入电压信号间存在以下关系:

<sup>†</sup> 通信作者. Email: xihuwang@126.com

2007-12-19 收到, 2008-04-17 定稿

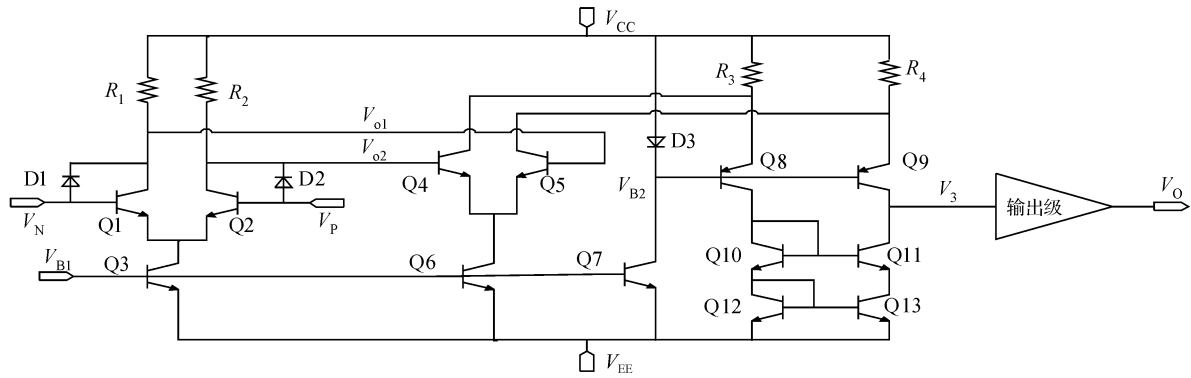


图 1 双极工艺集成运算放大器典型结构

Fig.1 Typical structure of bipolar operational amplifier

$$V_{O1} - V_{O2} = \alpha_F I_{CO3} R_{1,2} \tanh[(V_P - V_N)/2V_T] \approx g_m R_{1,2} (V_P - V_N) \quad (3)$$

其中,  $\alpha_F = I_{CQ1}/I_{EQ1} = I_{CQ2}/I_{EQ2}$ . 由(3)式可以看到, 输入级的差模输入电压信号, 通过控制差分对管 Q1~Q2 的集电极电流, 产生输入级的差模输出电流, 而集电极负载电阻  $R_1 \sim R_2$  将差模输出电流转换为差模输出电压, 输入与输出信号存在同相关系.

但是, 当运放共模输入信号超出由(2)式限定的共模输入范围, 并使输入级差分对晶体管中的一个或全部集电结发生正向导通时:

$$V_{P,N} \geq V_{CC} - I_{CQ1,2} R_{1,2} + V_{BCQ1,2} \quad (4)$$

其中  $V_{BCQ1,2}$  为 Q1 与 Q2 的集电结正向导通电压, 运放输入级差模输出电压将由下式决定:

$$V_{O1} - V_{O2} \approx g_m R_{1,2} (V_P - V_N) + (I_{D1} - I_{D2}) R_{1,2} \quad (5)$$

上式中, 等式右端第一项为差模输入电压信号产生的差模输出电压, 第二项为正向导通的集电结电流产生的差模输出电压, 因前者受输入级差分对尾电流  $I_{CO3}$  的限制, 使等式右端的极性易受到第二项的影响. 当(5)式的极性由等式右端第二项决定时, 因  $(I_{D1} - I_{D2})$  项的极性与运放差模输入电压信号的极性相反, 使输入级差模输出信号也与差模输入信号的极性相反, 造成相位反转现象的发生.

此外, 当运放发生相位反转时, 常伴有过流现象. 仍以图 1 所示运放结构为例, 若忽略  $R_3 \sim R_4$  上的压降, 则当运放输入信号满足:

$$V_{P,N} \geq V_{CC} + V_{BCQ1,2} + V_{BCQ4,5} \quad (6)$$

晶体管 Q1~Q2 和 Q4~Q5 的集电结正向导通电流将注入于 Q8~Q9 的发射极, 造成 Q8~Q13 的发射极电流的升高. 由于当前集成运放中的双极型器件多采用浅结、小尺寸的发射结结构, 因而发射极电流的异常增大极易造成器件的损伤.

现有的集成运放设计技术, 主要通过改进运放输入级的结构和附加保护电路来避免或抑制相位反转的发生.

一种无相位反转的运放输入级<sup>[1]</sup>, 如图 2 所示, 通过消除差分对晶体管的集电极负载, 避免了寄生二极管导通电流引起的输出电压信号的相位错误. 图 2 中, Q1

~Q4 和 Q5~Q8 在电流源  $I_1 \sim I_2$  和  $I_3 \sim I_4$  提供的直流偏置下, 分别构成跨导线性环(translinear loop), 使 A, B 节点电压跟随运放正向和负向输入端信号的变化. 当输入端的信号处于共模输入范围时, 输入级的差分输出电流与差分输入电压信号的相位一致:

$$I_{O1} - I_{O2} = (V_P - V_N)/R_1 \quad (7)$$

当输入信号超出  $V_{CC}$  或  $V_{EE}$  时, 正向导通集电结电流直接由运放电路的电源或信号源吸收, 对输入级差分输出电流没有影响, 因而不会发生相位反转.

但是, 将图 2 中的无相位反转的运放输入级结构, 与图 1 中的传统运放的差分对放大输入级结构相比较, 后者具有结构简单、高共模信号抑制能力和低的失调电流、电压. 因此, 当前大部分集成运放电路输入级仍采用差分对放大结构, 并通过增加保护电路来抑制相位反转的发生. 例如, 图 3(a)给出的一种由电压比较器和反相器构成的保护电路<sup>[2]</sup>, 将运放输入端信号与负电源电压相比较, 当输入信号异常时, 与运放输出级连接的保护电路的输出信号  $V_1, V_2$ , 将抑制运放输出信号的相位发生反转. 图 3(b)给出了一种由相位反转检测、第二差分对(Q1~Q2)、降压器件(D1~D2)和开关网络(S1~S2)构成的保护电路<sup>[3]</sup>. 相位反转检测电路对 JFET 晶体管 MN1~MN2 的漏极电压  $V_{O1}, V_{O2}$  和源极电压  $V_S$  进行监测, 当其满足相位反转条件时, 检测电路输出信号  $V_C$  将断开 S1, 闭合 S2, Q1~Q2 取代 MN1~MN2 开始工作. 由于 D1, D2 对输入端信号进行了降压, 因而 Q1~Q2 不易发生相位反转.

但是, 图 3 中的保护电路结构复杂, 占用了较大的

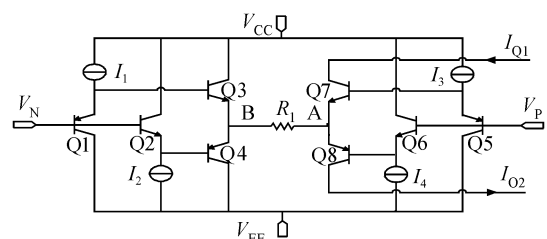


图 2 无相位反转的运放输入级结构

Fig.2 Input stage structure without phase reversal

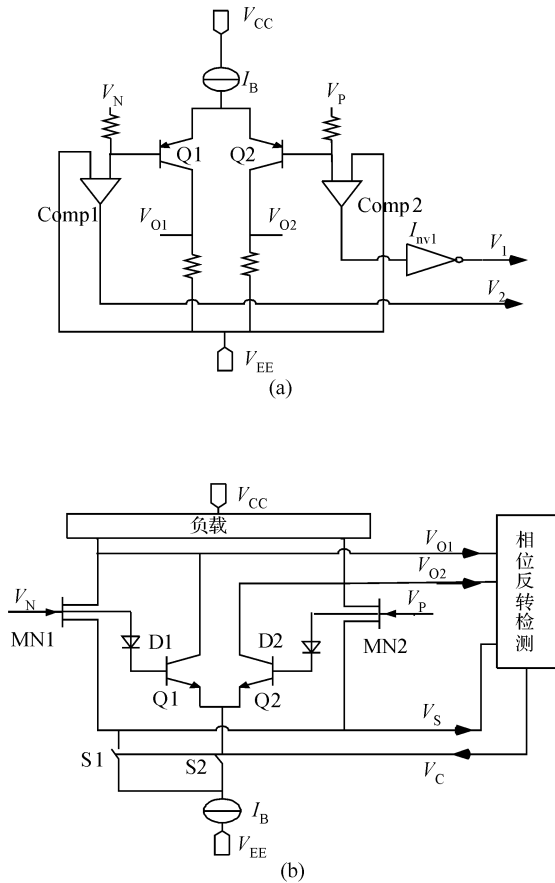


图 3 相位反转保护电路 (a)文献[2]中的结构;(b)文献[3]中的结构  
Fig.3 Phase reversal protection circuits (a) Structure proposed in Ref. [2];(b) Structure proposed in Ref. [3]

运放电路的芯片面积,且其中的电压比较器和相位反转检测电路,增加了运放电路正常工作时的功耗,而对于伴随相位反转的过流也没有明确的保护措施.此外,为保证图 3(a)结构中的电压比较器不发生相位反转,其实现需要 MOS 型器件.

针对以上问题,下节将给出一种结构简单,对运放功耗、性能等影响较小,且具有过流抑制能力的相位反转保护电路.

### 3 新型相位反转保护电路

本文提出的相位反转保护电路,如图 4 所示,由两个 npn 型晶体管 QA~QB,和一个二极管 DC 构成.QA~QB 的基极与运放的输入端连接,集电极与输入级的输出端连接,发射极与 DC 的阳极连接,DC 的阴极与运放增益级的共基极放大晶体管 Q8~Q9 的基极连接.

当运放输入信号满足由(4)式表示的相位反转条件时,例如,若  $V_P$  使 Q2 的集电结正向导通,Q2 的集电结正向导通电流经  $R_2$  流向  $V_{CC}$ ,使 Q2 的集电极电压  $V_{O2}$  升高,但此时保护电路中的 QB 的集电结也正向导通,其正向导通电流经  $R_1$  流向  $V_{CC}$ ,使  $V_{O1}$  的电压也升高,因而在相同集电结掺杂条件下,若保护电路中的 QA~QB 的集电结面积不小于运放输入级差分对管 Q1~Q2 的集电极面积,后者的集电结正向导通电流将被前者补偿,避免了相位反转现象的发生.

此外,由(6)式可以看到,运放中 Q8~Q13 的发射结发生过流的条件是运放的输入信号高出  $V_{CC}$  约两个集电结导通电压,而图 4 的保护电路中,QA~QB 的发射结和二极管 DC 发生正向导通的条件为:

$$V_{P,N} \geq V_{CC} - V_{D3} + V_{BEQA,B} + V_{DC} \approx V_{CC} + V_{BEQA,B} \quad (8)$$

其中  $V_{D3}$ ,  $V_{DC}$  分别为二极管 D3 和 DC 的正向导通电压;  $V_{BEQA,B}$  为 QA~QB 的发射结正向导通电压.对比(6)式和(8)式可知,保护电路中 QA~QB 的发射结和二极管 DC 的正向导通,不晚于 Q1~Q2 和 Q4~Q5 的集电结的正向导通.QA~QB 的发射极电流,经二极管 DC 注入于 Q8~Q9 的基极节点,使其电压  $V_{B2}$  升高,减小了 Q8~Q9 的发射结正向电压,因而及时和有效地抑制了 Q8~Q13 的过流.

最后,对比(2)式和(8)式可知,当运放输入信号处于正常共模输入范围时,保护电路中 QA~QB 和 DC 处于截止状态,因此,保护电路不会产生运放电路额外的功耗,对于运放电路的性能参数,如差模增益和建立时间等,也不会产生不利的影响.

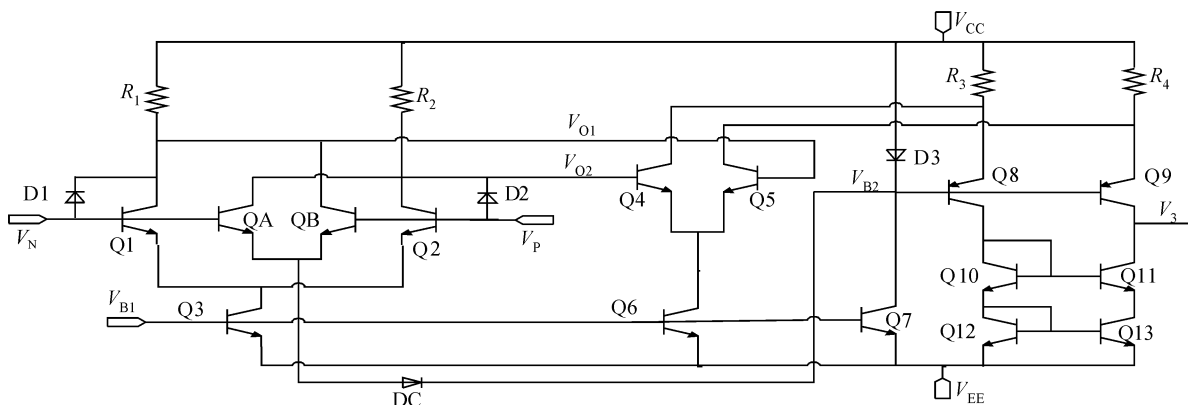


图 4 新型相位反转保护电路  
Fig.4 Novel phase reversal protection circuit

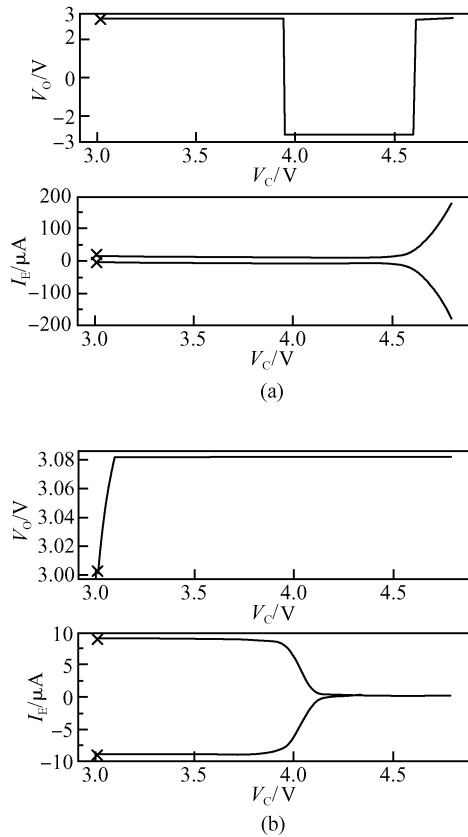


图 5 运放电压、电流随共模输入电压的变化 (a) 加入保护电路前; (b) 加入保护电路后

Fig. 5 Voltage and current response with common mode input voltage (a) Without protection circuit; (b) With protection circuit

### 4 仿真结果与讨论

采用 Episl 1.5 $\mu$ m BiCMOS 工艺的双极型器件 SPICE 模型, 和高精度仿真工具 HSPICE, 在  $V_{CC}$ ,  $V_{EE}$  分别为 3.3V 和 -3.3V 时, 对图 1 中的运放电路进行直流扫描分析. 图 5(a) 与 (b) 分别给出了在加入图 4 中的保护电路前、后, 运放电路输出电压  $V_O$ , 和晶体管 Q8~Q13 的发射极电流  $I_E$ , 随运放共模输入电压  $V_C$  的变化.

由图 5(a) 可以看到, 未加入保护电路时, 当共模输入电压约为 4V 时, 由于图 1 的运放输入级中 Q2 的集电结正向导通, 使运放输出电压由 3V 跳变为 -3V, 即发生了相位反转现象. 在共模输入电压高于 4.5V 后, 由于增益级中 Q4 的集电结也发生正向导通, 输出电压又恢复到 3V, 同时, Q8~Q13 的发射极电流也开始急剧增加. 而图 5(b) 中的结果表明, 在加入保护电路后, 运放的输出电压没有发生相位反转, 而且相应晶体管也未发生过流现象.

在表 1 中, 对比了图 2 中的无相位反转运放输入级, 和采用了图 3 与图 4 中的相位反转保护电路的差分对放大输入级的多项参数的分析与仿真结果.

与采用图 2 中的无相位反转的运放输入级相比较, 采用图 3 与图 4 中的相位反转保护电路, 能够使传统运放的差分对放大输入级结构的高度紧凑和对称的特点得到保留. 而运放电路的输入失调电流和失调电压, 由运放输入级中接收正向输入端信号一侧支路, 与接收负向输入端信号一侧支路的匹配程度决定. 这里的匹配, 不仅指输入级两条支路中对应晶体管的参数 (如基区宽度、掺杂、有效发射区面积等) 的一致, 而且包括支路拓扑结构的一致. 将图 3 与图 4 中的传统差分对输入级与图 2 中的无相位反转输入级进行比较可知, 差分对输入级结构的输入失调电流、电压, 仅由差分对晶体管 Q1 与 Q2 或 MN1 与 MN2, 负载电阻  $R_1$  与  $R_2$  的失配决定, 而图 2 中的结构则由  $I_1$  与  $I_3$ ,  $I_2$  与  $I_4$ , Q1 与 Q5, Q2 与 Q6, Q3 与 Q7 和 Q4 与 Q8 间的失配决定. 而且, 由于当前低压双极工艺中, 双极晶体管的厄利电压较低, 因而图 2 的结构中, 在 Q3 与 Q7, 和 Q4 与 Q8 间集电极电压的差异, 会因基区宽度调制效应, 造成电路较大的失调.

与图 3 中的两种保护电路进行比较, 图 4 中本文提出的保护电路结构具有以下优点: 采用的器件个数少, 所占用的运放芯片面积小; 当运放电路处于正常工作状态时, 保护电路中的晶体管处于截止状态, 不增加运放的功耗; 具有过流抑制能力, 增加了运放芯片的可靠性; 图 3(a) 的相位反转保护电路中, 为确保电压比较器不发生相位反转, 电压比较器需要采用 MOS 型器件, 因而仅适用于 BiCMOS 型运放, 而本文提出的保护电路结构对运放工艺无此要求.

表 1 采用不同方案的运放输入级性能比较

Table 1 Performance comparison of input stage with different schemes

	文献[1]	文献[2]	文献[3]	本文
器件个数	13	19	22	8
适用工艺	Bipolar BiCMOS	BiCMOS	Bipolar BiCMOS BiFET	Bipolar BiCMOS BiFET
过流保护	无过流	无过流保护	无过流保护	有过流保护
静态电源电流/ $\mu$ A	104	130	104	26
静态输入电流/nA	460	89	89	89
共模输入范围/V	-2.5~2.5	-2.5~3.3	-2.5~2.5	-2.5~3.3
输入电容/fF	60	40	47	47
输入失调电流/nA	63	11	13	11
输入失调电压/mV	13	0.34	0.53	0.34
电压增益/dB	4	14	14	14

## 5 结 论

提出的保护电路结构,为运放电路提供了良好的相位反转与过流保护,且具有结构简单,在输入信号处于共模输入范围条件下,对运放电路的功耗和正常工作没有影响的优点,适用于工作在电力电子、汽车电子和工业控制等高噪声环境的高可靠性集成运算放大器电路.

## 参 考 文 献

- [ 1 ] Quad precision, high speed operational amplifier OP467. Analog Devices Inc, Data sheet Rev F, May, 2007
- [ 2 ] Jim Nolan. Operational amplifier phase reversal protection. US patent, 6218900, 2001
- [ 3 ] Carter N R. Phase inversion prevention circuit for an operational amplifier input stage. US patent, 6531919, 2003

# A Novel Operational Amplifier Phase Reversal Protection Circuit

Wang Xihu<sup>†</sup>, Wu Longsheng, and Liu Youbao

(Xi'an Microelectronic Technology Institute, Xi'an 710054, China)

**Abstract:** Preventing the phase reversal of bipolar and JFET operational amplifiers under high noise conditions is a significant problem for their application in power electronics, industrial control, and automobile electronics. Based on the mechanism of the phase reversal phenomenon, a novel protection circuit without the shortcomings of the current techniques is proposed in this paper. The circuit is simple and composed of only three bipolar transistors. When the input signals are in the proper input common-mode voltage range, the protection circuit has no noticeable effect on the parameters of the operational amplifier, such as differential gain, settling time, and static power consumption. Theoretical analysis and simulation results show that not only the phase reversal, but also the concomitant over-current is prevented effectively.

**Key words:** operational amplifier; phase reversal; over-current limit

**EEACC:** 1205; 1290

**Article ID:** 0253-4177(2008)09-1832-05

<sup>†</sup> Corresponding author. Email: xihuwang@126.com

Received 19 December 2007, revised manuscript received 17 April 2008