

# 超深亚微米工艺下的电路级耦合 SET 脉冲注入\*

刘必慰<sup>†</sup> 陈书明 梁 斌 刘 征

(国防科技大学计算机学院, 长沙 410073)

**摘要:** 超深亚微米工艺下在电路模拟器中使用独立电流源方法的单粒子瞬态(single event transient, SET)脉冲注入与实验结果有很大误差. 作者提出了一种基于二维查找表的耦合电流源注入的方法, 并且基于开源的 SPICE 代码实现. 该方法的计算结果与器件/电路混合模拟接近, 而其计算时间远小于混合模拟. 该法与 SPICE 集成, 可以引入实验测量数据, 适合于大规模组合电路的 SET 错误率分析.

**关键词:** 单粒子瞬态; 脉冲注入; 辐射效应

**PACC:** 7340Q

**中图分类号:** TN432

**文献标识码:** A

**文章编号:** 0253-4177(2008)09-1819-04

## 1 引言

随着工艺尺寸的不断缩减, 时钟频率的不断提高, 组合电路中的 SET 问题正在变得越来越严重. 许多文献预测 SET 将成为数字集成电路中软错误的主要组成部分<sup>[1~3]</sup>. 当工艺尺寸小于  $0.13\mu\text{m}$ , 时钟频率大于 100MHz 时, 组合电路中 SET 引起的错误率将超过存储单元中 SEU 引起的软错误<sup>[2]</sup>. 因此电路设计人员迫切需要对 SET 精确的注入, 对其设计电路的 SET 敏感性进行分析和优化. 传统的 SET 脉冲注入电路模拟器有两种方法.

(1) 经验公式. Messenger 等人<sup>[4]</sup> 提出了重离子撞击半导体器件引起的瞬时电流的双指数方程. 其他研究者还对 alpha 粒子引起的瞬时电流提出了解析模型<sup>[5]</sup>.

(2) 将器件模拟或实验测量的结果以 PWL (piecewise linear) 电流源的方式引入 SPICE 模拟器.

然而最近的实验测量结果表明, 以上两种方法得到的电压脉冲形状都远小于测量结果<sup>[6,7]</sup>. Turowski 等人<sup>[8]</sup> 指出这两种方法使用的都是独立 SET 电流源, 没有考虑与电路响应的耦合效应. Turowski 使用全耦合的 3D 器件电路混合模拟的方法得到了与实验结果接近的脉冲形状. 但是混合模拟需要的时间很长, 难以应用于大规模组合电路的 SET 错误率分析.

Mavis 等人<sup>[9]</sup> 提出了一种基于 SPICE 的等效模型, 仅使用 SPICE 内建电路单元实现了考虑耦合效应双指数脉冲的引入, 但是这一方法难以表示其他更复杂形式的电流源, 更重要的是无法将实测数据带入到 SPICE 中. Kobayashi 等人<sup>[10,11]</sup> 提出了一种用作图来计算电压脉冲的方法. 该方法基于一组实验测量的恒定偏压下的瞬时电流曲线和上拉 p 管的  $I-V$  曲线, 以很小的时间步长向前推进. 但是这一方法难以处理大规模电路, 难以

和 EDA 工具结合自动化地进行.

本文提出了一种电路级准确的 SET 脉冲注入方法. 我们基于开源的 SPICE 代码实现一种新型的电流源. 这一电流源使用二维查找表来对重离子诱导产生的瞬时电流进行建模. 查找表通过对单个器件在不同偏压下实验测量或器件模拟获得, 根据节点电压和模拟时间查表得出电流值. 实验结果表明, 这一方法和混合模拟的结果吻合, 而速度提高了 4000 倍.

## 2 耦合和独立的 SET 脉冲注入

本文以反相器为目标来讨论 SET 脉冲注入问题, 但描述的方法可以推广到所有的组合电路. 如图 1 所示, nMOS 管的漏极受到重离子撞击. 其中 nMOS 管的漏极电压为  $V_d$ , 恢复电流为  $I_R$ , 负载电容的电流为  $I_C$ , 重离子诱导的瞬时电流为  $I_{HI}$ .

分别使用独立的 PWL 电流源和耦合的 3D 器件/电路混和模拟进行了反相器中 SET 脉冲注入, 如图 2 所示, 二者有明显的差异. PWL 电流源注入中的电流脉冲  $I_{HI}$  是一个高而窄的尖峰, 电压脉冲  $V_D$  的宽度相对较

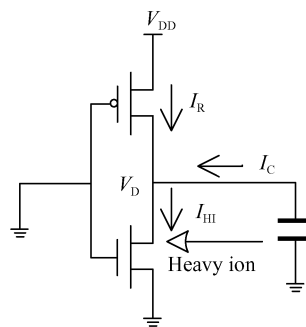


图 1 反相器受重离子撞击

Fig. 1 Heavy ion strikes at an inverter

\* 高等学校博士学科点专项科研基金资助项目(批准号:20079998015)

<sup>†</sup> 通信作者. Email: wwwkeke@163.com

2008-02-12 收到, 2008-03-18 定稿

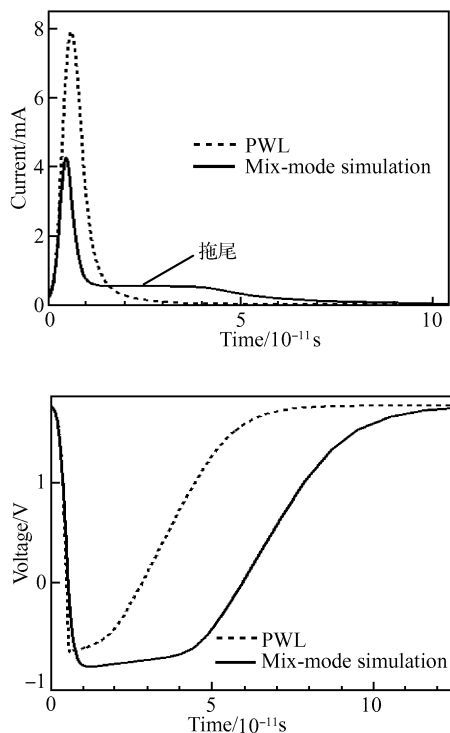


图 2 PWL 和混合模拟方法得到的电流和电压脉冲

Fig. 2 Current and voltage pulse obtained by PWL method and mix-mode simulation

小;而混合模拟中的  $I_{HI}$  在高而窄的尖峰后有一个很长但幅度基本不变的拖尾,  $V_D$  的宽度也相对较长.

这一差别可以解释如下. PWL 电流源在模拟得到  $I_{HI}$  的过程中假设  $V_D$  恒定为  $V_{DD}$ , 电荷收集效率总是保持在一个很高的水平, 粒子轨迹上的电荷很快就被收集完毕, 因此电流和电压脉冲的宽度都较窄. 而混合模拟中, 初始时  $V_D$  较高, 电荷收集效率也较高, 因此形成了和 PWL 电流源方法中类似的尖峰. 但随着收集电荷持续,  $V_D$  逐渐降低, 电荷收集效率降低, 导致  $I_{HI}$  减小,  $I_R$  升高, 这反过来又会使得  $V_D$  升高. 这样  $I_{HI}$  和  $I_R$  达到了一个动态平衡, 形成了图 2 中的拖尾. 由于电荷收集过程中  $V_D$  总体来说远小于  $V_{DD}$ , 因此电荷收集效率较低, 完成收集的时间也较长, 所以电流和电压脉冲的宽度也较宽.

文献[8]中指出独立电流源在电路响应快于  $100 \sim 200\text{ps}$  时有很大的误差, 在超深亚微米工艺下, 只有耦合的 SET 脉冲注入才能得到准确的 SET 脉冲形状. 但是器件/电路混合模拟非常耗时, 难以对大规模电路进行, 并且难以引入实测数据. 因此, 有必要研究电路级快速的耦合注入方法.

### 3 SPICE 中 SET 脉冲的耦合注入

#### 3.1 瞬时电流和电压的关系

由于图 1 中 nMOS 漏结处的电流流入应该等于其电流流出, 因此可以得到

$$I_{HI} = I_C + I_R$$

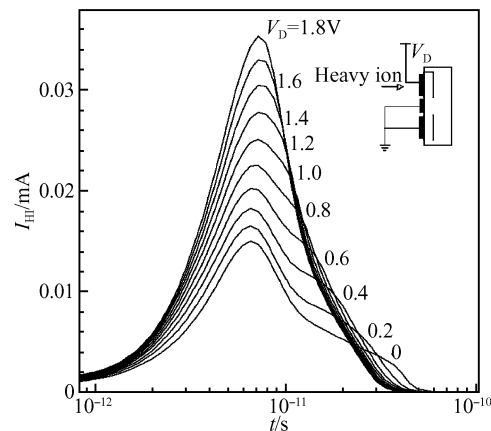


图 3 用不同漏极偏压下的瞬时电流构造二维查找表

Fig. 3 Building two dimension look-up table (LUT) with transient current measured under different drain voltages

$$\text{即} \quad C = \frac{dV_D}{dt} = I_R(V_D) - I_{HI}(V_D, t) \quad (1)$$

边界条件为

$$V_D(0) = V_{DD}$$

方程(1)中的  $I_R(V_D)$  即晶体管的 SPICE 模型, 这已经被很好地建模了. 因此只要知道了  $I_{HI}$  与  $V_D$  和  $t$  的函数关系, 就可以用数值方法求解方程(1), 得到  $V_D$  和  $I_{HI}$  曲线, 即 SET 电压和电流脉冲.

#### 3.2 $I_{HI}$ 的建模

如上所述,  $I_{HI}$  是  $V_D$  和  $t$  的函数. 我们使用一个二维查找表来对其进行建模, 其中的数据通过实验测量或者器件模拟得到. 本文中采用 DESSIS 对单个 nMOS 进行器件模拟来构建二维查找表. 如图 3 所示, nMOS 管的漏极分别连接到各种不同的电压. 在每一种电压下模拟得到重离子撞击后的诱导电流. 这样在每一漏极偏压下每一时间点上的电流值就构成了一个二维查找表. 值得注意的是, 以上方法可以在完全实际测量中实现. 因此本方法可以将实测数据引入到电路模拟中, 得到最接近于真实情况的结果.

#### 3.3 SPICE 中的实现

有了  $I_{HI}$  的二维查找表数据, 就可以通过数值方法如欧拉法、龙格库塔法等求解方程(1)得出 SET 脉冲曲线. 但是为了使这一方法更为通用和方便, 我们希望将求解过程集成在 SPICE 电路模拟器中, 以便 SET 错误率的分析. 作者的工作基于 Berkeley 大学的 SPICE3f5 版本代码. 实现方法是在 SPICE 中引入一种新型的电流源 ISET. 对新加入的电流源, SPICE 要求实现一个 SPICEdev 数据结构, SPICEdev 中规定了一组例程以及相应的变量, SPICEdev 数据结构在文献[12]中有详细描述. 我们重点要实现的两个例程是 DEVsetup 和 DEVload. 在 DEVsetup 例程中加载  $I_{HI}$  的二维查找表数据, 在 DEVload 例程从输入参数得到当前的模拟时间和漏极电压, 通过查表计算  $I_{HI}$  数值, 交给 SPICE 求解器进行数值求解, 如图 4 所示所有代码在 Redhat

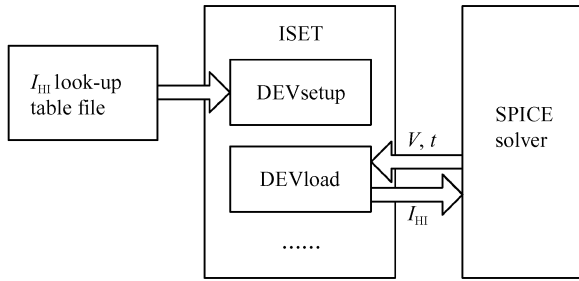


图 4 ISET 在 SPICE 中的实现  
Fig. 4 Implementation of ISET in SPICE

Mn	out	0	0	0	nMOS	w=0.3μm	l=0.13μm
Mp	out	0	V <sub>DD</sub>	V <sub>DD</sub>	pMOS	w=0.8μm	l=0.13μm
C1	out	0	5f				
ISET	out	0					

图 5 在反相器网表中引入 ISET  
Fig. 5 Introduce ISET in an inverter netlist

Linux9.0 操作系统下使用 gcc 编译器编译通过。

使用时现有的电路网表几乎不用改变,只需在引入脉冲的节点处加入 ISET 电流源的描述即可,模拟方法与普通 SPICE 工具完全一致.图 5 给出了在反相器中引入 SET 瞬时脉冲的示例.只要能够进行普通 SPICE 模拟的电路就可以用该方法进行脉冲注入,因此本方法有很好的适用性。

## 4 实验及结果

我们使用加入了 ISET 电流源的 SPICE 工具,对多种电路进行了 SET 脉冲注入实验.首先,我们考察对反相器的脉冲注入.其中, I<sub>HH</sub> 的二维查找表按照 3.2 节中的描述获得,反相器的电路网表使用了 BSIM3 模型,晶体管栅长为 0.13μm, nMOS 管和 pMOS 管的宽度分别为 0.3μm 和 0.8μm.实验中使用了 3 种类型的重离子, LET 分别为 0.04, 0.06 和 0.08pC/μm.作为对比,我们还进行了其他两种方法的注入:器件/电路混合模拟方法和 PWL 独立电流源方法.这两种方法中的重离子模型、器件模型、电路模型以及相关参数都与 ISET 电流源方法中的一致。

如图 6 所示,本文方法得到的 I<sub>HH</sub> 脉冲形状和混合模拟非常相似,都是在一个高而窄的脉冲之后,有一个很长但幅度几乎不变的拖尾,并且幅度都为 0.53mA.可见本文的方法很好地模拟出了 I<sub>HH</sub> 和 I<sub>R</sub> 之间的动态平衡.相比而言,传统的 PWL 独立电流源方法与前者差别很大,脉冲更高但没有拖尾。

在 SET 错误率分析中,电压脉冲的形状更加重要,因为它决定了脉冲的传播和被锁存器捕获的概率.图 7 给出了 3 种方法得到的电压脉冲的形状.我们提取了电压脉冲的 3 个参数进行比较:峰值高度 (peak height)、半高宽 (full-width at half maximum, FWHM) 和半电源电压宽 (width at half-V<sub>DD</sub>),如表 1 所示.显然本文

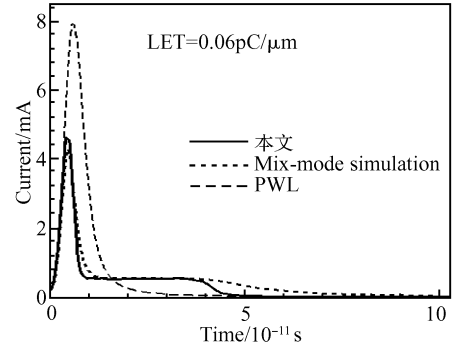


图 6 电流脉冲形状  
Fig. 6 Current pulse shape

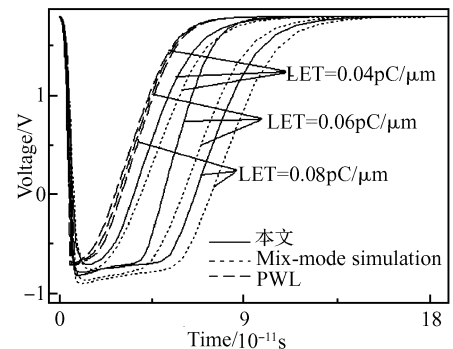


图 7 电压脉冲形状  
Fig. 7 Voltage pulse shape

的方法和混合模拟的结果更加接近。

我们对比了 3 种方法的时间开销.混合模拟需要 2032s, PWL 方法需要 0.43s, 本文的方法需要 0.51s. 本文的方法相对 PWL 方法只稍有增加,而相对于混合模拟有 4000 倍的加速.因此本文方法适合于较大规模组合电路的 SET 错误率的分析。

## 5 结论

超深亚微米工艺下 SET 脉冲注入需要考虑电压与电荷收集的耦合效应.本文提出了一种与 SPICE 工具集成的基于二维查找表的耦合注入方法.这一方法能够很好地模拟出 SET 电流脉冲中的拖尾,得到的电压脉冲和器件/电路混合模拟接近,而速度比混合模拟快

表 1 三种方法的准确度对比  
Table 1 Accuracy comparison of three methods

参数	混合模拟	本文方法		PWL	
		数值	准确度	数值	准确度
0.04 pC/ μm	Peak height	2.56V	2.51V 98.0%	2.51V	98.0%
	FWHM	40.2ps	35.1ps 87.3%	30.7ps	76.6%
	Width at half V <sub>DD</sub>	51.6ps	46.9ps 90.1%	36.8ps	71.3%
0.06 pC/ μm	Peak height	2.67V	2.62V 98.1%	2.51V	94.0%
	FWHM	63.9ps	52.0ps 81.4%	32.3ps	50.5%
	Width at half V <sub>DD</sub>	72.4ps	58.9ps 81.4%	39.1ps	54.0%
0.08 pC/ μm	Peak height	2.70V	2.59V 95.9%	2.51V	93.0%
	FWHM	81.2ps	69.1ps 85.1%	34.8ps	42.9%
	Width at half V <sub>DD</sub>	90.4ps	78.3ps 86.6%	41.5ps	45.9%

4000 倍. 本文的方法速度快, 可以引入实验测量数据, 并且能够处理广泛形式的电路, 因此适合于大规模组合电路的准确的 SET 错误率分析.

### 参考文献

- [ 1 ] Dodd P E, Shaneyfelt M R, Felix J A, et al. Production and propagation of single-event transients in high-speed digital logic ICs. *IEEE Trans Nucl Sci*, 2004, 51: 3278
- [ 2 ] Eaton P, Benedetto J, Mavis D, et al. Single event transient pulse width measurements using a variable temporal latch technique. *IEEE Trans Nucl Sci*, 2004, 51: 3365
- [ 3 ] Benedetto J, Eaton P, Avery K, et al. Heavy ion induced digital single-event transients in deep submicron processes. *IEEE Trans Nucl Sci*, 2004, 51: 3480
- [ 4 ] Messenger G C. Collection of charge on junction nodes from ion tracks. *IEEE Trans Nucl Sci*, 1982, 29(6): 2024
- [ 5 ] Srinivasan G R. Accurate predictive modeling of softerror rate due to cosmic rays and chip alpha radiation. *Proc Intl Reliability Phys Symp*, 1994: 12
- [ 6 ] Gadlage M J. Single event transient pulse widths in digital micro-circuits. *IEEE Trans Nucl Sci*, 2004, 51: 3285
- [ 7 ] Benedetto J M, Eaton P H, Mavis D G, et al. Variation of digital SET pulse widths and the implications for single event hardening of advanced CMOS processes. *IEEE Trans Nucl Sci*, 2005, 52(6): 2114
- [ 8 ] Turowski M, Raman A, Jablonski G. Mixed-mode simulation and analysis of digital single event transients in fast CMOSICs. 14th International Conference on Mixed Design of Integrated Circuits and Systems, MIXDES, 2007: 433
- [ 9 ] Mavis D G, Eaton P H. SEU and SET modeling and mitigation in deep submicron technologies. *IEEE 45th Annual International Reliability Physics Symposium*, Phoenix, 2007: 293
- [ 10 ] Kobayashi D, Saito H, Hirose K. Estimation of single event transient voltage pulses in VLSI circuits from heavy-ion-induced transient currents measured in a single MOSFET. *IEEE Trans Nucl Sci*, 2007, 54(4): 1037
- [ 11 ] Kobayashi D, Hirose K, Makino T, et al. Feasibility study of a table-based SET-pulse estimation in logic cells from heavy-ion-induced transient currents measured in a single MOSFET. *IEEE Trans Nucl Sci*, 2007, 54(6): 2347
- [ 12 ] Quarles T. Adding devices to SPICE3. U. C. Berkeley, Technical Report, ERL-89-45, 1989

## Coupled SET Pulse Injection in a Circuit Simulator in Ultra-Deep Submicron Technology\*

Liu Biwei<sup>†</sup>, Chen Shuming, Liang Bin, and Liu Zheng

(School of Computer Science, National University of Defense Technology, Changsha 410073, China)

**Abstract:** Single event transient (SET) pulse injection with independent current source in a circuit simulator will introduce great error. This paper presents a coupled current source method based on a two-dimensional lookup table for SET pulse injection. This method is implemented in open source SPICE code. Results of this method agree with the device/circuit mix-mode simulation, while the time cost is much smaller. This method is integrated with SPICE and experimental data can be introduced in it. It is appropriate for SET error rate analysis of large scale combinational circuits.

**Key words:** SET; pulse injection; radiation effect

**PACC:** 7340Q

**Article ID:** 0253-4177(2008)09-1819-04

\* Project supported by the Specialized Research Fund for the Doctoral program of Higher Education of China (No. 20079998015)

<sup>†</sup> Corresponding author. Email: wwwkeke@163.com

Received 12 February 2008, revised manuscript received 18 March 2008